

論 文

디지털회로의 單一固着形 缺陷에
대한 信號的 信賴度計定

準會員 金 永 一*, 正會員 吳 英 煥**

The Evaluation of Signal
Reliability for Single Stuck-at-type
Fault in Digital Circuit

Young Ill KIM*, Young Hwan OH** *Regular Members*

要 約 본 논문에서는 디지털회로의 단일 고착형 결함(single stuck-at-type fault)에 대한 信號的 信賴度(signal reliability)를 計定하는 방법을 보였다. 디지털 회로에 있어 신호적 신뢰도라 함은 회로내부에 결함이 존재한다고 할지라도 올바른 출력을 내는 確率을 의미한다. 신호적 신뢰도를 제정함에 있어서 단일 고착형 결함에 대한 결함 모델과 알고리즘을 보이고 또한 복잡하고 규모가 큰 회로에 적용할 수 있는 컴퓨터 프로그램도 구성하였다.

ABSTRACT This paper presented a method evaluating the signal reliability for single stuck-at-type fault in digital circuits. Here, the signal reliability is defined as the probability that circuit output is correct, even though the fault existed at the internal parts of digital circuit. In evaluating the signal reliability, this paper presented not only fault model and algorithm for single stuck-at-type fault but also computer program for evaluating the signal reliability with respect to complex and large circuits.

1. 서 론

디지털 회로에 대한 信賴度 計定 방법은 크게 나누어 機能的 信賴度(functional reliability)에 의한 計定과 信號的 信賴度(signal reliability)에

의한 計定の 두 가지로 분류될 수 있다. 기능적 신뢰도란 회로가 설계한 목적대로 실현될 확률을 의미하며, 이때 회로의 정확한 구조적 측면을 고려하지는 않는다. 따라서 회로에 결함이 있을 경우에는 언제나 제대로의 기능을 발휘하지 못한다는 것이다. 그러나 회로내에 결함이 존재하여도 올바른 출력을 낼 수 있다는 사실을 감안할 때 너무나 簡略化된 방법이라는 견해가 지배적이다. 이와는 달리 회로가 올바른 출력을 내는 확률로 정의되는 신호적 신뢰도에 의한 計定방법이 더욱 妥當性을 갖는다는 것이 근래에 들어 주장되고

*,** 光云大學 電子通信工學科
Dept. of Telecommunication Engineering
Kwang Woon University, Seoul 132, Korea
論文番號 : 87-15(接受1987. 2. 25)

있다⁽¹⁾⁽³⁾⁽⁴⁾.

디지털 회로의 신뢰도 해석에 관한 몇몇 방법들이 제안되었으나 그 수가 그리 많지는 않다. Ogus는 缺陷 等價郡(fault equivalence class)과 FIN(fault injection network)을 이용한 확률적 모델링의 두 방법을 제안했고⁽²⁾, Parker와 McCluskey는 缺陷 檢出(fault detection)의 관점에서 회로에 결함을 포함하는 게이트를 첨가해서 신뢰도를 해석하였으며⁽³⁾, Koren과 Sadeh는 FON(fault occurrence network) 모델링을 하여 MATRIX算法에 의한 해석 방법을 제안하고 있다⁽⁴⁾. 그리고 고경식, 오영환은 命題(proposition) 방법을 사용하여 기계적인 처리에 의한 신호적 신뢰도 해석을 제안하였다⁽¹⁾. 그러나, 지금까지의 해석 방법은 두 경우의 고착형 결함(즉, stuck-at-1과 stuck-at-0)의 확률이 동일하다는 가정하의 신호적 신뢰도 해석이었기 때문에 모든 回線에 결함(다중 결함)이 존재한다고 하면 올바른 출력을 내는 확률은 0.5가 되었다. 그리고 복잡하고 규모가 큰 회로(large circuit)에 대해서는 그 계산량이 엄청나게 늘어나는 것이 難點이 되고 있다.

본 논문에서는 고경식, 오영환이 제안한 命題 방법을 변형하여 모든 회선에 단일 고착형 결함을 고려한 신호적 신뢰도 계정에 관하여 해석하였고 단일 회선에 단일 고착형 결함을 고려한 경우에 대해서도 해석하였다. 먼저, 단일 결함을 고려한 결함회로를 구성한 후에 알고리즘을 적용하였으며 복잡하고 규모가 큰 회로에 대해서는 컴퓨터 프로그램을 적용할 수 있게 하였다.

2. 정의 및 가정

디지털 회로에 대한 신호적 신뢰도를 계정함에 있어 다음과 같은 정의와 가정을 둔다.

[정의 1] 신호적 신뢰도 함수

어떤 디지털 회로에 있어서 결함이 없을 경우의 출력 함수를 G_n , 결함이 있을 경우의 출력 함수를 G_r 라 할 때, $H = (G_n \oplus G_r)$, $E = G_n \oplus G_r$ 로 표시되는 논리함수를 각각 信號의 信賴度 函數(signal reliability function), 信號의 失信賴度函

數(signal unreliability function)라고 한다. 지금 H와 E를 전개하면,

$$\begin{aligned} H &= (G_n \oplus G_r)' = G_n \cdot G_r' + G_n' \cdot G_r = H_1 + H_0 \\ E &= G_n \oplus G_r = G_n \cdot G_r' + G_n' \cdot G_r = E_1 + E_0 \end{aligned}$$

가 된다. 여기서 기호 \oplus 는 Exclusive-OR를 나타낸다. 신호적 신뢰도 R(G)는 G_n 이 1이고 G_r 가 1인 확률과 G_n 이 0이고 G_r 가 0인 확률의 합이 되고 H_1 과 H_0 는 離接(disjoint) 관계에 있으므로 다음과 같이 표시한다.

$$\begin{aligned} R(G) = P_r\{H\} &= P_r\{H_1\} + P_r\{H_0\} = P_r\{G_n \cdot G_r = 1\} \\ &+ P_r\{G_n' \cdot G_r' = 1\} \end{aligned}$$

그리고 신호적 신뢰도 함수와 신호적 실신뢰도 함수간에는 다음의 관계식이 성립한다.

$$R(G) = P_r\{H\} = 1 - P_r\{E\}$$

[정의 2] 신뢰도 회로(Reliability circuit)Hc

신호적 신뢰도 함수 $H = (G_n \oplus G_r)'$ 를 회로로 나타낸 것이다. 이에 대한 예로써 2-입력 AND 게이트 회로에 대한 신뢰도 회로 Hc는 그림 2-(b), 그림 4-(b)와 같다.

[정의 3] 샤프(SHARP) 演算

논리식을 離接(disjoint)한 논리식으로 변환하는 算法⁽⁵⁾

[정의 4] 결함 발생 확률 f_i

f_i 는 회선(lead line) i에 결함 발생 확률을 의미하는데 신호적 신뢰도를 해석하기 위해 0에서 1 사이의 값을 갖게 된다. 즉, $f=0$ 는 결함 발생이 없음을 뜻한다. 또한, 시간에 대한 결함 발생 확률 f 는 $f = 1 - \text{EXP}(-at)$ 의 함수로 대치되어질 수 있으며(여기서 a는 감쇠 상수) $t=0$ 에서 $f=0$ 가 되고 신호적 신뢰도 값은 1이 된다.

[가정 1] 결함은 회선의 고착형 결함 즉, stuck-at-1과 stuck-at-0 결함을 의미하고 이것은 일시적 결함(transient fault) 혹은 간헐적 결함(intermittent fault)이 아닌 영구적 결함(permanent fault)를 의미한다.

[가정 2] 회로 내의 모든 회선은 동일한 결함 발생 확률을 갖는다. 즉, $f_1=f_2=f_3=\dots=f_i=f$ 가 되며, 여기서 첨자는 각 회선을 나타낸다.

[가정 3] 모든 입력은 동일한 입력 확률 1/2 을 갖는다. 즉,

$$P_r(X_1)=P_r(X_2)=P_r(X_3)=\dots=P_r(X_i)=x_i=x_1=x_2=\dots=x_i=1/2$$

여기서 대문자 X_i 는 입력 회선을 나타내고, 소문자 x_i 는 확률값을 의미한다.

3. 回線의 單一固着形 缺陷모델

단일 고착형 결함(single stuck-at-type fault)에 대한 신호적 신뢰도(signal reliability)를 결정하기 위해서는 먼저, 가정된 결함을 고려한 결함회로(faulty circuit)를 구성해야 한다. 따라서 임의의 회로에 있어서 회선의 상태변수(state variable)를 결함에 의해 회선의 동작을 해석하는 것이 가능하게 된다.

이에 관해 고정식, 오염환은 한 회선에 다중 결함을 고려한 결함 회로 모델을 제안하였다.⁽¹⁾ 즉, 두 경우의 결함(즉, s-a-1, s-a-0) 상태에 대해 다음과 같이 임의의 입력신호에 대한 출력 신호를 나타낼 수 있다. 단, 출력 회선의 결함은 고려하지 않는다.

signal X	Line A	signal Y
----------	--------	----------

$$Y=X \cdot A_n + A_1, \quad Y'=X' \cdot A_n + A_0 \quad (1)$$

식(1)에서, A_n, A_1, A_0 는 회선의 상태를 나타내는

상태 변수이고 다음과 같이 정의된다.

1. $A_n=1$; 회선이 정상 상태(normal state)인 경우,
 2. $A_1=1$; 회선이 stuck-at-1 상태인 경우,
 3. $A_0=1$; 회선이 stuck-at-0 상태인 경우
- 또한, 이러한 상태 변수들은 다음과 같은 관계식이 성립한다.

1. $A_n \cdot A_1 = 0$
2. $A_n \cdot A_0 = 0$
3. $A_1 \cdot A_0 = 0$
4. $A_n + A_1 + A_0 = 1$

위에서 제시된 결함 모델은 세가지의 상태(정상, s-a-1, s-a-0)를 고려한 경우이고 하나의 단일 결함에 대해서는 두가지 상태(정상, s-a-1 혹은 s-a-0)만이 존재하므로 각각의 결함에 대해 출력 신호가 달라진다. 즉, 결함이 stuck-at-1으로 제한된다면 다음과 같이 출력 신호를 나타낼 수 있다(출력 결함은 제외).

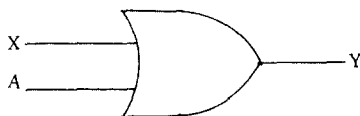
$$Y=X+A, \quad Y'=X' \cdot A' \quad (2)$$

식(2)에서도 마찬가지로 $A=0$ 는 회선이 정상인 경우이고, $A=1$ 은 회선이 stuck-at-1인 경우를 나타낸다.

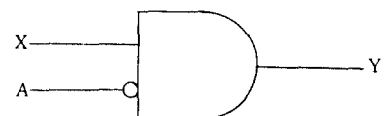
또, 결함을 stuck-at-0로 한정할 때는 다음과 같이 표현되어짐을 알 수 있다.

$$Y=X \cdot A', \quad Y'=X'+A \quad (3)$$

따라서 위에서 언급된 단일 결함에 대한 결함 회로를 이용해서 신호적 신뢰도 계정이 수행된다. 그림 1에는 단일 결함을 고려한 출력 신호를 논



(a) s-a-1 결함모델



(b) s-a-0 결함모델

그림 1 단일결함 회로 모델
Single fault circuit model.

리 게이트로 나타낸 것이다.

된다. 따라서,

4. 단일 결함 모델에 의한 신호적 신뢰도 계정

$$H = X_1 \cdot X_2 + X_1' \cdot A_1' \cdot A_3' + X_1 \cdot X_2' \cdot A_3' + X_1' \cdot X_2' \cdot A_1 \cdot A_2' \cdot A_3' \quad (5)$$

그림 2-(a)의 2-입력 AND 게이트를 예로들어 모든 회선에 대한 경우와 단일 회선에 대한 경우의 단일 고착형 결함에 대해서 신호적 신뢰도를 계정하는 방법에 대하여 논하고자 한다.

이제 신호적 신뢰도를 계정하기 위해 식 (5)의 각 항을 확률식으로 나타내면,

(1) 회로의 모든 회선에 대한 단일 고착형 결함인 경우

$$\begin{aligned} P_r[H] &= P_r[H_1] + P_r[H_0] \\ &= x_1 x_2 + (1-x_1)(1-f_1)(1-f_3) + x_1(1-x_2)(1-f_2)(1-f_3) + (1-x_1)(1-x_2)f_1(1-f_2)(1-f_3) \end{aligned} \quad (6)$$

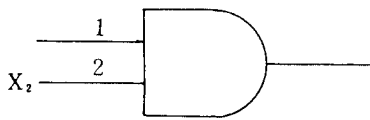
그림 2-(a)의 회로에 stuck-at-1 결함 회로를 결합하여 신뢰도 회로 Hc를 구성한다. (그림 2-(b)). 신호적 신뢰도 함수 H는,

(6)식에서 $x_1=x_2=1/2$, $f_1=f_2=f_3=f$ 의 관계를 이용하면, 신뢰도 값 R(G)는,

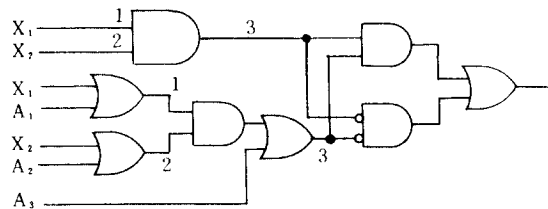
$$\begin{aligned} H &= [H_1] + [H_0] \\ &= [G_n \cdot G_f] + [G_n' \cdot G_f'] \\ &= [(X_1 \cdot X_2) \{ (X_1 + A_1)(X_2 + A_2) + A_3 \}] \\ &\quad + [(X_1' + X_2')(X_1' \cdot A_1' \cdot A_3' + A_2' \cdot A_2' \cdot A_3')] \\ &= [X_1 \cdot X_2] + [X_1' \cdot A_1' \cdot A_3' + X_2' \cdot A_2' \cdot A_3'] \end{aligned} \quad (4)$$

$$\begin{aligned} R(G) &= 1/2 \cdot 1/2 + 1/2 \cdot (1-f)^2 + 1/2 \cdot 1/2 \cdot (1-f)^2 + 1/2 \cdot 1/2 \cdot f(1-f)^2 \\ &= 1 - 5/4 \cdot f + 1/4 \cdot f^2 + 1/4 \cdot f^3 \end{aligned} \quad (7)$$

결과식 (7)에서 보면, $f=0$ 즉, 회로 회선에 결함이 발생하지 않았을 때는 신뢰도 값이 1이 됨을



(a) AND gate



(b) 신뢰도 회로 Hc 모델

그림 2 2-입력 AND 게이트에 대한 신뢰도 회로 모델
Reliability circuit model for 2-input AND gate.

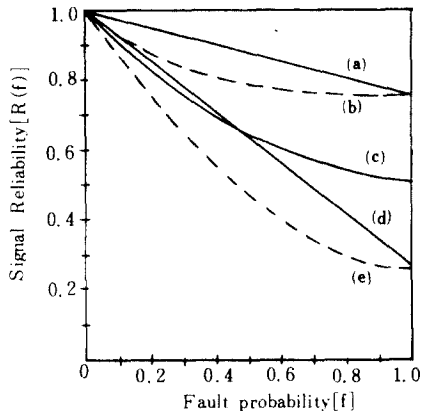
식(4)를 이접(disjoint) 형태로 하기 위해 샤-프(SHARP) 연산을 하면,

$$[X_1 \cdot X_2]_{disj} = X_1 \cdot X_2$$

$$\begin{aligned} [X_1' \cdot A_1' \cdot A_3' + X_2' \cdot A_2' \cdot A_3']_{disj} &= \\ &= X_1' \cdot A_1' \cdot A_3' + X_1 \cdot X_2' \cdot A_2' \cdot A_3' \\ &\quad + X_1' \cdot X_2' \cdot A_1 \cdot A_2' \cdot A_3' \end{aligned}$$

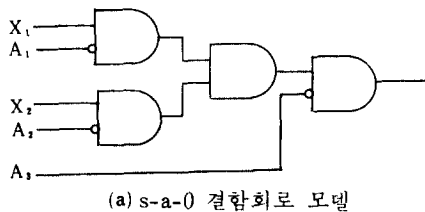
알 수 있고 모든 결함이 발생했을 때는 신뢰도 값은 1/4 이 된다. 이것은 $X_1=X_2=1$ 인 경우는 결함으로 검출되지 않기 때문이다. 그림 3-(e)에 결함확률에 대한 신뢰도 값의 변화를 나타내었다.

마찬가지로 2-입력 AND 게이트에 대한 stuck-at-0 결함을 고려한 결함 회로는 그림 4-(a)와 같고 신뢰도 회로 Hc는 그림 4-(b)와 같다. 즉,



- (a) 단일 결함(회선 1 (혹은 2,3)의 s-a-0 결함 또는 회선 1 (혹은 2)의 s-a-1 결함)
- (b) s-a-0 결함(모든 회선)
- (c) 다중 결함(모든 회선)
- (d) 출력 회선 3의 s-a-0 결함
- (e) s-a-1 결함(모든 회선)

그림 3 결함 확률에 대한 신뢰도 값의 변화
The variation of reliability for fault probability.



(a) s-a-0 결함회로 모델

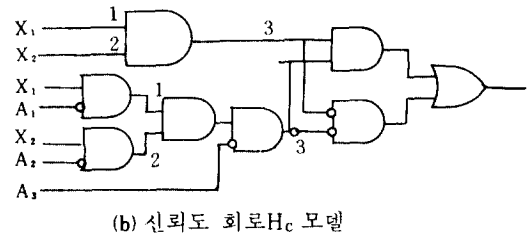
(2) 회로의 단일 회선에 대한 단일 고착형 결함인 경우

디지털 회로의 단일 회선만을 고려하는 경우는 결함 회로를 구성함에 있어서 해당 회선에만 결함 회선을 첨가하면 되고 신뢰도 계정 방법은 앞의 경우와 동일하다. 그림 2-(a)의 회로에 대해 각각의 회선에 대한 신호적 신뢰도를 계정하면, 먼저 stuck-at-1 결함인 경우는,

$$R(G_1) = 1 - 1/4 \cdot f_1, \quad R(G_2) = 1 - 1/4 \cdot f_2, \\ R(G_3) = 1 - 3/4 \cdot f_3$$

여기서 $R(G_i)$ 는 i 회선의 결함에 대한 신호적 신뢰도 값이고, f_i 는 i 회선의 결함발생 확률을 의미한다. 또 stuck-at-0 결함의 경우는,

$$R(G_1) = 1 - 1/4 \cdot f_1, \quad R(G_2) = 1 - 1/4 \cdot f_2, \\ R(G_3) = 1 - 1/4 \cdot f_3$$



(b) 신뢰도 회로 Hc 모델

그림 4 AND 게이트 회로에 대한 결함 회로 모델과 신뢰도 회로 모델
Fault circuit model and reliability circuit model for AND gate circuit.

신호적 신뢰도 $R(G)$ 는,

$$R(G) = 1/2 + 1/2 \cdot 1/2 + 1/2 \cdot 1/2 \cdot (1-f)^2 \\ = 1 - 3/4 \cdot f + 3/4 \cdot f^2 - 1/4 \cdot f^3 \quad (8)$$

이 된다. 결과식 (8)에서 보면 $f=0$ 일 때 $R(G) = 1$ 이 되고, 모든 결함이 발생하였을 경우는 $R(G) = 3/4$ 이 됨을 알 수 있다. 이 경우는 입력이 $X_1=X_2=0$ 인 경우와 $X_1=0, X_2=1; X_1=1, X_2=0$ 인 경우는 결함으로 검출되지 않기 때문이다. 그림 3-(b)에 결함 확률에 대한 신뢰도 값의 변화를 나타내었다.

가 된다(그림 3). 회로를 확장해서 n -입력 1-출력 AND와 OR 게이트의 경우에 대해 신호적 신뢰도를 계정하면, 입력단에서는 두 게이트 모두 결함의 선택에 관계없이,

$$R(G_i)_{i=1, \dots, n} = 1 - \left(\frac{1}{2^n}\right) f_i$$

가 되고, 출력단에서는 Stuck-at-1 결함인 경우,

$$\text{AND: } R(G_i)_{i=1, \dots, n} = 1 - \left(\frac{2^n - 1}{2^n}\right) \cdot f_i$$

$$\text{OR: } R(G_i)_{i=1, \dots, n} = 1 - \left(\frac{1}{2^n}\right) \cdot f_i$$

이며, Stuck-at-0 결함인 경우는,

$$\text{AND} : R(G_i)_{i=1, \dots, n} = 1 - \left(\frac{1}{2}\right)^n$$

$$\text{OR} : R(G_i)_{i=1, \dots, n} = 1 - \left(\frac{2^n - 1}{2^n}\right) \cdot f_i$$

가 된다. 즉, 입력단에서는 그 결함이 Stuck-at-1, Stuck-at-0에 관계없이 일정하나 출력단에서는 게이트의 종류에 따라 그 값이 변화하게 된다. 그리고 NAND와 NOR 게이트의 신호적 신뢰도 값은 각각 OR와 AND 게이트의 경우와 동일하다.

5. 單一固着形 缺陷에 대한 信號의 信賴度를 計정하기 위한 알고리즘

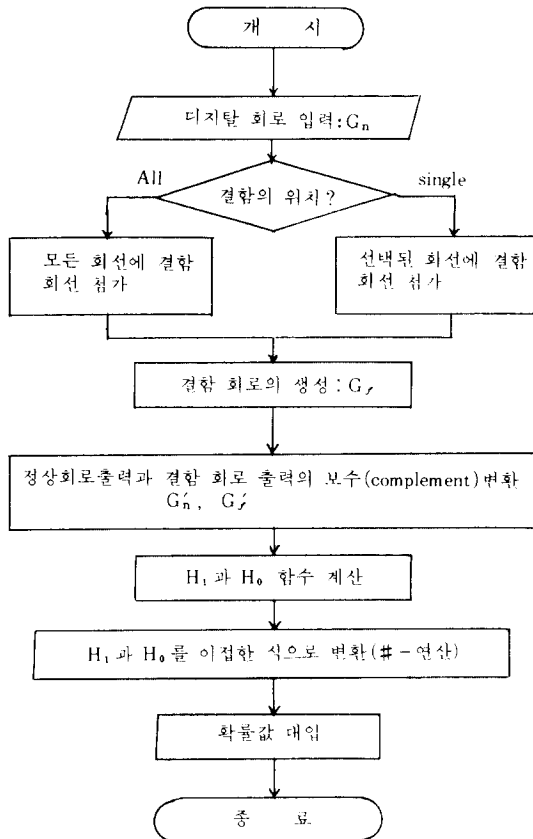


그림 5 신호적 신뢰도를 계정하기 위한 알고리즘의 흐름도.
The flow chart of algorithm for evaluating the signal reliability.

(1) 알고리즘

앞에서의 설명에 따라 디지털 회로의 단일 고착형 결함에 대한 신호적 신뢰도를 계정하기 위한 알고리즘을 세우면 다음과 같고 그 흐름도는 그림 5와 같다.

(단계 1) 주어진 디지털 회로 G의 모든 회선에 단일 고착형 결함을 나타내는 결함 회선을 첨가함으로써 결함 회로를 구성한다. 즉, stuck-at-1 결함인 경우는 정상 회선에 결함 회선을 OR 게이트 취하고, stuck-at-0 결함인 경우는 정상 회선과 인버터를 경유한 결함 회선을 AND 게이트 취함으로써 결함 회로를 구성한다. 만일 단일 회선에 대한 경우에는 그 회선만 결함회선을 첨가하고 나머지 회선은 정상회선으로 본다.

(단계 2) 정상회로 Gn와 결함 회로 Gf를 결함함으로써 신뢰도 회로 Hc를 구성한다.

(단계 3) (단계 2)에서 구한 신뢰도 회로 Hc로부터 신호적 신뢰도 함수 H를 구한다.

(단계 4) 샤프(SHARP)연산을 이용하여 신호적 신뢰도 함수 H를 이접한식으로 변환한다.

(단계 5) 이접한 신호적 신뢰도 함수 H에 확률값을 대입한다.

(2) 컴퓨터에 의한 신호적 신뢰도 계정

디지털 회로의 신호적 신뢰도를 계정할 때 회로가 간단할 때는 筆算으로 별로 문제가 될 것이 없지만 회로가 복잡하고 규모가 클 때는 컴퓨터를 이용하여야 하며 프로그램은 알고리즘에 따라 수행된다. 여기서 입력은 수치가 아니기 때문에 모든 값은 문자열(string)로 입력되어 처리된다. 그리고 인버터(inverter)를 포함하는 게이트는 대괄호([])로 묶어 처리한다.

그림 6-(a)의 회로에 대한 컴퓨터 수행 결과는 다음과 같다. 그림 6-(a)에 대해 모든 회선을 고려한 경우의 신뢰도 회로 Hc는 각각 그림 6-(b), (c)와 같고 수행된 결과가 표-1에 나타나 있다. 즉 Stuck-at-1 결함의 경우는,

$$R(G) = 1 - 5/2 \cdot f + 29/8 \cdot f^2 - 2 \cdot f^3 - 1/8 \cdot f^4 + 1/2 \cdot f^5 - 1/8 \cdot f^6$$

표 1 컴퓨터에 의한 신호적 신뢰도 계정

```

SIGNAL RELIABILITY EVALUATION
*****
---- INPUT CIRCUIT =X1X2+X1X3

Multi(A) or Single(O) ? :A

*****
1) GN#=X1X2+X1X3
2) Gf1#=F6+F5+F4+X1X3+X1F3+F1X3+X1X2+F1F3+X1F2+F1X2+F1F2
3) Gf0#=X1f1X3f3f5f6+X1f1X2f2f4f6
4) IGn#=x1+x2x3
5) IGf1#=f6f5f4x1f1+f6f5f4x3f3x2f2
6) IGf0#=F6+F1+x1+F5F4+F5F2+F5x2+F3F4+F3F2+F3x2+x3F4+x3F2+x3x2
7) H11#=(X1X2+X1X3)(F6+F5+F4+X1X3+X1F3+F1X3+X1X2+F1F3+X1F2+F1X2+F1F2)
* H11#=X1X3+X1X2
8) H10#=(x1+x2x3)(f6+f5+4x1f1+f6f5+4x3f3x2f2)
* H10#=x1f6f5f4f1+x2x3f6f5f4f3f2
9) H01#=(X1X2+X1X3)(X1f1X3f3f5f6+X1f1X2f2f4f6)
* H01#=X1X3f1f3f5f6+X1X2f1f2f4f6
10) H00#=(x1+x2x3)(F6+F1+x1+F5F4+F5F2+F5x2+F3F4+F3F2+F3x2+x3F4+x3F2+x3x2)
* H00#=x1+x2x3
*****
----- GOTO SHARP OPERATION -----
*****
11) H11#=X1X3+X1X2x3
12) H10#=(x1f6f5f4f1+X1x2x3f6f5f4f3f2+x1x2x3f1f6f5f4f3f2)
13) H01#=X1X3f1f3f5f6+X1X2x3f1f2f4f6+X1X2X3f1f2F3f4f6+X1X2X3f1f2f3f4F5f6
14) H00#=(x1+x2x3)
15) RELI(S-A-1)=X1X3+X1X2x3+x1f6f5f4f1+X1x2x3f6f5f4f3f2+x1x2x3f1f6f5f4f3f2
16) RELI(S-A-0)=
X1X3f1f3f5f6+X1X2x3f1f2f4f6+X1X2X3f1f2F3f4f6+X1X2X3f1f2f3f4F5f6+x1+X1x2x3
*****
**# PROR(S-A-1)=1-2.5f^1+3.625f^2-2f^3-.125f^4+.5f^5-.125f^6
*****
*** PROR(S-A-0)=1-1.25f^1+1.125f^2+.5f^3-1.375f^4+.75f^5-.125f^6
*****

```

이고 Stuck-at-0 결함의 경우는,

$$R(G) = 1 - 5/4 \cdot f + 9/8 \cdot f^2 + 1/2 \cdot f^3 - 11/8 \cdot f^4 + 3/4 \cdot f^5 - 1/8 \cdot f^6$$

이다. 또, 단일회선만을 고려한 경우에 대해서도 살펴보면(표-2에 대한 수행 결과가 나타나 있음), Stuck-at-1 결함인 경우는,

$$\begin{aligned}
 R(G_1) &= 1 - 3/8 \cdot f_1, & R(G_2) &= 1 - 1/8 \cdot f_2, \\
 R(G_3) &= 1 - 1/8 \cdot f_3, & R(G_4) &= 1 - 5/8 \cdot f_4, \\
 R(G_5) &= 1 - 5/8 \cdot f_5, & R(G_6) &= 1 - 5/8 \cdot f_6
 \end{aligned}$$

이며, Stuck-at-0 결함의 경우는,

$$\begin{aligned}
 R(G_1) &= 1 - 3/8 \cdot f_1, & R(G_2) &= 1 - 1/8 \cdot f_2, \\
 R(G_3) &= 1 - 1/8 \cdot f_3, & R(G_4) &= 1 - 1/8 \cdot f_4, \\
 R(G_5) &= 1 - 1/8 \cdot f_5, & R(G_6) &= 1 - 3/8 \cdot f_6
 \end{aligned}$$

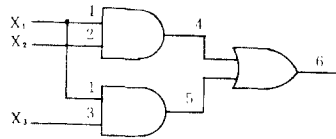
가 된다. 즉, 그림 6-(a)와 같이 Fanout이 있는 경우는(회선 1) 같은 단의 다른 회선보다 신뢰도 값이 떨어지고, 동일한 결함을 가정할 때 같은 단에서의 신호적 신뢰도값은 동일하며 결함의 선택에 따라 회로 구조에 의해 값이 달라짐을 알 수 있다. 그림 7은 신뢰도 결과식에 의한 결함 확률의 변화에 따른 신호적 신뢰도값의 변화를 나타낸다.

표 2 단일 결함에 대한 신호적 신뢰도 계산

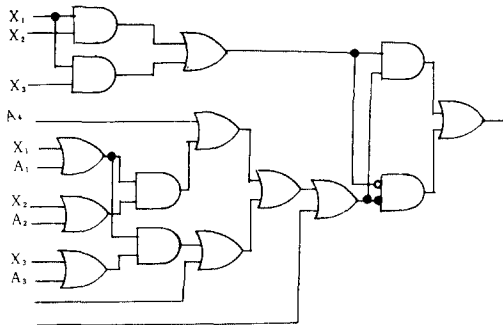
```

SIGNAL RELIABILITY EVALUATION
*****
---- INPUT CIRCUIT =X1X2+X1X3
Multi(A) or Single(0) ? ;0
Which line does fault occur in(lead line number)?;1
*****
1) GN#=X1X2+X1X3
2) Gf1#=X3X1+X3F1+X2X1+X2F1
3) Gf0#=X1+X2+X1f1X3
4) IGn#=x1+x2x3
5) IGf1#=x3x2+x1f1
6) IGf0#=F1+x1+x2x3
7) H11#= (X1X2+X1X3) (X3X1+X3F1+X2X1+X2F1)
  * H11#=X1X3+X1X2
8) H10#= (x1+x2x3) (x3x2+x1f1)
  * H10#=x2x3+x1f1
9) H01#= (X1X2+X1X3) (X1f1X2+X1f1X3)
  * H01#=X1X3f1+X1X2f1
10) H00#= (x1+x2x3) (F1+x1+x2x3)
  * H00#=x1+x2x3
*****
----- GOTO SHARP OPERATION -----
*****
11) H11#=X1X3+X1X2x3
12) H10#=x2x3+x1X2f1+x1x2X3f1
13) H01#=X1X3f1+X1X2x3f1
14) H00#=x1+X1x2x3
15) RELI(S-A-1)=X1X3+X1X2x3+x2x3+x1X2f1+x1x2X3f1
16) RELI(S-A-0)=X1X3f1+X1X2x3f1+x1+X1x2x3
*****
*** PROB(S-A-1)=1-.375f^1
*** PROB(S-A-0)=1-.375f^1
*****

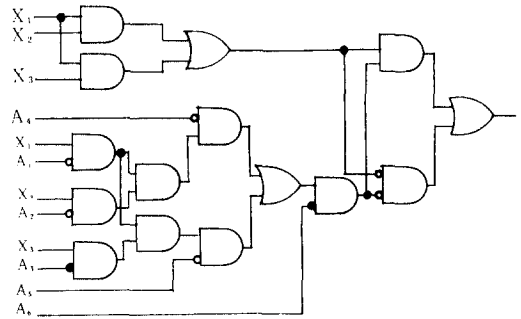
```



(a) 2-단 디지털 회로

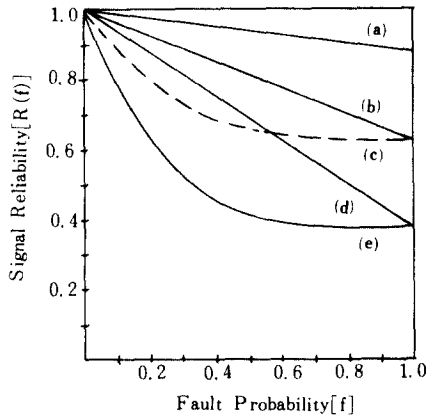


(b) s-a-1 신뢰도 회로 Hc 모델



(c) s-a-0 신뢰도 회로 Hc 모델

그림 6 신호적 신뢰도를 계산하기 위한 예제 회로
Example circuit for evaluating the signal reliability.



- (a) 단일 결함(회선 2 (혹은 3)의 결함 또는 회선 2 (혹은 3, 4, 5)의 s-a-1 결함)
- (b) 단일 결함(회선 1의 s-a-1 결함 또는 회선 1 (혹은 6)의 s-a-0 결함)
- (c) s-a-0 결함(모든 회선)
- (d) 단일 결함(회선 4 (혹은 5, 6)의 s-a-0 결함)
- (e) s-a-1 결함(모든 회선)

그림 7 결함 확률에 대한 신뢰도 값의 변화
The variation of reliability for fault probability.

6. 결 론

본 논문에서는 디지털 회로의 단일 고착형 결함에 대한信號의 信賴度를 계정하기 위하여 결함 모델과 알고리즘을 보였다. 多重 결陷의 경우는 회로의 모든 회선에 결함이 존재할 때 회로 구조에 관계없이 50%의 신뢰도 값을 가졌으나^{(6),(11)} 單一 결陷에 대한 결함 모델을 통한 신뢰도 해석은 회로 구조에 따라 신뢰도 값이 달라지고 결함의 성질에 따라 신뢰도 값의 변화가 달라진다는 것도 알 수 있었다. 그리고 단일 회선에 대한 결함의 경우는 동일한 게이트의 입력단에서는 신뢰

도 값이 일정하나 출력단에서는 게이트의 종류에 따라 그 값이 달라지고 또한 회로의 단수에 따라 값의 변화가 달라짐을 알 수 있었다. 회로가 복잡하고 규모가 커짐에 따라 筆算(hand writing)이 어려우므로 이를 편리하게 적용할 수 있는 컴퓨터 프로그램도 보였다.

참 고 문 헌

- (1) 고경식, 오영환, "디지털 계통의 신호적 신뢰도 계정 방법에 관한 연구," 전자공학회지 제24권, 제 1호, 1987년 1월.
- (2) ROY, C. Ogus, "The Probability of Correct Output form Combinational Circuit," IEEE Trans. Compt., vol. C-24, no. 5, May 1975.
- (3) K. P. Parker and E. D McCluskey, "Analysis of Logic Circuits With Faults Using Input Signal Probabilities," IEEE Trans. Compt., vol. C-24, May 1975.
- (4) Israel Korn and Eltan Sadeh, "A New Approach to the Evaluation of the Reliability of Digital Systems," IEEE Trans. Comt., vol. C-29 no 3, Mar. 1980.
- (5) 정창성, "3-상태 신뢰도 회로망의 신뢰도 계정에 관한 연구," 광운대학 논문집, 1984년 12월
- (6) Friedman and Menon, "Fault Detection in Digital Circuits," Prentics-Hall, 1971
- (7) Berger and Z. Kohavi, "Fault Detection in Fanout-Free Combinational Networks" IEEE Trans. Compt., vol. C-22, no. 10, October 1973.
- (8) Kenyon C. Y. MEI, "Bridging and Stuck-At Faults," IEEE Trans. Compt., vol. C-23, no. 7, July 1974
- (9) Francisco J. O. Dias, "Fault Masking in Combinational Logic Circuits," IEEE Trans. Compt., vol. C-24, no. 5, May 1975.
- (10) P. DesMarais and M. Krieger, "Reliability Analysis of Logic Circuits," Microelectronics and reliability, vol. 16, pp. 29-33 1977.
- (11) Israel Korn, "Analysis of the Signal Reliability Measure and Evaluation Procedure," IEEE Trans. Compt., vol. C-28, no. 3 March 1979.



金 永 一 (Young Ill KIM) 準會員
1962年 7月 20日生
1981~1984: 光云大學電子通信工學科



吳 英 煥 (Young Hwan OH) 正會員
1947年 12月 28日生
1975年 2月: 仁荷大學校電子工學科卒業
1977年 2月: 仁荷大學校大學院 碩士過程 卒業
1983年 2月: 仁荷大學校 大學院 博士過程 修了
1980年 3月~現在: 光云大學電子通信工學科 副教授.