

論 文

다중프로세서 방식을 사용한 직류-교류변환기의 펄스폭변조 제어에 관한 연구

正會員 李 允 鍾* 正會員 李 成 栢**

A Study on the PWM Controller of DC-AC Inverter using the Multiprocessor System

Yoon Jong LEE*, Sung Paik LEE** *Regular Members*

要 約 본 논문은 2레벨 및 3레벨 형태의 펄스폭변조 기법을 해석한 후 이런 두 형태의 펄스폭변조인버터에 대한 제어 기로서 사용될 수 있는 다중 프로세서를 설계하였다.

설계된 다중 프로세서 방식은 Supervisory 프로세서가 공용메모리를 통해서 Local 프로세서와 상호 연결되어 있는 계층적인 구성을 도입함으로써 정교한 디지털제어특성을 보였다.

이런 다중 프로세서 구성을 실현함으로써 시스템의 소프트웨어를 변경시 큰 자유도를 얻을 수 있었고 단일 프로세서구성에 비해 소프트웨어를 더욱 간단하게 할 수 있었다.

ABSTRACT In this paper, the 2-level and 3-level types of PWM technique have been analyzed, and a multiprocessor has been designed as controller for these two types of PWM inverters.

Designed multiprocessor employing a hierarchical structure of a SUPERVISORY PROCESSOR which interconnects three LOCAL PROCESSOR through a common memory technique has showed an elaborate digital control characteristic.

Using this multiprocessor configuration the system could gain a great degree of freedom in change of software. Also software was simpler than a single processor configuration.

*漢陽大學校 電氣工學科

Dept. of Electrical Engineering Hanyang Uni.

**光云大學校 電子工學科

Dept. of Electrical Engineering Kwangwoon Uni.

論文番號 : 87-49(接受 1987. 8. 5)

I. 서 론

전지 또는 태양전지등에서 발생하는 직류를 효율이 높은 상태로서 전압을 가변한다는 것은 상

당한 난점이었다.

효율을 높이기위해 직류를 정현파교류로 변환하여 이를 증압 내지는 강압하여 소요목적에 사용한다. 특히 직류를 직접 정현파로 변환하는 경우 효율이 좋지 못하므로 스윗칭 방법을 사용하고 이 펄스 모양의 파를 평균하여 정현파로 바꾸어 전송한다. 특히 단상 보다는 3상전원이 전송 효율이 높아진다.

이런 목적으로 1960년대초부터 전력용 반도체의 발달과 더불어 제어대상 특성에 따라 Uninterruptible Power Supply(이하 UPS), Variable Voltage Variable Frequency(이하 VVVF), Emergency Power System(이하 EPS), Constant Voltage Constant Frequency(이하 C-VCF) 등 많은 전원변환용 시스템이 연구되어 왔다⁽¹⁾⁽²⁾.

이들중 펄스폭변조방식 인버터는 하나의 전원장치만으로 출력전압의 진폭 및 주파수를 독립적으로 제어할 수 있고, 고조파 함유량을 크게 감소시킬 수 있어 교류전압을 사용하는 시스템에 효과적으로 적용될 수 있다.

이에 대한 변조방식으로 아나로그방식과 디지털방식으로 크게 분류할 수 있는데, 후자는 비교적 적은 전류(Commutation) 횟수로서 동작효율이 우수하여 1970년대 이후 실용화를 위한 연구가 꾸준히 진행되고 있다.

앞서 대부분의 연구는 고조파제거기법을 이용하여 수치 알고리즘으로 비선형 방정식의 해를 구하고 주어진 진폭값에 대응되는 스윗칭패턴을 찾아 그값에 대응하는 스윗칭 간격을 출력하도록 하였다^{(3), (4), (5)}.

그러나 본연구에서는 Supervisory 프로세서와 3개의 Local 프로세서를 사용한 다중 프로세서 방식을 채택하였다. Supervisory 프로세서는 연산기능과 전체 시스템 제어 기능을 가지며, 이것과 3개의 Local 프로세서가 계층적 구조를 갖도록한 시스템에 대한 연구를 하였다⁽⁶⁾.

또한 Supervisory 프로세서와 Local 프로세서 사이에 공용메모리(Common Random Access Memory; CRAM)가 있어서 시스템은 이 공용메모리를 경유하여 양자간의 정보전달과 관리기능

을 수행하도록 구성하였다. 그러므로 하드웨어적인 회로자체보다는 오히려 Supervisory 프로세서에서 소프트웨어에 의한 기능을 실현시키는데 주목적을 두고있다.

II. 아나로그와 디지털 제어시스템

가변전압가변주파수펄스폭변조인버터는 주어진 기준 주파수나 전압에 대해 쉽게 펄스폭변조 파형을 발생시키기위해 삼각파와 정현파를 비교하여 변조하는 아나로그방법이 널리 적용되고있다. 그러나 아나로그 방법은 다음과 같은 단점이 불가피하게 발생한다.

- 1) 잡음에 의해 정확한 파형 전달이 어렵다.
 - 2) 온도변화와 시간이 경과함에 따라 파형의 변화가 생기기 쉽다.
- 이외에도 펄스폭변조인버터를 사용할때에는 다음과 같은 단점이 지적된다.
- 3) 삼각파와 정현파의 주파수비가 정수관계로서 일치하지 않을때 정현파의 영(Zero) 교차점에서 불필요한 펄스가 발생된다.
 - 4) 정교한 파형제어가 필요할 때 회로는 더욱 복잡해진다.
 - 5) 공급전류에 포함되는 유해한 고조파를 제어하는 정확도가 충분하지 않다.

적절한 PWM 파형을 계산하여 RAM에 기억시키고 필요시 기억된 정보에 따라 PWM파를 발생시키는 디지털제어 기법을 사용하면 위 1), 2)의 문제점들을 해결할 수 있게된다. 그리고 다음과 같은 잇점을 가질 수 있다.

- 1) 고조파를 충분히 제거할 수 있는 알고리즘으로 출력파형을 만들 수 있다.
- 2) PWM 신호파를 비교적 정확하게 발생시킬 수 있다.
- 3) 주회로의 전압과 부하상태에 대한 정보를 검출하여 CPU에 제한시켜 줌으로 더욱 개발된 시스템을 설계할 수 있다.
- 4) 시스템 매개변수의 변화에 따라 적절한 파형을 기억시켜 줄 수 있다.
- 5) 대부분의 제어기능이 소프트웨어에 의해 구성되기 때문에 새로운 기능을 첨가 시키기

나 수정하기 쉽다.

단일 프로세서로서 제어기를 구성했을 때 새로운 입력정보가 주어진경우 다른 파형이 출력되기까지는 일반적인 방식은 많은 시간지연이 요구되며, 또는 파형을 Mapping하는 방식은 연속성이 결여되는 문제점이 있다.

이러한 단점을 개선하기위해 본논문에서는 다중 프로세서 방식을 도입하였고 따라서 하드웨어 구성은 커졌지만 일부 병렬신호처리를 시킴으로써 소프트웨어를 최소로 할 수 있게되어 실시간 제어가 가능해 졌다.

Ⅲ. 펄스폭변조기법 (Pulse Width Modulation ; PWM)

PWM기법은 아날로그방식과 디지털 방식으로 크게 나누어진다.

아날로그방식은 기준파인 정현파와 반송파인 삼각파의 중첩을 통해 교차되는 시점들을 게이팅 스위칭의 기본각으로 하는 방식이다^{(7), (8), (9)}.

디지털방식은 기본파의 진폭과 고조파의 성분을 제어 할 수 있는 스위칭패턴을 제어 시스템에 직접 이용하는 방식이다.

본장에서는 PWM파형을 2레벨과 3레벨로 구

분하며 각레벨에 대한 파형을 해석하고 이를 통하여 스위칭패턴을 구하고자 한다.

Ⅲ-1. 2레벨 변조기법

2레벨 PWM파형은 그림 1과 같은 형태로 일반화시켜 해석한다.

그림 1에서 반주기당 M번 chopping된 일반화 2레벨 변조출력 파형을 볼 수 있다. 이런 주기적 파형이 반주기당 M번이고 진폭이 일정하다고 가정한다⁽³⁾.

따라서

$$f(\omega t) = -f(\omega t + \pi) \quad (1)$$

여기서 $f(\omega t)$ 는 반주기당 M번 chopping된 각도를 $\alpha_1, \alpha_2, \dots, \alpha_{2M}$ 이라하면 파형은 다음과 같이 Fourier 급수로 전개할 수 있다.

$$f(\omega t) = \sum_{n=1}^{\infty} \{A_n \sin(n\omega t) + B_n \cos(n\omega t)\} \quad (2)$$

여기서

$$A_n = \frac{1}{\pi} \int_0^{2\pi} f(\omega t) \sin(n\omega t) d(\omega t) \quad (3)$$

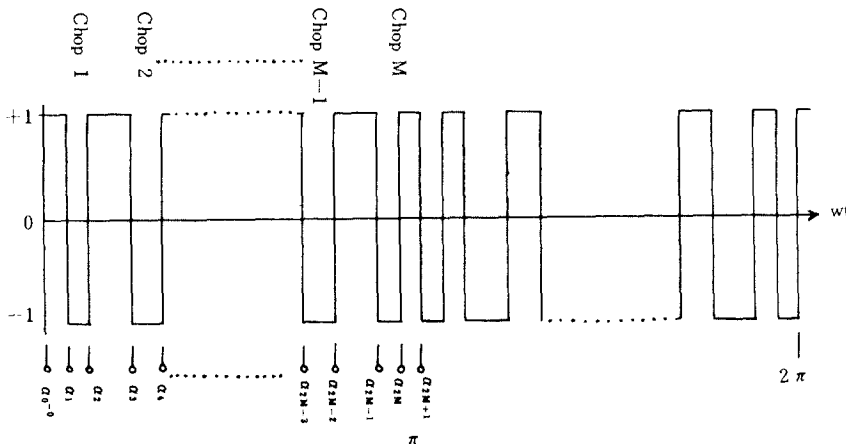


그림 1 일반화된 2레벨 펄스 폭 변조 파형
Generalized 2 level pulse-width modulation waveform.

$$B_n = \frac{1}{\pi} \int_0^{2\pi} f(\omega t) \cos(n\omega t) d(\omega t) \quad (4)$$

반주기 대칭을 사용하여 식(3)에 $f(\omega t)$ 를 대입하면

$$A_n = \frac{2}{\pi} \sum_{k=0}^{2M} (-1)^k \int_{\alpha_k}^{\alpha_{k+1}} \sin(n\omega t) d(\omega t) \quad (5)$$

여기서 $\alpha_0 = 0$, $\alpha_{2M+1} = \pi$ 이고

$\alpha_0 < \alpha_1 < \alpha_2 \dots < \alpha_{2M+1}$ 일 때 식(5)를 풀면

$$A_n = \frac{2}{n\pi} \{ \cos(n\alpha_0) - \cos(n\alpha_{2M+1}) + 2 \sum_{k=1}^{2M} (-1)^k \cos(n\alpha_k) \} \quad (6)$$

그러나 $\alpha_0 = 0$, $\alpha_{2M+1} = \pi$ 이므로

$$\cos(n\alpha_0) = 1 \quad (7)$$

$$\cos(n\alpha_{2M+1}) = (-1)^n \quad (8)$$

식(6)으로 부터

$$A_n = \frac{2}{n\pi} \{ 1 - (-1)^n + 2 \sum_{k=1}^{2M} (-1)^k \cos(n\alpha_k) \} \quad (9)$$

마찬가지로

$$B_n = -\frac{4}{n\pi} \sum_{k=1}^{2M} (-1)^k \sin(n\alpha_k) \quad (10)$$

반주기 대칭, n 이 우수일 때 $A_n = 0$, $B_n = 0$ 이다.

그러므로 기수 n 에 대해 식(9)(10)으로부터

$$A_n = \frac{4}{n\pi} \{ 1 + \sum_{k=1}^{2M} (-1)^k \cos(n\alpha_k) \} \quad (11)$$

$$B_n = \frac{4}{n\pi} \{ - \sum_{k=1}^{2M} (-1)^k \sin(n\alpha_k) \} \quad (12)$$

$2M$ 의 변수에 대한 단일해를 얻기위해 $2M$ 개의 방정식이 필요하다.

$f(\omega t)$ 에 대하여 $\frac{1}{4}$ 파형대칭을 가정하면

$$f(\omega t) = f(\pi - \omega t) \quad (13)$$

$\frac{1}{4}$ 파형 대칭특성을 이용

$$\alpha_k = \pi - \alpha_{(2M-k+1)}, K=1, 2, \dots, M \quad (14)$$

그러므로 식(14)를 이용하여

$$\sin(n\alpha_k) = \{ \sin(n\pi) \cos(n\alpha_{(2M-k+1)}) - \cos(n\pi) \sin(n\alpha_{(2M-k+1)}) \} \quad (15)$$

단, $K=1, 2, \dots, M$

기수 n 에 대하여

$\sin(n\pi) = 0$, $\cos(n\pi) = -1$ 을 식(15)에 대입하면

$$\sin(n\alpha_k) = \sin(n\alpha_{(2M-k+1)}), K=1, 2, \dots, M \quad (16)$$

식(12)에 식(16)을 대입하면

$$B_n = \frac{4}{n\pi} \sum_{k=1}^M \{ \sin(n\alpha_k) - \sin(n\alpha_{(2M-k+1)}) \} \quad (17)$$

식(14)로부터

$$\cos(n\alpha_k) = -\cos \{ n(\pi - \alpha_{(2M-k+1)}) \} \quad (18)$$

기수 n 에 대하여 식(18)은

$$\cos(n\alpha_k) = -\cos(n\alpha_{(2M-k+1)}) \quad (19)$$

식(11)에 식(19)를 대입하면

$$A_n = \frac{4}{n\pi} \{ 1 + 2 \sum_{k=1}^M (-1)^k \cos(n\alpha_k) \} \quad (20)$$

식 (20)에서 $|An|$ 은 n 차 고조파 진폭을 나타내며 스위칭각에 따라 기본파는 물론 고조파 성분들의 진폭도 임의로 제어할 수 있음을 알 수 있다.

III-2. 3레벨 변조기법

3레벨 PWM파형에 대한 해석은 2레벨의 개념을 도입하면 유사한 방법으로 전개할 수 있다⁽³⁾.

3레벨 PWM파형의 일반화된 파형은 그림 2와 같다.

그림 1에서 파형의 주기당 전류(commutation)의 수 N_1 은 다음과 같다.

$$N_1 = 2(2M + 1) = 4M + 2 \quad (21)$$

그림 2의 파형에서 주기당 전류(commutation)의 수 N_2 는

$$N_2 = 2(2M) = 4M \quad (22)$$

그러므로 그림 1에서 2레벨 변조파형은 그림 2의 3레벨 변조파형과 비교하여 주기당 2개의 전류(commutation)가 더 생긴다. 그림 2에서 $\frac{1}{2}$ 주기당 대칭이라 가정하고 기수 n 에 대해 Fourier 급수를 전개하면

$$An = \frac{2}{\pi} \int_0^{\pi/2} f(\omega t) \sin(n\omega t) d(\omega t) \quad (23)$$

n 이 우수이면

$$An = 0 \quad (24)$$

$$Bo = 0 \quad (25)$$

로 되며 따라서 n 이 기수일 때

$$f(\omega t) = \sum_{k=1}^{\infty} An \sin(n\omega t) \quad (26)$$

그림 2와 식 (23) 으로부터 기수 n 과 M 에 대하여

$$An = \frac{4}{n\pi} \sum_{k=1}^M (-1)^{k+1} \cos(n\alpha_k) \quad (27)$$

n 이 기수이면 $\cos\left(\frac{2}{\pi}n\right) = 0$

기수 n 과 우수 M 에 대하여

$$An = \frac{4}{n\pi} \sum_{k=1}^M (-1)^{k+1} \cos(n\alpha_k) \quad (28)$$

식 (27) 과 식 (28) 은 같기 때문에 기수 n 에 대한 어떤 M 값이라도 다음과 같이 주어진다.

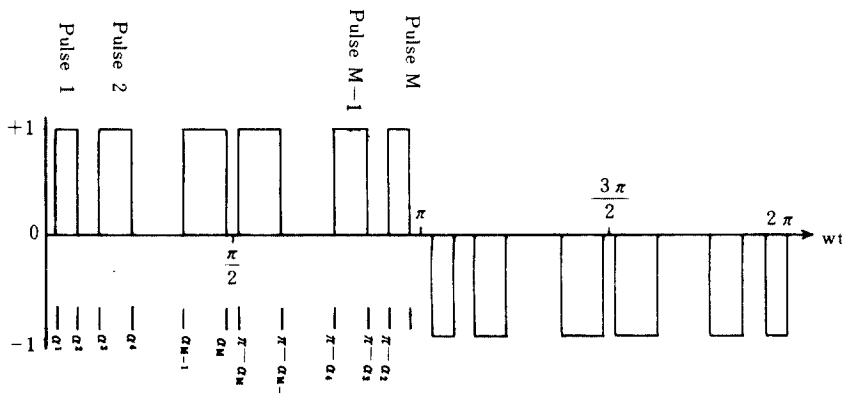


그림 2 일반화된 3레벨 펄스 폭 변조 파형
Generalized 3 level pulse-width modulation waveform.

$$A_n = \frac{4}{n\pi} \sum_{k=1}^M (-1)^{k+1} \text{Cos}(n\alpha_k) \quad (29)$$

여기서 $0 < \alpha_1 < \alpha_2 \dots < \alpha_M < \frac{2}{\pi}$ 이다.

IV. 디지털제어 시스템의 실현

여기서는 디지털제어를 실현하기 위해 시스템에 마이크로프로세서를 도입하는 방법에 대해 생각한다.

그림 3에는 PWM인버터에서 아날로그 제어시스템의 전형적인 구성에 대한 예를 주었는데 게이팅 회로는 다음 3가지 부분으로 분리된다.

- 1) 시스템 제어부분 : 시스템 매개변수에 따른 채적의 출력파형을 결정한다.
- 2) 파형발생부분 : 출력될 PWM파형을 발생시

켜준다.

- 3) 게이팅 제어부분 : 주회로를 동작시키기 위한 실시간 펄스 신호를 발생시켜 준다.

그림 4 (a)는 하나의 마이크로프로세서로서 사용된 구성을 나타낸다.

이같은 경우 마이크로프로세서는 아날로그 방법을 따른 고속동작이 요구되고, 시스템제어를 개선할 여지가 없다. 주기적으로 파형을 발생시키는 간단한 동작을 하는데 마이크로프로세서가 비경제적이다.

그림 4 (b)는 대부분의 파형발생이 파형정보 메모리의 기억된 정보에 의해서 발생하는 구성이다.

이러한 메모리의 $\frac{1}{2}$ 주기 정보로부터 한주기의 대칭적인 PWM파형을 발생시켜 줄 수 있다.

이러한 메모리의 내용은 대형 컴퓨터를 사용해 미리 계산해 줄 수 있으므로 동작조건의 변화나

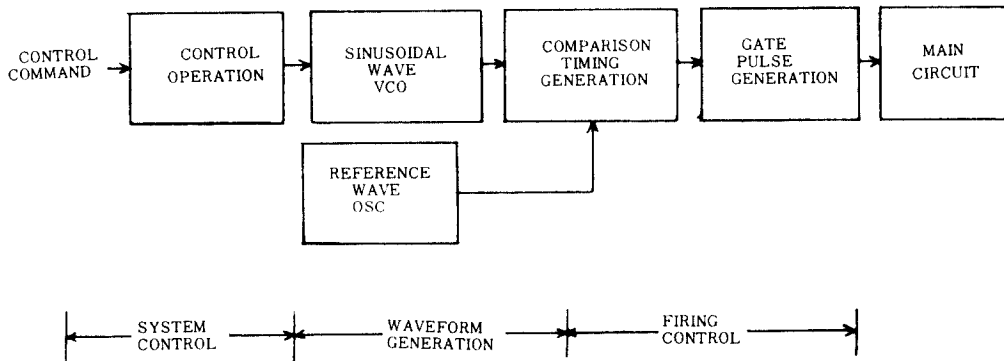


그림 3 아날로그 시스템의 구성
Block diagram of analog system.

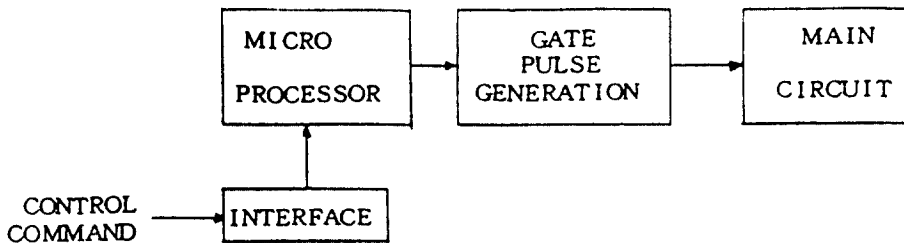


그림 4(a) 하나의 마이크로프로세서를 사용한 구성
Block diagram using one microprocessor.

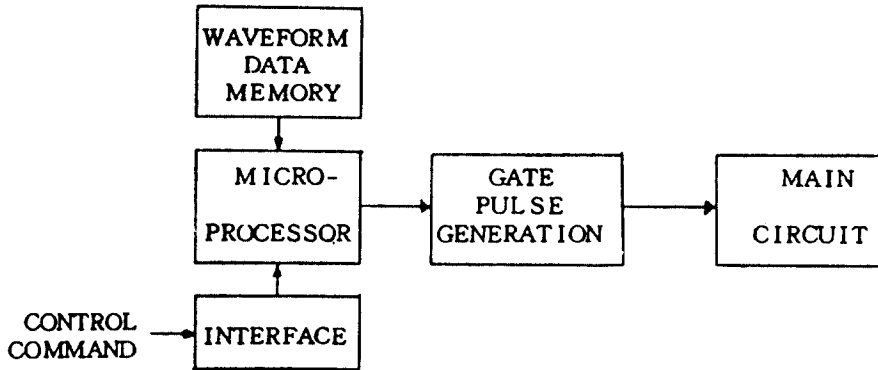


그림 4(b) 파형 정보 메모리를 분리시켜 빠르고 복잡한 파형을 발생시킬 수 있는 구성
Block diagram of configuration which can generate quick and sophisticated waveform, according to saperated waveform data memory.

매개변수의 변화에 따른 문제점에 대처하여 ROM에 재배열 시켜줄 수 있다⁵⁾.

PWM파형이 숫자로 된 정보로 주어질 때 실시간의 ON-OFF 명령을 읽어내고 POWER MOS를 게이팅 시켜주는 일련의 기능은 많은 전력컨버터에 공통으로 사용될 수 있다.

그림 5에는 위에서 설명한 방법에 따른 다중프로세서 방법의 구성을 보여준다.

V. 다중프로세서 전원 컨버터

그림 5에서 디지털제어되는 다중프로세서의 도식적인 구성을 볼 수 있다. 점선부분은 각각의 프로세서를 포함하고 있는 Local프로세서(이하

LP)이다. CRAM은 모든 LP와 Supervisory 프로세서 또는 System프로세서(이하SP)가 액세스 할 수 있는 공용메모리이다.

V-1. 시스템 프로세서(SP)

SP는 CRAM을 경유하여 각각의 LP를 제어하는 Supervisory 프로세서이다. SP는 대용량의 EPROM과 시스템의 매개변수를 케환시켜주는 인터페이스 회로로 구성된 파형 정보메모리를 갖고 있다. SP는 입력되는 시스템의 매개변수에 따라 PWM시에 필요한 기준파형인 정현파와 반송파인 삼각파를 연산하여 값을 비교하여 PWM파형의 패턴을 만들어준다. 그리고 이미 연산하여 만들어진 PWM파형 정보를 3상으로 위상변조시켜 각상에 대한 정보를 CRAM에 전송

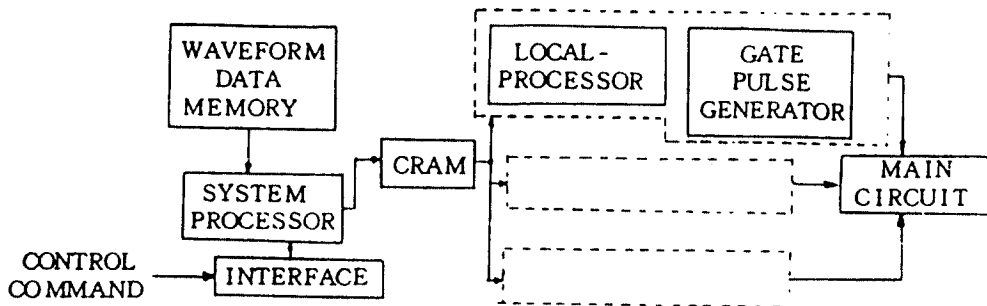


그림 5 하나의 Supervisory processor가 3개의 Local processor를 관리하는 시스템의 구성
Block diagram of system which is supervised three Local processor by a Supervisory Processor.

시켜주고, 3 개의 Local파형정보를 인출해 가도록 제어하는 기능을 가지고 있다. SP가 LP를 제어하는데 SP와 LP간의 Handshake 방법을 사용하므로 정확히 제어를 할 수 있다.

또한 2 개의 적절한 파형 정보간 보간법을 이용하여 PWM파형을 만들 수 있으므로 실제로는 적은 용량의 메모리로도 충분히 사용할 수 있다.

V-2. 로칼 프로세서(LP)

LP는 CRAM에서 게이팅 파형정보를 읽고 주기적인 실시간 게이팅 파형을 발생 시켜줌으로써 전력 컨버팅의 게이팅을 제어하는 프로세서이다.

각각의 LP는 독립적인 스위칭단을 갖고 있다.

ON-OFF 게이팅신호는 소프트웨어에 의해 발생되며 약간의 업무를 SP와 적절히 나누어 동작하므로 분산동작을 할 수 있다는 잇점이 있다. LP구성은 그림 6에서 볼 수 있다.

CRAM에서 인출한 정보를 가체 메모리에 기억시키고 그 정보에 따라 지연시간을 계산해 주고 입·출력 포트를 통해 출력 시켜주도록 구성되어 있다.

LP는 실시간에 정보에 따른 파형을 출력시켜 주고 그후에 CRAM에 있는 파형정보가 변화될

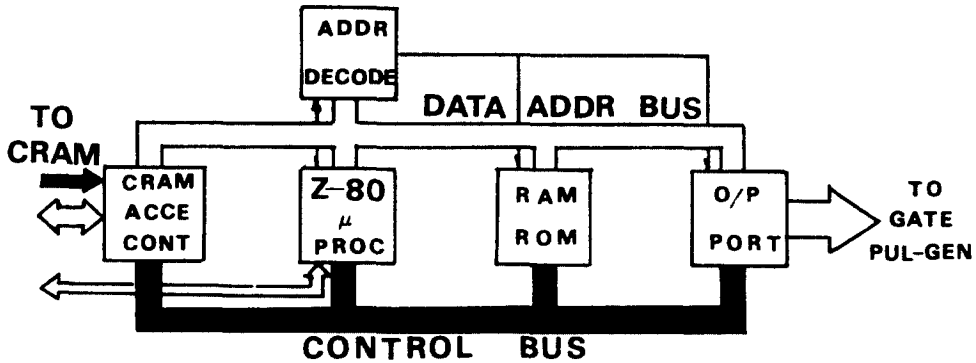


그림 6 Local-Processor의 구성
Block diagram of Local processor.

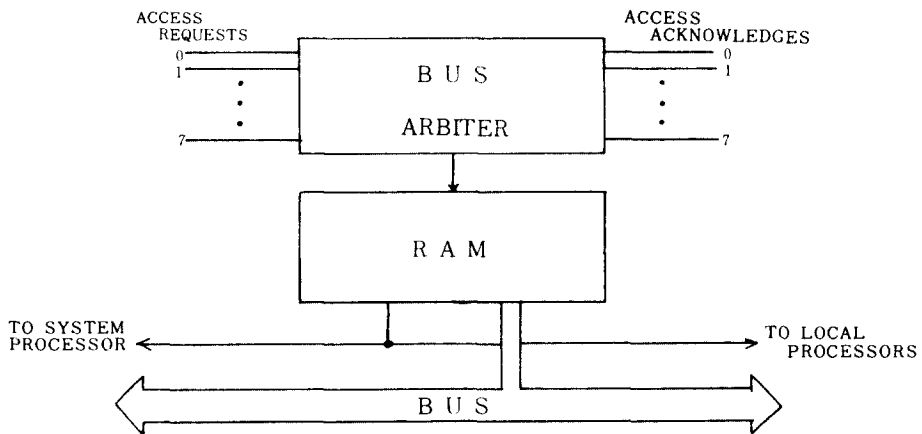


그림 7 버스 아비터가 포함되어 있는 CRAM의 구성
Block diagram of CRAM including Bus arbiter.

경우 SP의 명령에 따라 다시 CRAM에 액세스되어 새로운 정보를 인출하여 입·출력포트를 통해 출력 시켜준다. 3상의 PWM파형을 출력시켜주기 위하여 3개의 LP가 필요하다. 그러므로 각각의 LP는 CRAM에서 출력시킬 위상변조파형을 찾아야만 한다. 그리고 LP는 시스템의 매

개변수나 출력파형정보에서 변화가 생길경우 그에따른 새로운 정보를 인출해야 하는데 이 모든 동작은 SP에서 가모채기 동작에 따른다.

그러므로 LP와 관계없이 SP의 소프트웨어에 의해 시스템이 동작하므로 소프트웨어 개발이 용이하다.

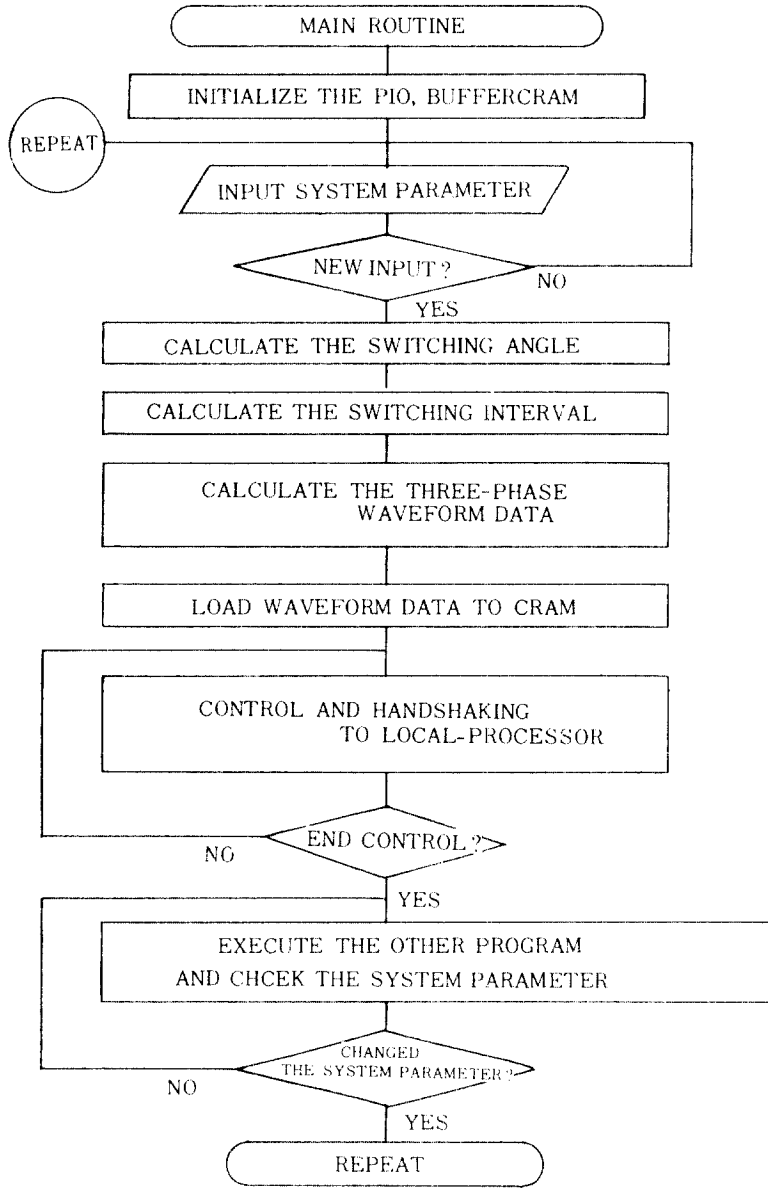


그림 8 시스템 프로세서의 순서도
Flowchart of system processor.

V-3. CRAM

CRAM은 SP와 LP가 공유된 메모리 소자이다. 각각의 LP는 CRAM을 경유하여 SP와 정보를 교환할 수 있다.

또 이런 계층적인 다중 프로세서를 구성함으로써 시스템에는 큰 자유도를 줄 수 있다. 그리고 여러개의 프로세서로부터 비동기적인 액세스요구에 혼란없이 응답하기 위하여 CRAM은 그림 7과 같은 버스아비터(Bus Artiter)가 있어 2개이상의 액세스 요구가 있을때 우선순위를 결정한다.

주요 파형정보를 읽기위한 LP의 CRAM에 액세스되는 양상은 다음과 같다.

- 1) 파형정보를 읽어내는 일은 RAM의 액세스 시간과 비교하여 비교적 드물게 발생한다.
- 2) 각각의 LP는 어떤 시간차이를 가지고 동작하기 때문에 액세스요구는 일반적으로 일치되는 일이 없다.

그러므로 동작에는 액세스요구의 충돌은 발생하지 않는다. 따라서 회로의 우선순위를 고정하면 그림 7과 같은 버스아비터는 쉽게 만들수 있다.

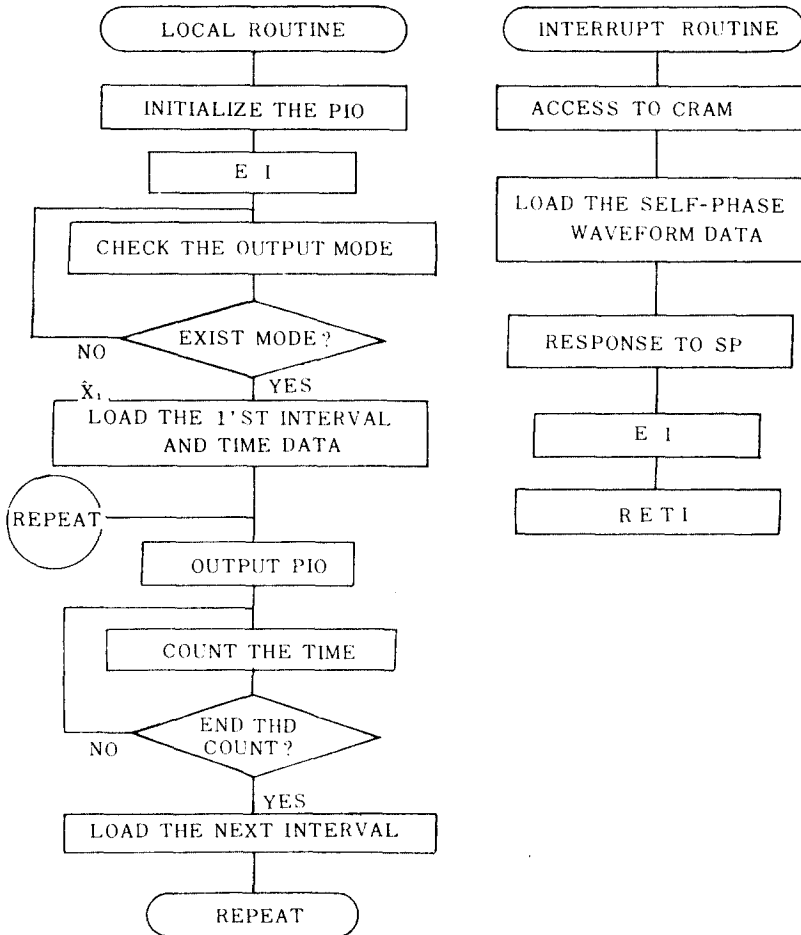


그림 9 로칼프로세서의 순서도
Flowchart of local processor.

SP가 CRAM에 액세스되는 일은 LP의 액세스 횟수보다 훨씬 더 드물고, 각 프로세서는 SP와 핸드셰이크방법을 사용하여 CRAM에 액세스되기 때문에 약간의 지연이 발생되어도 전체시스템에서 액세스동기를 깨뜨리지 못함으로 SP의 우선순위를 제일 낮게 해도 무리가 없다.

V-4. 소프트웨어

LP의 동작에서 대부분은 시스템에 고정시킬 수 있기 때문에 시스템에서 복잡한 프로그램은 단지 SP프로그램을 제어함으로 간단히 개발할 수 있다. 3개의 LP로 구성된 3상 PWM인버터에 있어 다음과 같은 3가지 부분으로 나눌 수 있다.

- 1) 정보변화부분: SP에 의해서 CRAM에 기록되며 동작시 파형정보를 지정한다. 파형정보의 변화가 발생시 LP는 SP로부터 정보변화 명령을 받는다.
- 2) 지연부분: 파형정보변화 명령을 받은 각 LP는 CRAM으로부터 새로운 정보를 인출 자체메모리에 기억시킨다. 이때 각LP는 SP로부터 지정되는 우선순위에 따라 버스아비터의 제어하에 CRAM에 액세스된다.
- 3) 응답부분: 각LP가 정보인출후 동작완료를 SP에 알리기 위한 응답을 한다.

각LP는 다른 LP가 위와같은 정보변화 과정을 수행하는 동안 주기적인 파형을 계속 발생시킨다. 전체 시스템의 제어는 SP로부터 파형정보 변화명령에 의해 수행된다.

만일 CRAM의 내용이 없거나 시스템의 매개변수에 변화가 생기면 SP는 새로 입력된 시스템의 매개변수에 따라 파형정보를 연산하고 CRAM에 전송시킨다. 그후 3개의 각LP에 새로운 파형정보를 인출하라는 명령을 함으로 각LP는 위에 설명한 1) ~3)의 동작을 한다.

그리고 그림 8, 9에 SP와 LP의 순서도를 나타낸다.

VI. 실험

실험에 사용된 기기는 오실로스코프: AN/US M-281/A, 50MHz, HP. 오실로스코프: V-152, 15MHz, HITACH. 전원장치: Apple-용 전원, 6개의 독립된 $\pm 5V$ 전원 및 자작된 0~100VDC 양전원.

Microprocessor CPU: Zilog-80. ROM과 RAM: 16K EPROM 2716, 16K Static RAM 6116을 사용했으며 실험장치는 사진 1과 같다.

실험을 위한 전체 시스템구성도는 그림 10과 같다. $Q_1 \sim Q_6$ 는 Enhancement형 POWER MOS-

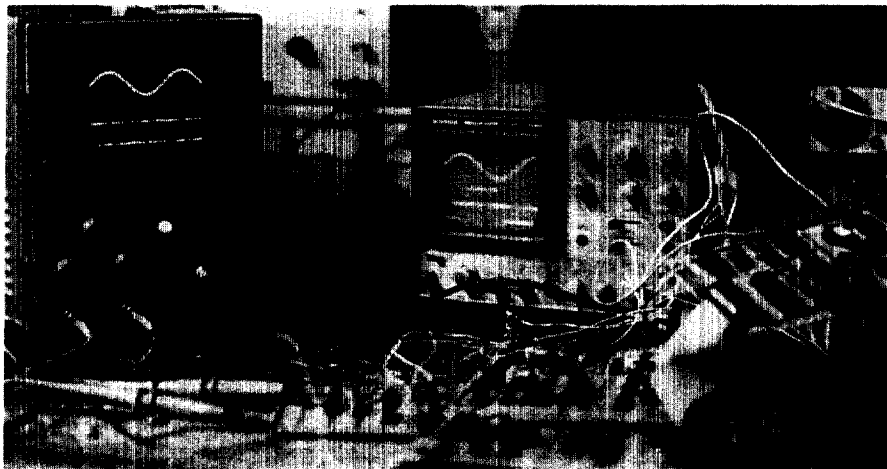


사진 1 실험장치
Experimental system.

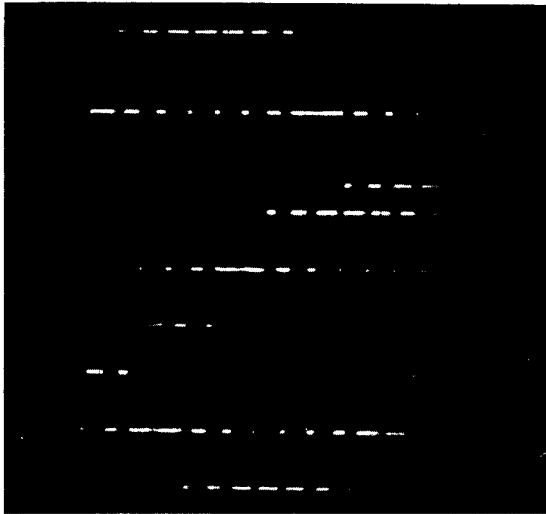


사진 2 캐리어비가 8일때 3레벨 3상 PWM파형
3 level 3 phase PWM Waveform when carrier ratio is 8.

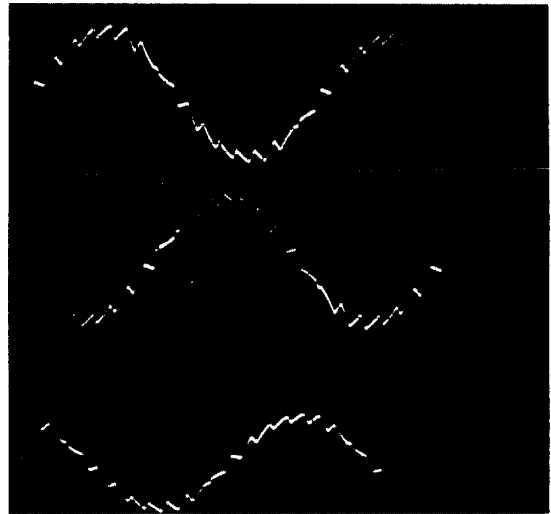


사진 3 캐리어비가 8일때 3상의 적분된 파형
3 phase integrated waveform when carrier ratio is 8.

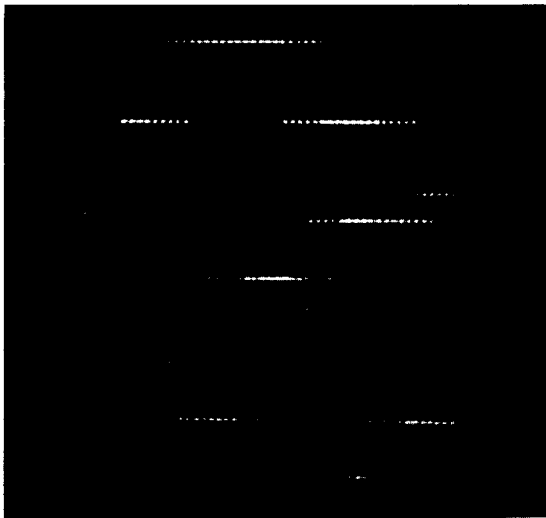


사진 4 캐리어비가 24일때 3레벨 3상 PWM파형
3 level 3 phase PWM waveform when carrier ratio is 24.

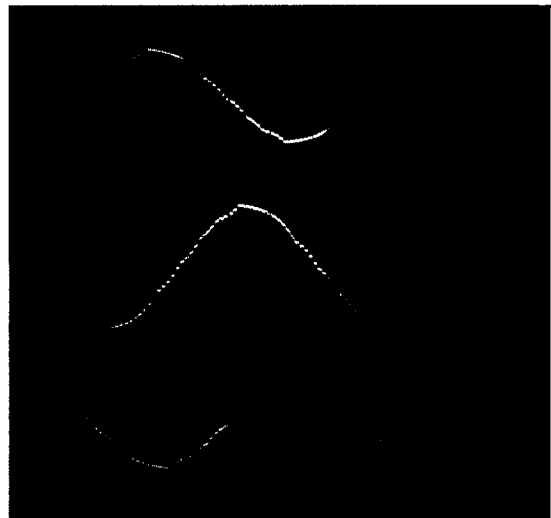


사진 5 캐리어비가 24일때 3상 적분된 파형
3 phase integrated waveform when carrier ratio is 24.

FET 모서 내압이 450V이며 최대전류(연속)는 8A의 상격을 갖는다. E_1 , E_2 는 모압의 양전원므로 상대적으로 크기가 같으며, 이를 구압출력과 트로세지 시이에 Photo Isolator를 사용하여 신호의 감을 분리하였다.

그림10에서 R_L 양단간의 전압은 PWM 파로서 나타나며 a, b, c점들은 적분된 전압파형이 출력된다. 본모에서 내부에서 PWM 발생을 위한 연산자 장전피와 삼각파의 주파수 비율을 캐리어 비라 하여 전기를 표기하였다.

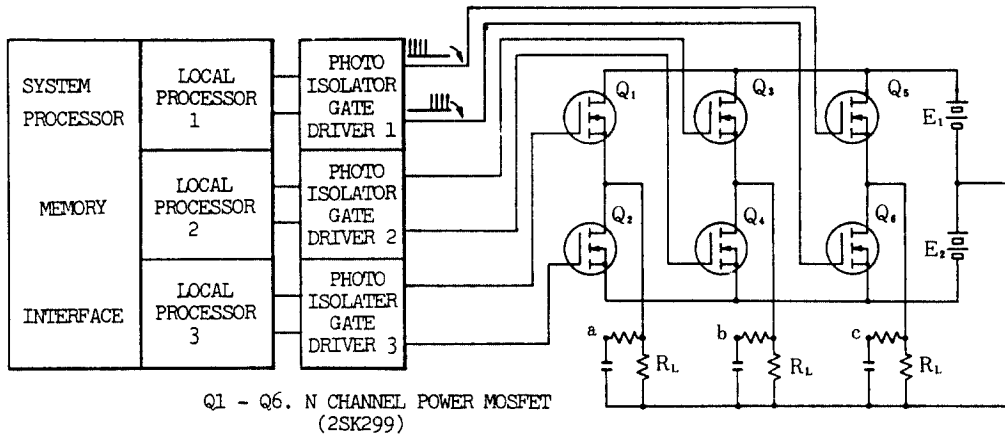


그림10 설계된 PWM인버터의 전체 회로
Overall Circuit of Designed PWM Inverter.

VII. 결 론

UPS와 같은 전원을 직류에서 교류로 바꾸는 전체 시스템을 관리하는 시스템프로세서와 각각의 3상 게이팅 출력과형을 제어하는 Local 프로세서 그리고 시스템프로세서와 Local 프로세서를 상호 연결시켜주는 CRAM으로 구성된 계층적인 다중 프로세서 시스템을 설계함으로써 PWM인버터에 대한 제어기로서 사용될 수 있음을 확인하였다.

다중 프로세서 시스템을 실현하여 실험한 결과 출력과형의 시간적인 정확도는 시스템에서 클럭으로 사용되는 수정발진기의 정확도와 같았으며, 또한 시스템 매개변수를 변화시켜 줌으로써 적절한 PWM과형을 출력 시켜줄 수 있었다. 단일 프로세서 시스템의 구성보다 하드웨어는 커졌지만 소프트웨어를 반이하로 줄일 수 있으므로 60(Hz)의 기본 주파수에서 실시간에 복잡한 제어가 가능하다는 것이 입증되었다.

參 考 文 獻

- (1) B. D. Bedford and R. G. Hoft, Principles of inverter circuit, New York: Wiley, 1964.
- (2) Finney and David, The power thyristor and its application, McGraw-Hill, 1980.
- (3) H. S. Patel and R. G. Hoft, "Generalized techniques of harmonic elimination and voltage control in thyristor inverters." Part I: IEEE Trans. Ind. Appl., vol. IA-9, no. 3, pp. 310, 1973, Part II: IEEE Trans. Ind. Appl., vol. IA-10, no. 5, pp. 666, 1974.
- (4) It Bau Huang and Wei Song Lin, "Harmonic reduction in inverter by use of sinusoidal pulsewidth modulation," IEEE Trans. Ind. Electron. Contr. Instrum., vol. IECI-27, no. 3, pp. 201, 1980.
- (5) S. Buja and P. Florini, "Microcomputer control of PWM inverters," IEEE. Trans. Ind. Elec., vol. IE-29, 1984.
- (6) S. B. Dewan and J. B. Forsythe, "Harmonic analysis of a synchronized pulsewidth-modulated three-phase inverter."
- (7) P. H. Nayak and R. G. Hoft, "Optimizing the PWM waveform of a thyristor inverter." IEEE Trans. Ind. Appl., vol. IA-11, no. 5, pp. 526, 1975.
- (8) P. P. Balthasar and E. Reimers, "The integrated power switch." IEEE Trans. Ind. Appl., vol. IA-12, no. 2, pp. 179, 1976.
- (9) J. J. Pollack, "Advanced pulse width modulated inverter techniques," IEEE Trans. Ind. Gen. Appl., vol. IGA-3, no. 6, pp. 493, 1971.



李 允 鍾 (Yoon Jong LEE) 正會員
1924年 9月14日生
1948年：서울大學校工科學電氣工學科
卒業
現 在：漢陽大學校 工科學電氣工學
科 教授(工學博士)



李 成 栢 (Sung Paik LEE) 正會員
1940年12月27日生
1965年 2月：漢陽大學校 工科學電氣工
學科 卒業
1979年 8月：漢陽大學校 大學院 電氣工學
科 卒業
1985年 3月：漢陽大學校 大學院 電氣工學
科 博士過程 修了
1987年 8月：光云大學校 電子工學科 教授