

論 文

順序多值論理회로의 披張理論에 관한 研究

正會員 李 東 烈* 正會員 崔 承 哲**

A Study on the Expanded Theory of Sequential Multiple-valued Logic Circuit

Dong Lyul LEE*, Sung Chul CHOI** *Regular Members*

要 約 本論文은 Galois Field를 利用하여 順序多值論理회로를 實現하는 하나의 방법을 제시하였다. 먼저 Taylor 급수를 有限体上에서 成立하는 多項式에 對應하도록 전개시켜 多值組合論理회로의 固有行列을 산출하고 이 行列을 근거로 順序多值論理회로를 設計하였다. 本論文은 組合회로를 構成하는 基本 개념을 順序論理회로에도 적용될 수 있도록 披張한 것이다. 本論文에서는 우선 組合論理회로의 構成理論을 披張하여 單一入力 單一出力인 경우의 順序多值論理函數構成理論을 提示한 후 이를 披張하여 單一入力 多出力인 경우의 順序多值論理函數構成理論을 提示하였다. 또한 이를 더욱 披張하여 單一變數는 물론 多變數 多出力인 경우까지 提示하였다. 이때 多出力인 경우는 回路가 상호 獨立의이므로 Partition 개념에 의하여 처리하였다. 이 방법에 의하여 順序多值論理회로를 設計하면 종래의 多項式전개에 必要한 방대한 계산과정을 줄일 수 있었다. 또한 行列연산에 의하여 계산하므로 아무리 복잡한 論理函數라 하더라도 Computer Program 처리가 가능하였다.

ABSTRACT This paper presents a method to realize the sequential multiple-valued Logic on Galois field. First, We develop so that Taylor series can be corresponded the irreducible polynomial to realize over the finite field, and produce the matrix in a mixing multiple-valued Logic circuit, studied the sequential multiple-valued Logic circuit on basic of this matrix. This paper object expanded a basic concept of the combinational Logic circuit so as to apply in the sequential Logic circuit. First of all, We suggest a theory for constructing sequential multiple-valued Logic circuit. Then, We realized the construction with the single input and the multi-output that expanded its function construction. In case of the multi-output, the circuit process by the partition function concept as the mutual independent. This method can be reduced a enormous computer course to need a traditional extention that designed the sequential multiple-valued Logic circuit.

*富川工業專門大學
Puchon Technical College 160

**崇實大學校 電子工學科
Dept. of Electronics Engineering, Soong Sil University
論文番號 : 87-57(接受 1987. 7. 29)

I. 序 論

多值論理에 관한 研究는 1970年 국제심포지움을 기폭제로 하여 回를 거듭함에 따라 그內容이

깊어지고 있다⁽¹⁾. 多值論理回로는 2進論理回路에 比하여 데이터의 高速처리가 可能하고 情報의 기억밀도가 크며 入出力 端子數의 감소등 長點이 있고 신뢰성 향상과 가격의 계속적인 저하등으로 최근 多值論理에 관한 研究가 여러분야에 서 進行되고 있다. 또한 多值論理回로는 2進論理回路에 比하여 크기가 커지지만 同一정보량을 처리하는데 端子상오간 연결문제의 복잡성을 경감시켜 줌으로 單位面積당 데이터의 처리능력이 향상되는 長點이 있다⁽²⁾. 최근 McClusky⁽³⁾는 I²L 多值論理回로의 理論的 設計節次를 提示하였고, 그후 여러 사람들에 의해 回路設計節次에 관한 研究가 활발히 시도되었다⁽⁴⁾. 多值論理回로의 設計는 I²L, CCD⁽⁵⁾, PLA⁽⁶⁾, T-gate 등을 使用하여 構成하는 여러가지 設計方法이 提示되었다. 이러한 多值論理를 有限體上에서 解析하여 스위칭函數를 構成하고자 하는 研究가 여러 사람들에 의해 시도되었다^{(7)~(12)}.

K. S. Menger⁽⁷⁾는 Boolean difference를 有限體로 擴張하여 Galois switching函數를 多項式形態로 얻은 후 Fourier 변환에 對應시켜 論理回路를 實現하였고, B. Benjauthit와 I. S. Reed⁽⁸⁾는 Menger가 求한 多項式을 多值多變數인 경우로 擴張시켰다. J. C. Wesselkampey⁽⁹⁾는 divided difference를 利用한 Newton의 보간법으로 有限體上의 多項式을 전개하였으며, V. H. Tokmen⁽¹⁰⁾은 函數의 분리방법을 도입하여 論理函數를 構成하였다. 以上の 어느 論文이고 多項式的 係數를 結定하는데 방대한 계산을 要하는 것이 공통점이다.

本 論文은 多值論理函數를 有限體上에서 構成할 때 多項式的 係數決定에 방대한 계산을 要하는 一般的인 方法대신 有限體를 構成할 때 一定하게 定하여지는 行列을 單一變數入力인 경우에 對하여 먼저 求하고 이를 擴張하여 多入力 多出力 順序多值論理函數를 構成할 수 있도록 設計하고 이의 回路를 實現하였다.

II. 有限體의 數學的 性質

이 節에서는 本 論文의 理論을 전개시키는데

必要한 有限體의 數學的인 性質을 列舉하였다^{(7), (8), (12)}.

P를 素數로 하고 n(단, n ≥ 1)를 陽의 정수라 할 때 Pⁿ=N인 有限體를 一名 Galois Field 라 하며 이를 GF(N)으로 表記한다.

GF(N)에서는 두 연산 + (加法)과 · (乘法)이 唯一하게 存在한다. 本 論文에서 使用된 GF(N)의 重要한 性質은 다음과 같다.

$$1) a^N = a, \cdot a^{N-1} = 1 (Va \in GF(N), a \neq 0)$$

$$2) (a+b)^N = a^N + b^N (Va, b \in GF(N))$$

$$3) \sum_{i=0}^{N-1} e^i = \begin{cases} -1 & (e = 1 \text{ 일 때}) \\ 0 & (Va \in GF(N)) \end{cases}$$

$$4) \prod_{i=1}^{N-1} e_i = \begin{cases} e_1 : N \text{이 우수일 때} \\ -e_1 : N \text{이 기수일 때} \end{cases}$$

$$5) -a = (-1) \cdot a (Va \in GF(N))$$

6) GF(N)의 모든 元素들은

$$f(a) = a_0 a^0 + a_1 a^1 + a_2 a^2 + \dots + a_{N-1} a^{N-1} = \sum_{i=0}^{N-1} a_i a^i \quad (1)$$

로 表示된다. 단, a는 P를 法으로 하는 正數體 Z_P의 元素를 係數로 하는 n次 既約多項式 xⁿ-x인 既約因子의 根이고 a_i ∈ Z_P (i=0, 1, 2, ..., N-1)이다.

7) GF(3), GF(5), GF(7)의 加法과 乘法은 MOD 3, MOD 5, MOD 7로 연산된다.

여기서 順序多值論理函數를 構成하기 위한 既約因子의 根을 求하는 方法을 例로 보이면 다음과 같다.

例 1. GF(4)인 경우

GF(4)=GF(2²)에서 P=2이고, n=2 이므로 n次 既約多項式 x²-x는 x(x²-1)이므로 이것을 전개하면

$x(x^2-1) = x(x-1)(x^2+x+1)$ 로 分解되고 x²+x+1은 Z₂ 상에서 既約인 2次多項式이다. 따라서 x²+x+1=0의 한 根을 α라 하면 GF(4)의 元素는 a₀+a₁α의 形式로 表示된다. 이 때 a₀, a₁ ∈ Z₂ = {0, 1}이므로 GF(4)의 元素는 다

음과 같다. 편의상 $a_0 \alpha^0 + a_1 \alpha^1 + a_2 \alpha^2 + \dots + a_{N-1} \alpha^{N-1}$ 인 形의 元素表示는 $e_0, e_1, e_2, e_3, \dots, e_{N-1}$ 의 기호를 사용하기로 한다.

$a_0 + a_1 \alpha$
$0 + 0 \alpha = e_0$
$1 + 0 \alpha = e_1$
$0 + 1 \alpha = e_2$
$1 + 1 \alpha = e_3$

단, $\alpha^2 + \alpha + 1 = 0$, 즉 $\alpha^2 = -(\alpha + 1)$,
 $-1 \equiv 1$

이러한 $GF(4) = \{e_0, e_1, e_2, e_3\}$ 元素들의 加法表와 乘法表는 表 1, 2 와 같다^[3].

또한 $GF(3^2)$ 에 대한 加法表와 乘法表는 부록에서 다루었다^[4].

表 1 $GF(4)$ 内 元素들의 加法表
 Addition in $GF(4)$.

+	e_0	e_1	e_2	e_3
e_0	e_0	e_1	e_2	e_3
e_1	e_1	e_0	e_3	e_2
e_2	e_2	e_3	e_0	e_1
e_3	e_3	e_2	e_1	e_0

表 2 $GF(4)$ 内 元素들의 乘法表
 Product in $GF(4)$.

·	e_0	e_1	e_2	e_3
e_0	e_0	e_0	e_0	e_0
e_1	e_0	e_1	e_2	e_3
e_2	e_0	e_2	e_3	e_1
e_3	e_0	e_3	e_1	e_2

Ⅲ. 組合多值論理函數構成理論

Ⅲ-1. 單一變數 組合多值論理函數

이 절에서는 Taylor 급수의 일반식을 有限體의 모든 성질을 만족하도록 전개하여 單一變數에 對한 組合多值論理函數를 構成하면, 有限體上에서 成立하는 多項式^[6]

$$F(x) = \sum f(k) (x - x_t)^k \quad \text{단, } (V x_t \in GF(N)) \quad (2)$$

에서 係數函數^[6]가

$$f(k) = \frac{1}{k!} f^{(k)}(x_t) \quad \text{단, } (k=0, 1, 2, \dots, N-1) \quad (3)$$

로 表示되는 Taylor 급수를 택하여 Galois Switching 函數를 求하였다. 먼저 式(3)을 (2)에서 代入하여 정리하면 다음과 같이 전개된다^[7]

$$F(x) = \sum_{t=0}^{N-1} \sum_{k=0}^{N-1} (-1_t)^{N-(k+1)} \cdot e_t^{N-(k+1)} \cdot F(e_t) \cdot x^k \quad (4)$$

式(4)를 전개하면 다음과 같다.

$$\begin{aligned} F(x) &= \sum_{t=0}^{N-1} \sum_{k=0}^{N-1} (-e_t)^{N-(k+1)} \cdot e_t^{N-(k+1)} \cdot F(e_t) \cdot x^k \\ &= (-e_1)^N \{ [-e_1 \cdot F(e_0) + e_1^{N-2} \cdot F(e_1) + e_2^{N-2} \cdot F(e_2)] x^0 + \dots + [e_{N-2}^{N-3} \cdot F(e_{N-2}) + e_{N-1}^{N-3} \cdot F(e_{N-1})] x^2 + \dots \\ &\quad + [e_1 \cdot F(e_0) + e_1 \cdot F(e_1) + e_1 \cdot F(e_2) + \dots + e_{N-2} \cdot F(e_{N-2}) + \dots + e_{N-1} \cdot F(e_{N-1})] x^{N-2} + [e_1 \cdot F(e_0) + e_1 \cdot F(e_1) + e_1 \cdot F(e_2) + \dots + e_1 \cdot F(e_{N-2}) + e_1 \cdot F(e_{N-1})] x^{N-1} \} \\ &= \sum_{t=0}^{N-1} C_t x^t \quad (5) \end{aligned}$$

여기서 係數 C_t 는 다음과 같다.

$$\begin{aligned}
 C_0 &= (-e_1) [-e_1 \cdot F(e_0)] \\
 C_1 &= (-e_1)^N [e_1^{N-2} \cdot F(e_1) + e_2^{N-2} \cdot F(e_2) + \dots \\
 &\quad \dots + e_{N-1}^{N-2} \cdot F(e_{N-1})] \\
 &\vdots \\
 C_{N-1} &= (-e_1)^N [e_1 F(e_0) + e_1 \cdot F(e_1) + \dots \\
 &\quad + e_1 \cdot F(e_{N-1})] \tag{6}
 \end{aligned}$$

式(5)를 單一變數에 對한 行列形態로 정리한 후 이를 $[C_i]$ 로 表記하면 다음과 같다.

$$[C_i] = \begin{pmatrix} e_1 & e_0 & e_0 & \dots & e_0 & e_0 \\ e_0 & -e_1^{N-2} & -e_2^{N-2} & \dots & -e_{N-1}^{N-2} & -e_{N-1}^{N-2} \\ e & & \vdots & \dots & -e_{N-2} & \vdots \\ e_0 & -e_1 & -e_2^2 & \dots & -e_{N-2} & -e_{N-1} \\ e_0 & -e_1 & -e_2 & \dots & -e_{N-2} & -e_{N-1} \\ -e_1 & -e_1 & -e_1 & \dots & -e_1 & -e_1 \end{pmatrix} \begin{pmatrix} F(e_0) \\ F(e_1) \\ F(N-3) \\ F((N-3)) \\ F((N-2)) \\ F((N-1)) \end{pmatrix} \tag{7}$$

式(7)을 간단히 하면,

$$[C_i]_{N \times 1} = [Q]_{N \times N} [F_i]_{N \times 1} \quad (i=0, 1, 2, \dots, N-1) \tag{8}$$

로 表記할 수 있으며, 여기서

$$[C_i]_{N \times 1} = [C_0, C_1, C_2, \dots, C_{N-1}]^T \tag{9}$$

$$[Q]_{N \times N} = \begin{pmatrix} e_1 & e_0 & e_0 & \dots & e_0 & e_0 \\ e_0 & -e_1^{N-2} & -e_2^{N-2} & \dots & -e_{N-1}^{N-2} & -e_{N-1}^{N-2} \\ \vdots & \vdots & \vdots & \dots & \vdots & \vdots \\ e_0 & -e_1^3 & -e_2^3 & \dots & -e_{N-2}^3 & -e_{N-1}^3 \\ e_0 & -e_1^2 & -e_2^2 & \dots & -e_{N-2}^2 & -e_{N-1}^2 \\ -e_1 & -e_1 & -e_1 & \dots & -e_1 & -e_1 \end{pmatrix} \tag{10}$$

$$[F]_{N \times 1} = [F(e_0), F(e_1), F(e_2), \dots, F(e_{N-1})]^T \tag{11}$$

이다. 式(10)은 有限體上의 元素數N에 따라 行要素와 列要素가 固有하게 定하여지는 行列이다.

이 行列의 첫번째 行은 定數項이므로 $[Q]$ 行列을 構成할 때 반드시 포함시켜야 한다. 몇가지 N의 值에 對한 例를 보임으로써 順序多值論理函數回路를 設計하는데 적용하고자 한다.

例 1. GF(3)인 경우

$$[Q]_{3 \times 3} = \begin{pmatrix} e_1 & e_0 & e_0 \\ e_0 & e_2 & e_1 \\ e_2 & e_2 & e_2 \end{pmatrix} \tag{12}$$

例 2. GF(2²)인 경우

$$[Q]_{4 \times 4} = \begin{pmatrix} e_1 & e_0 & e_0 & ee_0 \\ e_0 & e_1 & e_3 & ee_2 \\ e_0 & e_1 & e_2 & ee_3 \\ e_1 & e_1 & e_1 & ee_1 \end{pmatrix} \tag{13}$$

例 3. GF(2³)=GF(8)인 경우

$$[Q]_{8 \times 8} = \begin{pmatrix} e_1 & e_0 & e_0 & e_0 & e_0 & e_0 & e_0 & e_0 \\ e_0 & e_1 & e_5 & e_7 & e_6 & e_2 & e_4 & e_3 \\ e_0 & e_1 & e_7 & e_6 & e_5 & e_3 & e_2 & e_4 \\ e_0 & e_1 & e_4 & e_2 & e_3 & e_6 & e_7 & e_5 \\ e_0 & e_1 & e_6 & e_5 & e_7 & e_4 & e_3 & e_2 \\ e_0 & e_1 & e_3 & e_4 & e_2 & e_7 & e_5 & e_6 \\ e_0 & e_1 & e_2 & e_3 & e_4 & e_5 & e_6 & e_7 \\ e_1 & e_1 & e_1 & e_1 & e_1 & e_1 & e_1 & e_1 \end{pmatrix} \tag{14}$$

例 4. GF(5)인 경우

$$[Q]_{5 \times 5} = \begin{pmatrix} e_1 & e_0 & e_0 & e_0 & e_0 \\ e_0 & e_4 & e_2 & e_3 & e_1 \\ e_0 & e_4 & e_1 & e_1 & e_4 \\ e_0 & e_4 & e_3 & e_2 & e_1 \\ e_4 & e_4 & e_4 & e_4 & e_4 \end{pmatrix} \quad (15)$$

例 5 GF(3²) = GF(9) 인 경우

$$[Q]_{9 \times 9} = \begin{pmatrix} e_1 & e_0 & e_0 & e_0 & e_0 & e_0 & e_0 & e_0 & e \\ e_0 & e_2 & e_1 & e_3 & e_4 & e_6 & e_5 & e_8 & e_9 \\ e_2 & e_2 & e_1 & e_2 & e_2 & e_3 & e_4 & e_4 & e_3 \\ e_0 & e_2 & e_1 & e_4 & e_3 & e_5 & e_6 & e_7 & e_8 \\ e_0 & e_2 & e_1 & e_1 & e_1 & e_2 & e_2 & e_2 & e_2 \\ e_0 & e_2 & e_1 & e_3 & e_4 & e_7 & e_8 & e_5 & e_6 \\ e_0 & e_2 & e_1 & e_2 & e_2 & e_4 & e_3 & e_3 & e_4 \\ e_0 & e_2 & e_1 & e_4 & e_3 & e_8 & e_7 & e_6 & e_5 \\ e_2 & e_2 & e_2 & e_2 & e_2 & e_2 & e_2 & e_2 & e_2 \end{pmatrix} \quad (16)$$

III - 2. 2變數 組合多值論理函數

單一變數 構成理論을 2變數인 경우로 擴張시키려면 變數中 어느 한 變數를 固定시킨 후 즉 $F(x_1, x_2) |_{x_2=c} = F(x_1, c)$ ($VC \in GF(N)$)로 놓고 $F(x_1, c)$ 를 $C = e_0, e_1, \dots, e_{N-1}$ 까지 모두求하면 된다. 式(7)을 擴張 전개하여 정리하면

$$F(x_1, x_2) = \sum_{i=0}^{N-1} \sum_{k=0}^{N-1} (-e_i)^{2N} \cdot [F(x_1, e_i)] \cdot [Y] \cdot [X_2^k] \quad (17)$$

로 된다. 여기서 $[F(x_1, e_i)] = [F(x_1, e_1), \dots, F(x_1, e_{N-1})]$ 이고 $[X_2^k] = [X_2^{N-1}, X_2^{N-2}, \dots, X_2, 1]^T$ 이다. 式(17)에서 $(-e_i)^{2N}$ 項이 있으므로, 式(17)의 $(-e_i)^{2N}$ 은 e_i 이므로 式(17)은

$$F(x_1, x_2) = \sum_{i=0}^{N-1} \sum_{k=0}^{N-1} [F(x_1, e_i)] \cdot [Y] \cdot [X_2^k] \quad (18)$$

로 된다.

IV. 順序多值論理函數의 構成理論

IV - 1. 單一入·出力 順序多值論理回路

順序回路는 入力の 變化에 依해서만 結定되는 組合回路와는 달리 入力和 出力狀態에 依하여 다음 出力狀態가 結定되는 回路이다. 有限體 GF(Pⁿ)上에서의 順序回路를 다음과 같이 定義한다.

[定義 1]⁽¹¹⁾ 順序回路는 X, Y, S의 3集合과 두 函數 f, g로 構成되며 $\langle X, Y, S, f, g \rangle$ 로 表示한다.

여기서,

- 1) $X = \{X_1, X_2, \dots, X_P\}$ 는 入力信號의 有限集合이다. ($\forall X \in GF(N)$)
- 2) $Y = \{Y_1, Y_2, \dots, Y_g\}$ 는 出力信號의 有限集合이다. ($\forall Y \in GF(N)$)
- 3) $S = \{S_1, S_2, \dots, S_N\}$ 는 狀態의 有限集合이다. ($\forall S \in GF(N)$)

4) $f: s \times X \rightarrow Y$ 는 出力函數이다.

5) $g: s \times X \rightarrow S$ 는 次期狀態函數이다.

이들 두 函數 f와 g는 一名 入出力狀態方程式이라 부르며 시간에 종속되는 關係를 나타내는 식으로 表示하면, 出力函數 f는

$$Y(t) = f[S(t), X(t)], \quad (S(t), X(t) \in GF(P^n)) \quad (19)$$

이고, 次期狀態 $S(t+1)$ 은 現狀態 $S(t)$ 와 現入力 $X(t)$ 와의 函數이므로 次期狀態函數 g는

$$S(t+1) = g[S(t), X(t)], \quad (S(t+1) \in GF(P^n)) \quad (20)$$

로 表示된다. 入出力狀態方程式 f와 g는 임의의 시간간격에서 入力記號 X와 出力記號 Y의 獨立인 關係가 있다. 이 函數는 다음과 같은 入力組合으로 擴張할 수 있다.

$$T = X(0), X(1), X(2), \dots, X(n) \quad (21)$$

出力 또는 反應組合 R는

$$R = Y(0), Y(1), Y(2), \dots, Y(n) \quad (22)$$

초기상태 $S(0)$ 와 入力組合 T 가 주어지면 應答組合은 다음과 같은 入出力狀態반복에 依해서 固有하게 結定된다.

$$Y(0) = f[S(0), X(0)] \quad (23)$$

$$S(1) = g[S(0), X(0)] \quad (24)$$

$$S(2) = g[S(1), X(1)] = f[g[S(0), X(0), X(1)]] \quad (25)$$

$$Y(n) = f[S(n), X(n)] = f[g[g[\dots[g[g[S(0), X(0)], X(1), X(2)]\dots], X(n)]] \quad (26)$$

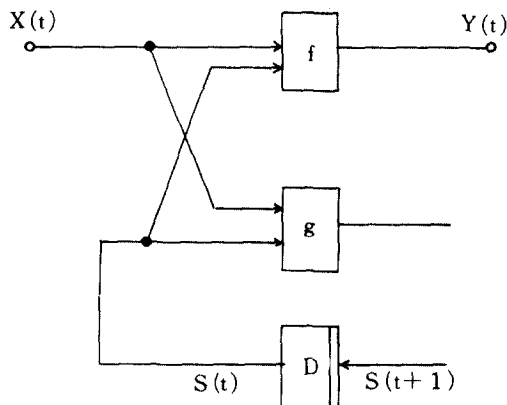


그림 1 單一入出力 順序多值論理回路
Sequential multiple-valued logic circuit for single input-output.

$$S(n+1) = g[S(n), X(n)] = g[g[g[\dots[g[g[S(0), X(0)], X(1)], X(2) \dots], X(n)]] \quad (27)$$

[定義 2] 理想的인 지연소자는 1 單位시간에 依해 지연된다. t 시간에서의 出力값은 前시간 $t-1$ 에서의 入力과 같고,

$$q(t) = p(t-1) \text{ 또는 } q(t+1) = p(t) \quad (28)$$

로 表示된다. 이상의 내용을 Block 선도로 나타내면 그림 1 과 같이 된다.

그림 1 과 같은 順序多值論理回路에 있어서 單一入力線 X 에 $e_0, e_1, e_2, \dots, e_{N-1}$ 의 N 變數值가 入力되어 出力變數가 結定되는 狀態가 다음 表 3 과 같을 때⁽¹⁸⁾ 順序多值論理函數는 組合多值論理函數方法으로 求한 狀態函數 $S(t+1)$ 에 對환되어 결국 2變數組合多值論理인 경우와 같게 되므로 式(4)를 적용·확장하여 정리하면 다음과 같다.

$$S(t+1) = \sum_{i=0}^{N-1} \sum_{j=0}^{N-1} C_{ij} [S(t)]^i [X(t)]^j \quad (29)$$

여기서 係數行列 C_{ij} 는

$$[C_{ij}] = [Q]_{N \times N} [S]_{N \times N} [Q]^T_{N \times N} \quad (30)$$

로 되며, 여기서

$$[Q]^T_{N \times N} = [Q]_{N \times N} \text{의 轉置行列이다.} \quad (31)$$

표 3 狀態表
State table.

	入 力 $X(t)$		
	$X_0(t) = e_0(t)$	$X_1(t) = e_1(t)$	$\dots \dots \dots X_{N-1}(t) = e_{N-1}(t)$
現 狀 $S_0(t)$	$S_{0,0}(t+1) / Y_{00}(t)$	$S_{0,1}(t+1) / Y_{0,1}(t)$	$\dots \dots \dots S_{0,N-1}(t+1) / Y_{0,N-1}(t)$
狀 $S_1(t)$	$S_{1,0}(t+1) / Y_{10}(t)$	$S_{1,1}(t+1) / Y_{1,1}(t)$	$\dots \dots \dots S_{1,N-1}(t+1) / Y_{1,N-1}(t)$
態 $S_2(t)$	$S_{2,0}(t+1) / Y_{20}(t)$	$S_{2,1}(t+1) / Y_{2,1}(t)$	$\dots \dots \dots S_{2,N-1}(t+1) / Y_{2,N-1}(t)$
$Y(t) :$	$:$	$:$	$:$
$S_{N-1}(t)$	$S_{N-1,0}(t+1) / Y_{N-1,0}(t)$	$S_{N-1,1}(t+1) / Y_{N-1,1}(t)$	$\dots \dots \dots S_{N-1,N-1}(t+1) / Y_{N-1,N-1}(t)$
	次狀態 / 出力		

$$[S]_{N \times N} = \begin{pmatrix} S_{00}(t+1)/Y_{00}(t) & S_{01}(t+1)/Y_{01}(t) & \cdots & S_{0N-1}(t+1)/Y_{0N-1}(t) \\ S_{10}(t+1)/Y_{10}(t) & S_{11}(t+1)/Y_{11}(t) & \cdots & S_{1N-1}(t+1)/Y_{1N-1}(t) \\ S_{20}(t+1)/Y_{20}(t) & S_{21}(t+1)/Y_{21}(t) & \cdots & S_{2N-1}(t+1)/Y_{2N-1}(t) \\ \vdots & \vdots & \cdots & \vdots \\ S_{N-10}(t+1)/Y_{N-10}(t) & S_{N-11}(t+1)/Y_{N-11}(t) & \cdots & S_{N-1N-1}(t+1)/Y_{N-1N-1}(t) \end{pmatrix} \quad (32)$$

이다. 式(32)에서 $S_{ij}(t+1)/Y_{ij}(t)$ 는 次期狀態를 求할때는 $S_{ij}(t+1)$ 만을 선택하고 函數 $Y(t)$ 를 求할때는 $Y_{ij}(t)$ 만을 선택한다.

IV-2. 單一入力 2出力 順序多值論理回路

그림 2 와 같은 順序多值論理回路에 있어서 單一入力線 X 에 $e_0, e_1, e_2, \dots, e_{N-1}$ 의 N 值狀態變數가 入力되어 次期狀態函數와 合成된 狀態變數가 出力線 $Y_1(t), Y_2(t)$ 에 N 值의 出力變數가 結定되는 狀態表는 表 4 와 같다.

表 4는 現狀態 $S_0(t), S_1(t), \dots, S_{N-1}(t)$ 에서 入力線 $X(t)$ 에 N 值가 入力될 경우의 狀態를 나타낸 것이다. 여기서 出力函數를 2 단으로 擴張시켰고 또한 상호 獨立이므로 各各 분리하여 式

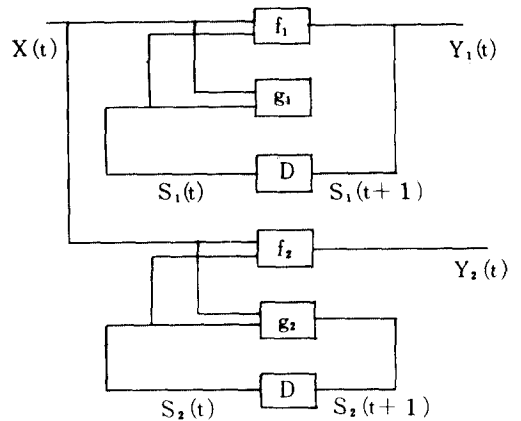


그림 2 單一入力 2出力 順序多值論理回路
Sequential multiple-valued logic circuit for single input-dual output.

표 4* 單一入력과 2出力 狀態表
State table for single input-dual output.

Y(t) \ X(t)		X(t)			
		$e_0(t)$	$e_1(t)$	(t)	$e_{N-1}(t)$
$S_0(t)$	$S_0(t)$	$S_{00}(t+1)/Y_{00}(t)$	$S_{01}(t+1)/Y_{01}(t)$	$S_{0,N-1}(t+1)/Y_{0,N-1}(t)$
	$S_1(t)$	$S_{10}(t+1)/Y_{10}(t)$	$S_{11}(t+1)/Y_{11}(t)$	$S_{1,N-1}(t+1)/Y_{1,N-1}(t)$
	$S_2(t)$	$S_{20}(t+1)/Y_{20}(t)$	$S_{21}(t+1)/Y_{21}(t)$	$S_{2,N-1}(t+1)/Y_{2,N-1}(t)$
	\vdots	\vdots	\vdots		\vdots
	$S_{N-1}(t)$	$S_{N-1,0}(t+1)/Y_{N-1,0}(t)$	$S_{N-1,1}(t+1)/Y_{N-1,1}(t)$	$S_{N-1,N-1}(t+1)/Y_{N-1,N-1}(t)$
$S_1(t)$	$S_0(t)$	$S_{00}(t+1)/Y_{00}(t)$	$S_{01}(t+1)/Y_{01}(t)$	$S_{0,N-1}(t+1)/Y_{0,N-1}(t)$
	$S_1(t)$	$S_{10}(t+1)/Y_{10}(t)$	$S_{11}(t+1)/Y_{11}(t)$	$S_{1,N-1}(t+1)/Y_{1,N-1}(t)$
	$S_2(t)$	$S_{20}(t+1)/Y_{20}(t)$	$S_{21}(t+1)/Y_{21}(t)$	$S_{2,N-1}(t+1)/Y_{2,N-1}(t)$
	\vdots	\vdots	\vdots		\vdots
	$S_{N-1}(t)$	$S_{N-1,0}(t+1)/Y_{N-1,0}(t)$	$S_{N-1,1}(t+1)/Y_{N-1,1}(t)$	$S_{N-1,N-1}(t+1)/Y_{N-1,N-1}(t)$

으로 表現하면 다음과 같다. 즉, $S_1(t)$ 에 대해서는

$$S_1(t+1) = \sum_{i=0}^{N-1} \sum_{j=0}^{N-1} C_{ij} [S_1(t)]^i [X(t)]^j \quad (33)$$

이고, 係數函數 C_{ij} 는

$$[C_{ij}] = [Q]_{N \times N} [S_1(t)]_{N \times N} [Q]_{N \times N}^T \quad (34)$$

이 된다. $S_2(t)$ 에 관해서는

$$S_2(t+1) = \sum_{i=0}^{N-1} \sum_{j=0}^{N-1} C_{ij} [S_2(t)]^i [X(t)]^j \quad (35)$$

이며, 係數函數 C_{ij} 는 다음과 같다.

$$[C_{ij}] = [Q]_{N \times N} [S_2(t)]_{N \times N} [Q]_{N \times N}^T \quad (36)$$

또한 出力方程式 $Y_1(t)$ 와 $Y_2(t)$ 는 다음式으로 表現된다.

$$Y_1(t) = \sum_{i=0}^{N-1} \sum_{j=0}^{N-1} C_{ij} [Y_1(e_i(t))]^i [X(t)]^j \quad (37)$$

$$Y_2(t) = \sum_{i=0}^{N-1} \sum_{j=0}^{N-1} C_{ij} [Y_2(e_i(t))]^i [X(t)]^j \quad (38)$$

IV - 3. 2 入力과 單一出力 順序多值論理函數

單一入力 順序多值論理函數構成理論을 綜合하여 2 入力인 경우로 擴張 정리하면

$$S(t+1) = \sum_{i=0}^{N-1} \sum_{j=0}^{N-1} \sum_{k=0}^{N-1} C_{ijk} [S(t)]^i [X_1(t)]^j [X_2(t)]^k \quad (39)$$

가 된다. 여기서 係數行列 C_{ijk} 는

$$[C_{ijk}] = [Q]_{N^2 \times N^2} [S]_{N^2 \times N^2} [Q]_{N^2 \times N^2}^T \quad (40)$$

이며,

$$[Q]_{N^2 \times N^2}^T = [Q]_{N \times N} \text{의 轉置行列이다.} \quad (41)$$

$$[Q]_{N^2 \times N^2} = [Q]_{N \times N} \otimes [Q]_{N \times N}$$

$$\begin{bmatrix} [Q]_{N \times N} & e_0 [Q]_{N \times N} & \cdots & e_0 [Q]_{N \times N} \end{bmatrix}$$

$$= \begin{bmatrix} e_0 [Q]_{N \times N} & -[Q]_{N \times N} & \cdots & -e_{N-1} [Q]_{N \times N} \\ \vdots & \vdots & & \\ e_0 [Q]_{N \times N} & -[Q]_{N \times N} & \cdots & -e_{N-1} [Q]_{N \times N} \\ -[Q]_{N \times N} & -[Q]_{N \times N} & & -[Q]_{N \times N} \end{bmatrix} \quad (42)$$

두 입력 行列의 값도 부록에 삽입한다.

IV - 4. 2 入力 2 出力 順序多值論理函數

그림 3과 같은 回路의 狀態方程式과 出力方程式은 두개의 入出力이 서로 獨立인 關係가 되므로 서로 다른 狀態方程式과 出力方程式을 求해야 한다. 우선 狀態方程式을 求하면,

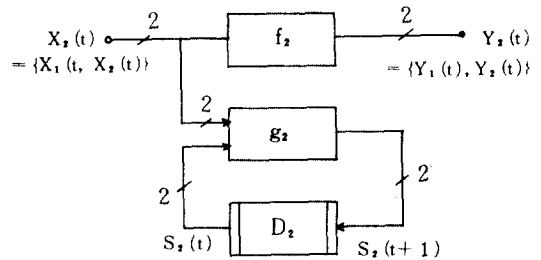


그림 3 2 入力 2 出力 順序多值論理回路
Sequential multiple-valued logic circuit for dual input-dual output.

$$S_1(t+1) = \sum_{i=0}^{N-1} \sum_{j=0}^{N-1} \sum_{k=0}^{N-1} C_{ijk} [S_1(t)]^i [X_1(t)]^j [X_2(t)]^k \quad (43)$$

係數函數 C_{ijk} 는

$$[C_{ijk}] = [Q]_{N^2 \times N^2} [S_1(t)]_{N^2 \times N^2} [Q]_{N^2 \times N^2}^T \quad (44)$$

이다.

$$S_2(t+1) = \sum_{i=0}^{N-1} \sum_{j=0}^{N-1} \sum_{k=0}^{N-1} C_{ijk} [S_2(t)]^i [X_1(t)]^j [X_2(t)]^k \quad (45)$$

이고 係數函數 C_{ijk} 는

$$[C_{i,j,k}] = [Q]_{N \times N \times N} [S_2(t)]_{N \times N \times N} [Q]_{N \times N}^T \quad (46)$$

이다.

IV-5. m 입력 r 출력 순서 다값 논리 함수

앞에서論한 순서 다값 논리 함수 구성 방법은 單一 입력으로부터 2 출력 또한 두 입력 單一 출력으로부터 두 출력을 제시하였다.

이 절에서는 앞에서論한 순서 다값 논리 함수의 입력에 대한 출력의 擴張을 基本으로 單一에서 數個의 入出力까지 擴張될 수 있도록 狀態方程式과 出力方程式을 一般化하였다.

그림 4를 간략하게 block diagram으로 表示하면 그림 5와 같다.

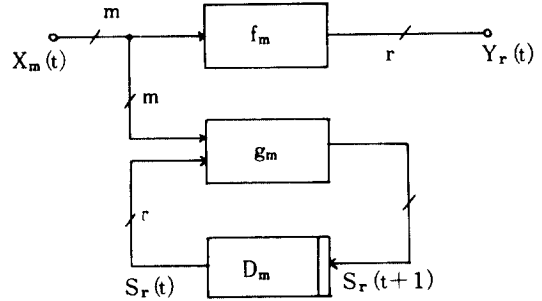


그림 4 m 입력 r 출력 순서 다값 논리 회로
Sequential multiple-valued logic circuit for m input-r output.

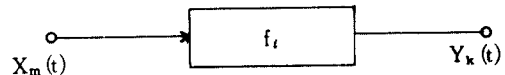


그림 5 多入力 多出力 block diagram
Block diagram for multiple input-output.

표 5 m 입력 r 출력인 狀態表
State table for m input-r output.

Y(t)	X ₁ (t)		X ₂ (t)		X ₃ (t)		X _m (t)	
	e ₁ (t) e ₂ (t)	e _{1,1} (t) e _{1,2} (t)	e _{2,1} (t) e _{2,2} (t)	e _{3,1} (t) e _{3,2} (t)	e _{m,1} (t) e _{m,2} (t)	e ₁ e ₂	e _{1,1} e _{1,2}	e _{2,1} e _{2,2}
S ₀ (t)	S _{0,1}(t) S_{0,2}(t)}}	S _{0,1,1}(t) S_{0,1,2}(t)}}	S _{0,2,1}(t) S_{0,2,2}(t)}}	S _{0,3,1}(t) S_{0,3,2}(t)}}	S _{0,m,1}(t) S_{0,m,2}(t)}}	S _{0,1}(t) S_{0,2}(t)}}	S _{0,1,1}(t) S_{0,1,2}(t)}}	S _{0,2,1}(t) S_{0,2,2}(t)}}
S ₁ (t)	S _{1,1}(t) S_{1,2}(t)}}	S _{1,1,1}(t) S_{1,1,2}(t)}}	S _{1,2,1}(t) S_{1,2,2}(t)}}	S _{1,3,1}(t) S_{1,3,2}(t)}}	S _{1,m,1}(t) S_{1,m,2}(t)}}	S _{1,1}(t) S_{1,2}(t)}}	S _{1,1,1}(t) S_{1,1,2}(t)}}	S _{1,2,1}(t) S_{1,2,2}(t)}}
S ₂ (t)	S _{2,1}(t) S_{2,2}(t)}}	S _{2,1,1}(t) S_{2,1,2}(t)}}	S _{2,2,1}(t) S_{2,2,2}(t)}}	S _{2,3,1}(t) S_{2,3,2}(t)}}	S _{2,m,1}(t) S_{2,m,2}(t)}}	S _{2,1}(t) S_{2,2}(t)}}	S _{2,1,1}(t) S_{2,1,2}(t)}}	S _{2,2,1}(t) S_{2,2,2}(t)}}
S ₃ (t)	S _{3,1}(t) S_{3,2}(t)}}	S _{3,1,1}(t) S_{3,1,2}(t)}}	S _{3,2,1}(t) S_{3,2,2}(t)}}	S _{3,3,1}(t) S_{3,3,2}(t)}}	S _{3,m,1}(t) S_{3,m,2}(t)}}	S _{3,1}(t) S_{3,2}(t)}}	S _{3,1,1}(t) S_{3,1,2}(t)}}	S _{3,2,1}(t) S_{3,2,2}(t)}}
S ₄ (t)	S _{4,1}(t) S_{4,2}(t)}}	S _{4,1,1}(t) S_{4,1,2}(t)}}	S _{4,2,1}(t) S_{4,2,2}(t)}}	S _{4,3,1}(t) S_{4,3,2}(t)}}	S _{4,m,1}(t) S_{4,m,2}(t)}}	S _{4,1}(t) S_{4,2}(t)}}	S _{4,1,1}(t) S_{4,1,2}(t)}}	S _{4,2,1}(t) S_{4,2,2}(t)}}
S ₅ (t)	S _{5,1}(t) S_{5,2}(t)}}	S _{5,1,1}(t) S_{5,1,2}(t)}}	S _{5,2,1}(t) S_{5,2,2}(t)}}	S _{5,3,1}(t) S_{5,3,2}(t)}}	S _{5,m,1}(t) S_{5,m,2}(t)}}	S _{5,1}(t) S_{5,2}(t)}}	S _{5,1,1}(t) S_{5,1,2}(t)}}	S _{5,2,1}(t) S_{5,2,2}(t)}}
S ₆ (t)	S _{6,1}(t) S_{6,2}(t)}}	S _{6,1,1}(t) S_{6,1,2}(t)}}	S _{6,2,1}(t) S_{6,2,2}(t)}}	S _{6,3,1}(t) S_{6,3,2}(t)}}	S _{6,m,1}(t) S_{6,m,2}(t)}}	S _{6,1}(t) S_{6,2}(t)}}	S _{6,1,1}(t) S_{6,1,2}(t)}}	S _{6,2,1}(t) S_{6,2,2}(t)}}
S ₇ (t)	S _{7,1}(t) S_{7,2}(t)}}	S _{7,1,1}(t) S_{7,1,2}(t)}}	S _{7,2,1}(t) S_{7,2,2}(t)}}	S _{7,3,1}(t) S_{7,3,2}(t)}}	S _{7,m,1}(t) S_{7,m,2}(t)}}	S _{7,1}(t) S_{7,2}(t)}}	S _{7,1,1}(t) S_{7,1,2}(t)}}	S _{7,2,1}(t) S_{7,2,2}(t)}}
S ₈ (t)	S _{8,1}(t) S_{8,2}(t)}}	S _{8,1,1}(t) S_{8,1,2}(t)}}	S _{8,2,1}(t) S_{8,2,2}(t)}}	S _{8,3,1}(t) S_{8,3,2}(t)}}	S _{8,m,1}(t) S_{8,m,2}(t)}}	S _{8,1}(t) S_{8,2}(t)}}	S _{8,1,1}(t) S_{8,1,2}(t)}}	S _{8,2,1}(t) S_{8,2,2}(t)}}
S ₉ (t)	S _{9,1}(t) S_{9,2}(t)}}	S _{9,1,1}(t) S_{9,1,2}(t)}}	S _{9,2,1}(t) S_{9,2,2}(t)}}	S _{9,3,1}(t) S_{9,3,2}(t)}}	S _{9,m,1}(t) S_{9,m,2}(t)}}	S _{9,1}(t) S_{9,2}(t)}}	S _{9,1,1}(t) S_{9,1,2}(t)}}	S _{9,2,1}(t) S_{9,2,2}(t)}}
S ₁₀ (t)	S _{10,1}(t) S_{10,2}(t)}}	S _{10,1,1}(t) S_{10,1,2}(t)}}	S _{10,2,1}(t) S_{10,2,2}(t)}}	S _{10,3,1}(t) S_{10,3,2}(t)}}	S _{10,m,1}(t) S_{10,m,2}(t)}}	S _{10,1}(t) S_{10,2}(t)}}	S _{10,1,1}(t) S_{10,1,2}(t)}}	S _{10,2,1}(t) S_{10,2,2}(t)}}

그림 5를 擴張된 多值論理回路로 表示하면 그림 6과 같다.

m入力 r出力인 경우의 順序多值論理를 構成할 경우에는 入力이 m個에서 出力이 r個로 擴張된 狀態이므로 入力狀態 $X_1(t), X_2(t), \dots, X_m(t)$ 에서 出力狀態 $S_1(t), S_2(t), \dots, S_r(t)$ 의 次狀態 方程式과 出力方程式을 各各 求하면 된다. 이는 狀態表를 作成할 때 次期狀態와 出力을 獨立된 變數로 취급하여 作成할 수 있기 때문이다.

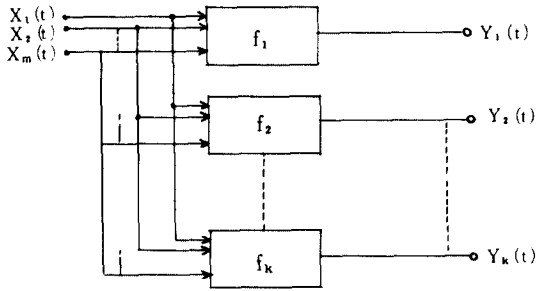


그림 6 擴張된 m入力 r出力 順序多值論理回路
Expanded Sequential multiple-valued logic circuit
for m input-r output.

表 5는 이의 狀態表를 나타낸 것이다.

表 5에서와 같이 組合多值論理函數方法으로 求 해진 狀態方程式은 出力이 r인 경우를 式(43)과같 이 정리하면,

$$S_r(t+1) = \sum_{i=0}^{N-1} \sum_{j=0}^{N-1} \sum_{k=0}^{N-1} \dots \sum_{q=0}^{N-1} C_{ijkl\dots q} \dots q [S_r(t)]^i [X_1(t)]^j [X_2(t)]^k \dots [X_m(t)]^q \quad (47)$$

이 되고 出力方程式은 式(48)와 같다.

$$Y_r(t+1) = \sum_{i=0}^{N-1} \sum_{j=0}^{N-1} \sum_{k=0}^{N-1} \dots \sum_{q=0}^{N-1} C_{ijkl\dots q} \dots q [Y_r(t)]^i [X_1(t)]^j [X_2(t)]^k \dots [X_m(t)]^q \quad (48)$$

여기서 r은 $1 \leq r$ 이다. 式(47)에서 m가 우수 입력인 경우 $C_{ijkl\dots q}$ 는

$$[C_{ijkl\dots q}] = [Q]_{axa} [S_r(t)]_{axb} [Q]_{bxb}^T \quad (49)$$

로 求해진다. 여기서

$$a = N^{\frac{m+2}{2}} \quad (50)$$

$$b = N^{\frac{m}{2}} \quad (51)$$

이며, 반면에 m가 기수인 경우에는

$$[C_{ijkl\dots q}] = [Q]_{axa} [S_r(t)]_{axa} [Q]_{axa}^T \quad (52)$$

가 된다. 여기서

$$a = N^{\frac{m+1}{2}} \text{이다.} \quad (53)$$

또한, r = 1 즉, 出力이 單一인 경우 부터 두 出力인 경우까지의 狀態函數는 入力이 單一에서 부터 多入力까지 同一하게 적용되어짐은 지금까지 의 과정에서 제시되었다.

따라서 多入力 多出力 $r=r$ 인 경우의 狀態函 數는 다음과 같다.

$$S_r(t+1) = \sum_{i=0}^{N-1} \sum_{j=0}^{N-1} \sum_{k=0}^{N-1} \dots \sum_{q=0}^{N-1} C_{ijkl\dots q} [S_r(t)]^i [X_1(t)]^j [X_2(t)]^k \dots [X_m(t)]^q \quad (54)$$

이 된다. 단, r의 범위는 $1 \leq r$ 이다.

r가 1에서 r까지의 狀態方程式은 다음과 같 다.

$$S_1(t+1) = \sum_{i=0}^{N-1} \sum_{j=0}^{N-1} \sum_{k=0}^{N-1} \dots \sum_{q=0}^{N-1} C_{ijkl\dots q}$$

$$[S_1(t)]^i [X_1(t)]^j [X_2(t)]^k \dots [X_m(t)]^q$$

$$S_2(t+1) = \sum_{i=0}^{N-1} \sum_{j=0}^{N-1} \sum_{k=0}^{N-1} \dots \sum_{q=0}^{N-1} C_{ijkl\dots q}$$

$$[S_2(t)]^i [X_1(t)]^j [X_2(t)]^k \dots [X_m(t)]^q$$

$$\vdots$$

$$S_r(t+1) = \sum_{i=0}^{N-1} \sum_{j=0}^{N-1} \sum_{k=0}^{N-1} \dots \sum_{q=0}^{N-1} C_{ijkl\dots q}$$

$$[S_r(t)]^i [X_1(t)]^j [X_2(t)]^k \dots [X_m(t)]^q \quad (55)$$

같은 方法으로 出力方程式을 求하면 다음式들

이 된다.

$$Y_1(t) = \sum_{i=0}^{N-1} \sum_{j=0}^{N-1} \sum_{k=0}^{N-1} \cdots \sum_{q=0}^{N-1} C_{ij k \dots q}$$

$$[Y_1(e_1(t))]^t [X_1(t)]^j [X_2(t)]^k \cdots [X_m(t)]^q$$

$$[C_{ij}] = \begin{pmatrix} e_0 & e_0 & e_0 & e_0 \\ e_0 & e_1 & e_3 & e_2 \\ e_0 & e_1 & e_2 & e_3 \\ e_1 & e_1 & e_1 & e_1 \end{pmatrix} \begin{pmatrix} e_0 & e_0 & e_1 & e_1 \\ e_0 & e_1 & e_3 & e_2 \\ e_1 & e_2 & e_1 & e_2 \\ e_1 & e_3 & e_3 & e_1 \end{pmatrix} \begin{pmatrix} e_1 & e_0 & e_0 & e_0 \\ e_0 & e_1 & e_1 & e_1 \\ e_0 & e_3 & e_2 & e_1 \\ e_0 & e_2 & e_3 & e_1 \end{pmatrix} = \begin{pmatrix} e_0 & e_1 & e_1 & e_0 \\ e_1 & e_0 & e_0 & e_0 \\ e_1 & e_1 & e_0 & e_0 \\ e_0 & e_0 & e_0 & e_0 \end{pmatrix}$$

$$Y_2(t) = \sum_{i=0}^{N-1} \sum_{j=0}^{N-1} \sum_{k=0}^{N-1} \cdots \sum_{q=0}^{N-1} C_{ij k \dots q}$$

$$[Y_2(e_1(t))]^t [X_1(t)]^j [X_2(t)]^k \cdots [X_m(t)]^q$$

$$\vdots$$

$$Y_r(t+1) = \sum_{i=0}^{N-1} \sum_{j=0}^{N-1} \sum_{k=0}^{N-1} \cdots \sum_{q=0}^{N-1} C_{ij k \dots q}$$

$$[Y_r(e_1(t))]^t [X_1(t)]^j [X_2(t)]^k \cdots [X_m(t)]^q$$

(56)

次狀態函數 S(t+1)은 式(29)로 부터

$$S(t+1) = \sum_{i=0}^{N-1} \sum_{j=0}^{N-1} C_{ij} [S(t)]^t [X(t)]^j \quad (57)$$

로 되고 C_{ij}는 式(30)으로 부터

여기서 위의 연산은 제 2장에서 언급한 GF(N)에서의 정리(6)에 의하여 산출된 表 1, 表 2의 GF(4)에 관한 연산표를 利用하였다. 따라서 次期狀態函數 S(t+1)은 式(57)로부터 아래와 같다.

$$S(t+1) = e_1 S(t) + e_1 S^2(t) + e_1 X(t)$$

$$+ e_1 S^2(t) X(t) + e_1 X^2(t) \quad (58)$$

V. 適用例

V-1. 單一入·出力이고 GE(4)인 경우

표 6 GF(4)에서의 狀態表
An example of single input-output over GF(4).

S(t) \ X(t)	X(t)			
	e ₀	e ₁	e ₂	e ₃
e ₀	e ₀	e ₀	e ₁	e ₁
e ₁	e ₀	e ₁	e ₃	e ₂
e ₂	e ₁	e ₂	e ₁	e ₂
e ₃	e ₁	e ₃	e ₃	e ₁

式(58)을 順序多值論理回路로 實現하면 그림 7과 같다.

V-2. 單一入力 2出力이고 GF(4)인 경우

次狀態函數는 出力의 數 r가 2개인 경우이므로 式(33)과 式(35)로 부터 다음 식들을 얻게 된다. 즉,

$$S_1(t+1) = \sum_{i=0}^3 \sum_{j=0}^3 C_{ij} [S_1(t)]^t [X(t)]^j \quad (59)$$

$$S_2(t+1) = \sum_{i=0}^3 \sum_{j=0}^3 C_{ij} [S_2(t)]^t [X(t)]^j \quad (60)$$

$$[C_{ij}] = \begin{pmatrix} e_1 & e_0 & e_0 & e_0 \\ e_0 & e_1 & e_3 & e_2 \\ e_0 & e_1 & e_2 & e_3 \\ e_1 & e_1 & e_1 & e_1 \end{pmatrix} \begin{pmatrix} e_0 & e_0 & e_0 & e_0 \\ e_0 & e_1 & e_1 & e_0 \\ e_0 & e_2 & e_1 & e_0 \\ e_0 & e_0 & e_0 & e_0 \end{pmatrix} \begin{pmatrix} e_1 & e_0 & e_0 & e_1 \\ e_0 & e_1 & e_1 & e_1 \\ e_0 & e_3 & e_2 & e_1 \\ e_0 & e_2 & e_3 & e_1 \end{pmatrix} = \begin{pmatrix} e_0 & e_0 & e_0 & e_0 \\ e_0 & e_1 & e_3 & e_0 \\ e_0 & e_0 & e_3 & e_0 \\ e_0 & e_0 & e_0 & e_0 \end{pmatrix}$$

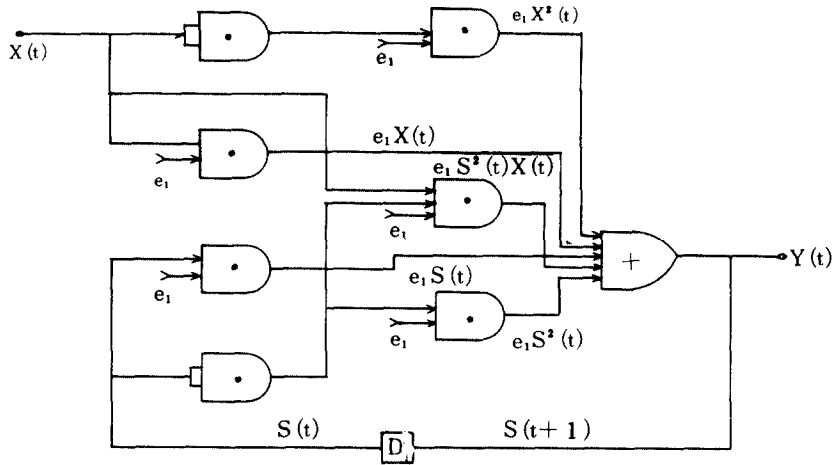


그림 7 表 6의 順序多值論理函數의 實現回路.
Implementation of the sequential logic function of table 6.

표 7 GF(4)에서의 單一入力 2出力인 경우
An example of single input-dual output over GF(4).

	X(t)	e ₀	e ₁	e ₂	e ₃
S(t)					
S ₁ (t)	e ₀	e ₃	e ₀	e ₀	e ₀
	e ₁	e ₀	e ₁	e ₀	e ₀
	e ₂	e ₀	e ₂	e ₁	e ₀
	e ₃	e ₀	e ₀	e ₀	e ₀

	X(t)	e ₀	e ₁	e ₂	e ₃
S(t)					
S ₂ (t)	e ₀	e ₃	e ₁	e ₀	e ₂
	e ₁	e ₂	e ₂	e ₃	e ₁
	e ₂	e ₁	e ₀	e ₂	e ₂
	e ₃	e ₀	e ₃	e ₂	e ₁

으로 되고 係數函數 C_{ij}는 式(34)와 式(36)로 부터 구하면 된다. 우선 式(34)로부터 S₁(t)에 對한 C_{ij}를 求하면 다음과 같다.

次狀態函數 S₁(t+1)은 式(59)로부터 다음의 式이 얻어진다.

$$\begin{aligned}
 S_1(t+1) &= e_1 S_1(t) X(t) + e_3 S_1^2(t) X(t) \\
 &\quad + e_3 S_1(t) X^2(t) + e_3 S_1^2(t) X^2(t) \\
 &\quad + e_3 S_1^3(t) X^2(t) + e_3 S_1^3(t) X^3(t) \\
 &= \{e_1 S_1(t) + e_3 S_1^2(t)\} X(t) \\
 &\quad + \{e_3 S_1(t) + e_3 S_1^2(t) + e_3 S_1^3(t)\} X^2(t) \\
 &\quad + e_3 S_1^3(t) X^3(t) \tag{61}
 \end{aligned}$$

다음으로, 式(35)로부터 S₂(t)에 對한 C_{ij}를 구하면,

$$[C_{ij}] = \begin{bmatrix} e_1 & e_0 & e_0 & e_0 \\ e_0 & e_1 & e_3 & e_2 \\ e_0 & e_1 & e_2 & e_3 \\ e_1 & e_1 & e_1 & e_1 \end{bmatrix} \begin{bmatrix} e_3 & e_1 & e_0 & e_2 \\ e_2 & e_2 & e_3 & e_1 \\ e_1 & e_0 & e_2 & e_2 \\ e_0 & e_3 & e_2 & e_1 \end{bmatrix} \begin{bmatrix} e_1 & e_0 & e_0 & e_1 \\ e_0 & e_1 & e_1 & e_1 \\ e_0 & e_3 & e_2 & e_1 \\ e_0 & e_2 & e_3 & e_1 \end{bmatrix} = \begin{bmatrix} e_3 & e_2 & e_0 & e_0 \\ e_1 & e_3 & e_0 & e_1 \\ e_0 & e_1 & e_1 & e_0 \\ e_0 & e_2 & e_1 & e_3 \end{bmatrix}$$

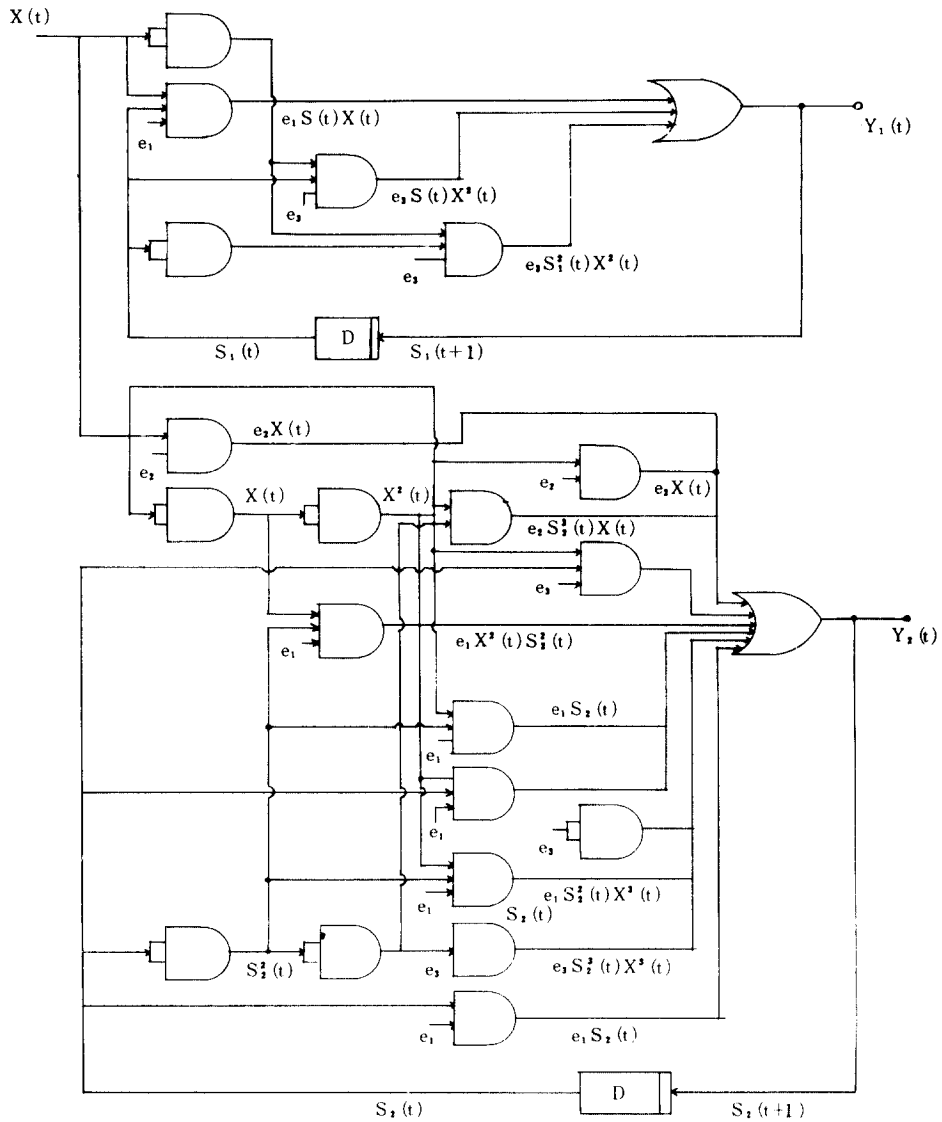


그림 8 表 7 의 順序多值論理回路의 實現
Implementation of the sequential logic function of table 7.

가 된다.

次狀態函數 $S_2(t+1)$ 은 式(60)으로부터 다음의 式을 얻게 된다. 즉,

$$\begin{aligned}
 S_2(t+1) = & e_3 + e_1 S_2(t) + e_2 X(t) \\
 & + e_3 S_2(t) X(t) + e_1 S_2^2(t) X(t) \\
 & + e_2 S_2^3(t) X(t) + e_1 S_2^2(t) X^2(t)
 \end{aligned}$$

$$\begin{aligned}
 & + e_1 S_2^2(t) X^2(t) + e_1 S_2(t) X^3(t) \\
 & + e_3 S_2^3(t) X^3(t) \\
 = & e_3 + e_1 S_2(t) + \{e_2 + e_3 S_2(t) \\
 & + e_1 S_2^2(t) + e_2 S_2^3(t)\} X(t) \\
 & + \{e_1 S_2^2(t) + e_1 S_2^3(t)\} X^2(t) \\
 & + \{e_1 S_2(t) + e_3 S_2^3(t)\} X^3(t) \quad (62)
 \end{aligned}$$

표 8 GF(3)에서의 2 입력 1 출력의 예
An example of dual input over GF(3).

S(t)		S(t)		
		e ₀	e ₁	e ₂
X ₁ (t) X ₂ (t)	e ₀ e ₀	e ₀	e ₁	e ₂
	e ₀ e ₁	e ₁	e ₂	e ₀
	e ₀ e ₂	e ₂	e ₀	e ₁
	e ₁ e ₀	e ₁	e ₂	e ₀
	e ₁ e ₁	e ₂	e ₀	e ₁
	e ₁ e ₂	e ₀	e ₁	e ₂
	e ₂ e ₀	e ₂	e ₀	e ₁
	e ₂ e ₁	e ₀	e ₁	e ₂
	e ₂ e ₂	e ₁	e ₂	e ₀

이 된다. 따라서 식(60)과 식(62)를 회로로 실현하면 그림 8 과 같이 單一 입력 2 출력인 順序多值論理回路가 構成된다.

V - 3. 2 입력 1 출력인 GF(3)의 경우

GF(3)의 狀態表가 表 8 과 같이 주어진 경우 狀態函數 S(t+1)은 식(39)로 부터,

$$[C_{ijk}] = \begin{pmatrix} e_1 & e_0 & e_0 & e_0 & e_0 & e_0 & e_0 & e_0 & e_0 & e_0 \\ e_0 & e_2 & e_1 & e_0 & e_0 & e_0 & e_0 & e_0 & e_0 & e_0 \\ e_2 & e_2 & e_2 & e_0 & e_0 & e_0 & e_0 & e_0 & e_0 & e_0 \\ e_0 & e_0 & e_0 & e_2 & e_0 & e_0 & e_1 & e_0 & e_0 & e_0 \\ e_0 & e_0 & e_0 & e_0 & e_1 & e_2 & e_0 & e_2 & e_1 & e_1 \\ e_0 & e_0 & e_0 & e_1 & e_1 & e_1 & e_2 & e_2 & e_2 & e_2 \\ e_2 & e_0 & e_0 & e_2 & e_0 & e_0 & e_2 & e_0 & e_0 & e_0 \\ e_0 & e_1 & e_2 & e_0 & e_1 & e_2 & e_0 & e_1 & e_2 & e_2 \\ e_1 & e_1 & e_1 & e_1 & e_1 & e_1 & e_1 & e_1 & e_1 & e_1 \end{pmatrix} \begin{pmatrix} e_0 & e_1 & e_2 \\ e_1 & e_2 & e_0 \\ e_2 & e_0 & e_1 \\ e_1 & e_2 & e_0 \\ e_2 & e_0 & e_1 \\ e_0 & e_1 & e_2 \\ e_2 & e_0 & e_1 \\ e_0 & e_1 & e_2 \\ e_2 & e_0 & e_1 \\ e_0 & e_1 & e_2 \\ e_1 & e_0 & e_2 \end{pmatrix} \begin{pmatrix} e_1 & e_0 & e_2 \\ e_0 & e_2 & e_2 \\ e_0 & e_1 & e_2 \end{pmatrix} = \begin{pmatrix} e_0 & e_1 & e_0 \\ e_1 & e_0 & e_0 \\ e_0 & e_0 & e_0 \\ e_1 & e_0 & e_0 \\ e_0 & e_0 & e_0 \\ e_0 & e_0 & e_0 \\ e_0 & e_0 & e_0 \\ e_0 & e_0 & e_0 \\ e_0 & e_0 & e_0 \\ e_0 & e_0 & e_0 \end{pmatrix}$$

$$S(t+1) = \sum_{i=0}^{2} \sum_{j=0}^{2} \sum_{k=0}^{2} C_{ijk} [S(t)]^k$$

$$[X_1(t)]^j [X_2(t)]^k \tag{63}$$

로 되고, 係數函數 C_{ijk}는 式(42)로 부터 다음과 같다.

따라서 次狀態函數 S(t+1)은 式(63)으로부터

$$S(t+1) = e_1 X_1(t) + e_1 X_2(t) + e_1 s(t) \tag{64}$$

이 되고 이를 회로로 實現하면 그림 9 와 같다.

V - 4. 2 입력 2 출력인 GF(3)의 경우

次狀態函數는 式(43)과 式(45)로 부터 다음의 式들을 얻게된다. 즉,

$$S_1(t+1) = \sum_{i=0}^2 \sum_{j=0}^2 \sum_{k=0}^2 C_{ijk}$$

$$[S_1(t)]^j [X_1(t)]^j [X_2(t)]^k \tag{65}$$

$$S_2(t+1) = \sum_{i=0}^2 \sum_{j=0}^2 \sum_{k=0}^2 C_{ijk}$$

$$[S_2(t)]^j [X_1(t)]^j [X_2(t)]^k \tag{66}$$

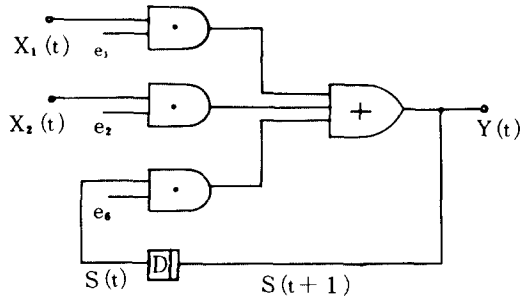


그림 9 表 8 의 順序多值論理函數의 實現回路
Implementation of the sequential logic function of table 8.

으로 되고 係數函數 C_{ijk} 는 式(44), 式(46)으로부터 求하면 된다. 우선 式(44)로부터 $S_1(t)$ 에 對한 C_{ijk} 를 求하면,

표 9 GF(3)에서의 2입력 2출력의 예
An example of dual input-dual output over GF(3).

S(t) X ₁ (t)X ₂ (t)		S ₁ (t)			S ₂ (t)		
		e ₀	e ₁	e ₂	e ₀	e ₁	e ₂
e ₀	e ₀	e ₀	e ₀	e ₀	e ₀	e ₁	e ₂
e ₀	e ₁	e ₁	e ₁	e ₁	e ₁	e ₂	e ₀
e ₀	e ₂	e ₂	e ₂	e ₂	e ₂	e ₀	e ₁
e ₁	e ₀	e ₀	e ₀	e ₀	e ₁	e ₂	e ₀
e ₁	e ₁	e ₀	e ₀	e ₀	e ₂	e ₀	e ₁
e ₁	e ₂	e ₀	e ₀	e ₀	e ₀	e ₁	e ₂
e ₂	e ₀	e ₀	e ₁	e ₂	e ₀	e ₀	e ₁
e ₂	e ₁	e ₀	e ₁	e ₂	e ₂	e ₁	e ₂
e ₂	e ₂	e ₀	e ₁	e ₂	e ₀	e ₂	e ₀

$$[C_{ijk}] = \begin{pmatrix} e_1 & e_0 & e_0 & e_0 & e_0 & e_0 & e_0 & e_0 & e_0 & e_0 \\ e_0 & e_2 & e_1 & e_0 & e_0 & e_0 & e_0 & e_0 & e_0 & e_0 \\ e_2 & e_2 & e_2 & e_0 & e_0 & e_0 & e_0 & e_0 & e_0 & e_0 \\ e_0 & e_0 & e_0 & e_2 & e_0 & e_0 & e_1 & e_0 & e_0 & e_0 \\ e_0 & e_0 & e_0 & e_0 & e_1 & e_2 & e_0 & e_2 & e_1 & e_1 \\ e_0 & e_0 & e_0 & e_1 & e_1 & e_1 & e_2 & e_2 & e_2 & e_2 \\ e_2 & e_0 & e_0 & e_2 & e_0 & e_0 & e_2 & e_0 & e_0 & e_0 \\ e_0 & e_1 & e_2 & e_2 & e_1 & e_2 & e_0 & e_1 & e_2 & e_2 \\ e_1 & e_1 & e_1 & e_1 & e_1 & e_1 & e_1 & e_1 & e_1 & e_1 \end{pmatrix} \begin{pmatrix} e_0 & e_0 & e_0 \\ e_1 & e_1 & e_1 \\ e_2 & e_2 & e_2 \\ e_0 & e_0 & e_0 \\ e_0 & e_0 & e_0 \\ e_0 & e_0 & e_0 \\ e_0 & e_1 & e_2 \\ e_0 & e_1 & e_2 \\ e_0 & e_1 & e_2 \end{pmatrix} \begin{pmatrix} e_1 & e_0 & e_2 \\ e_0 & e_2 & e_2 \\ e_0 & e_1 & e_2 \end{pmatrix} = \begin{pmatrix} e_0 & e_0 & e_0 \\ e_1 & e_0 & e_0 \\ e_0 & e_0 & e_0 \\ e_0 & e_1 & e_0 \\ e_0 & e_0 & e_0 \\ e_0 & e_0 & e_0 \\ e_0 & e_2 & e_0 \\ e_2 & e_2 & e_2 \\ e_0 & e_0 & e_0 \end{pmatrix}$$

가 된다.

次狀態 $S_1(t+1)$ 은 式(57)로 부터

$$S_1(t+1) = e_1 X_2(t) + e_1 S_1(t) X_1(t) + e_2 S_1(t) X_1^2(t) + e_2 X_2(t) X_1^2(t) + e_2 S_1(t) X_2(t) X_1^2(t) + e_2 S_1^2(t) X_2(t) X_1^2(t) \quad (67)$$

가 되며, $S_2(t)$ 에 對한 係數函數 C_{ijk} 를 求하면

式(46)으로 부터

가 된다.

次狀態函數 $S_2(t+1)$ 은 式(58)으로 부터 다음 과 같다.

$$S_2(t+1) = e_1 X_1(t) + e_1 S_2(t) + e_1 X_2(t) \quad (68)$$

따라서 式(59)과 式(60)를 合成하여 回路를 實現 하면 2입력 2출력의 順序多值論理回路가 實現

$$[C_{ijk}] = \begin{pmatrix} e_1 & e_0 & e_0 & e_0 & e_0 & e_0 & e_0 & e_0 & e_0 & e_0 \\ e_0 & e_2 & e_1 & e_0 & e_0 & e_0 & e_0 & e_0 & e_0 & e_0 \\ e_2 & e_2 & e_2 & e_0 & e_0 & e_0 & e_0 & e_0 & e_0 & e_0 \\ e_0 & e_0 & e_0 & e_2 & e_0 & e_0 & e_1 & e_0 & e_0 & e_0 \\ e_0 & e_0 & e_0 & e_0 & e_1 & e_2 & e_0 & e_2 & e_1 & e_1 \\ e_0 & e_0 & e_0 & e_1 & e_1 & e_1 & e_2 & e_2 & e_2 & e_2 \\ e_2 & e_0 & e_0 & e_2 & e_0 & e_0 & e_2 & e_0 & e_0 & e_0 \\ e_0 & e_1 & e_2 & e_0 & e_1 & e_2 & e_0 & e_1 & e_2 & e_2 \\ e_1 & e_1 & e_1 & e_1 & e_1 & e_1 & e_1 & e_1 & e_1 & e_1 \end{pmatrix} \begin{pmatrix} e_0 & e_1 & e_2 \\ e_1 & e_2 & e_0 \\ e_2 & e_0 & e_1 \\ e_1 & e_2 & e_0 \\ e_2 & e_0 & e_1 \\ e_0 & e_1 & e_2 \\ e_2 & e_0 & e_1 \\ e_0 & e_1 & e_2 \\ e_1 & e_2 & e_0 \end{pmatrix} \begin{pmatrix} e_1 & e_0 & e_2 \\ e_0 & e_2 & e_2 \\ e_0 & e_1 & e_2 \end{pmatrix} = \begin{pmatrix} e_0 & e_1 & e_0 \\ e_1 & e_0 & e_0 \\ e_0 & e_0 & e_0 \\ e_1 & e_0 & e_0 \\ e_0 & e_0 & e_0 \\ e_0 & e_0 & e_0 \\ e_0 & e_0 & e_0 \\ e_0 & e_0 & e_0 \\ e_0 & e_0 & e_0 \end{pmatrix}$$

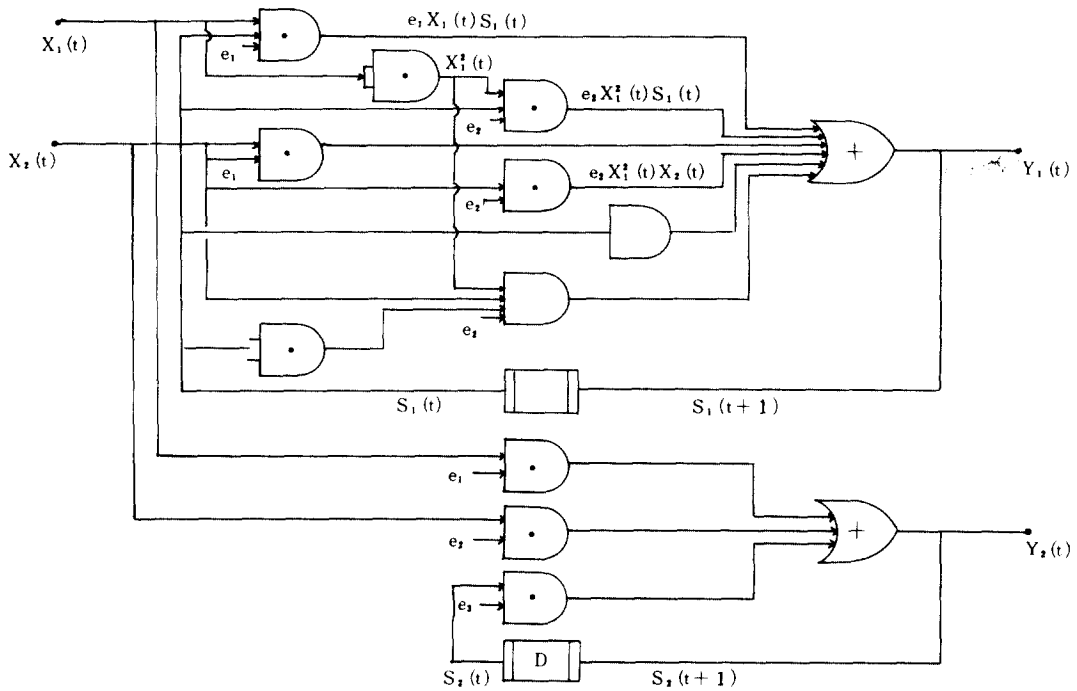


그림 10 表 9 의 順序多值論理回路的 實現
Implementation of the sequential multiple-valued logic function of table 9.

된다. 그림 10은 이를 나타낸 것이다.

VI. 結 論

Galois Field를 利用한 多值論理函數構成에관

한 論文은 序論에서도 언급한 바와 같이 지금까 지 여러 편이 發表되었지만 거의 大部分이 組合 論理回路에 관한 構成理論이었고, 그나마 有限 体에 관한 数学的인 定理에 置重한 나머지 論理 函數의 構成과정의 복잡하였다.

本論文에서는 組合論理回路에 관한 構成理論을 順序論理回路에 拡張적용하여 새로운 構成理論을 提示하였다. 먼저 單一入力인 경우에서 한 入力線X에 N值狀態가 入力되어 次期狀態函數와 合成된 狀態變數가 出力線Y에 N值의 出力函數를 結定짓는 것을 組合論理回路에서의 하나의 變數와 同一하게 취급할 수 있으므로 2變數인 構成方法으로 擴張한 狀態表를 作成하고 順序多值論理函數를 構成하였다. 또한 一般的인 m入力인 順序多值論理回路는 組合論理函數에서 m+1 變數인 多值論理構成方法과 同一하게 擴張하여 構成하였다.

本論文에서는 Taylor 급수를 有限体上에서의 組合論理函數에 對應시켜 전개시킨 후 이를 順序論理函數로 擴張하여 單一入力 單一出力에서 多入力 多出力의 擴張이 可能하도록 順序多值論理函數의 擴張理論을 체계화시켰다.

本論文의 特性은 여러 단이 복합하여 構成되어 있는 多出力인 경우에도 적용할 수 있도록 partition 개념에 依하여 多值論理函數를 構成하였으므로 回路가 單一出力인 경우는 물론 多出力인 경우도 모두 回路를 實現할 수 있었다.

本論文에서 順序多值論理函數의 多項式의 係數계산은 有限体を 構成하는 元素數에 따라 산출되는 行列을 使用하여 거의 기계적으로 求할 수 있었다. 그러나 變數가 많아지면 行列의 次數가 대단히 증가되므로 계산하는 量은 상당히 많아진다. 그러나 모든 연산을 行列처리하므로 Computer Programming을 爲한 Program도 쉽게 할 수 있었다.

부 록

GF(2³)内 元素들의 乘法表

e	e ₀	e ₁	e ₂	e ₃	e ₄	e ₅	e ₆	e ₇
e ₀	e ₀	e ₀	e ₀	e ₀	e ₀	e ₀	e ₀	e ₀

e ₁	e ₀	e ₁	e ₂	e ₃	e ₄	e ₅	e ₆	e ₇
e ₂	e ₀	e ₂	e ₃	e ₆	e ₇	e ₁	e ₄	e ₅
e ₃	e ₀	e ₃	e ₆	e ₄	e ₅	e ₂	e ₇	e ₁
e ₄	e ₀	e ₄	e ₇	e ₅	e ₂	e ₆	e ₁	e ₃
e ₅	e ₀	e ₅	e ₁	e ₂	e ₆	e ₇	e ₃	e ₄
e ₆	e ₀	e ₆	e ₄	e ₇	e ₁	e ₃	e ₅	e ₂
e ₇	e ₀	e ₇	e ₅	e ₁	e ₃	e ₄	e ₂	e ₆

GF(2³)内 元素들의 加法表

+	e ₀	e ₁	e ₂	e ₃	e ₄	e ₅	e ₆	e ₇
e ₀	e ₀	e ₁	e ₂	e ₃	e ₄	e ₅	e ₆	e ₇
e ₁	e ₁	e ₀	e ₆	e ₅	e ₇	e ₃	e ₂	e ₄
e ₂	e ₂	e ₆	e ₀	e ₄	e ₃	e ₇	e ₁	e ₅
e ₃	e ₃	e ₅	e ₄	e ₀	e ₂	e ₁	e ₇	e ₆
e ₄	e ₄	e ₇	e ₃	e ₂	e ₀	e ₆	e ₅	e ₁
e ₅	e ₅	e ₃	e ₇	e ₁	e ₆	e ₀	e ₄	e ₂
e ₆	e ₆	e ₂	e ₁	e ₇	e ₅	e ₄	e ₀	e ₃
e ₇	e ₇	e ₄	e ₅	e ₆	e ₁	e ₂	e ₃	e ₆

두入力인 경우의 [Q] 값

1. GF(3)인 경우

[S] _{9,9} =	e ₁	e ₀	e ₀	e ₀	e ₀	e ₀	e ₀	e ₀	e ₀
	e ₀	e ₂	e ₁	e ₀	e ₀	e ₀	e ₀	e ₀	e ₀
	e ₂	e ₂	e ₂	e ₀	e ₀	e ₀	e ₀	e ₀	e ₀
	e ₀	e ₀	e ₀	e ₂	e ₀	e ₀	e ₁	e ₀	e ₀
	e ₀	e ₀	e ₀	e ₀	e ₁	e ₂	e ₀	e ₂	e ₁
	e ₀	e ₀	e ₀	e ₁	e ₁	e ₁	e ₂	e ₂	e ₂
	e ₂	e ₀	e ₀	e ₂	e ₀	e ₀	e ₂	e ₀	e ₀
	e ₀	e ₁	e ₂	e ₀	e ₁	e ₂	e ₀	e ₁	e ₂
	e ₁	e ₁	e ₁	e ₁	e ₁	e ₁	e ₁	e ₁	e ₁

e_4	e_0	e_0	e_0	e_0	e_4	e_0	e_0	e_0	e_0	e_4	e_0	e_0	e_0	e_0	e_4	e_0	e_0	e_0	e_0	e_4	e_0	e_0	e_0	e_0
e_0	e_1	e_3	e_2	e_4	e_0	e_1	e_3	e_2	e_4	e_0	e_1	e_3	e_2	e_4	e_0	e_1	e_3	e_2	e_4	e_0	e_1	e_3	e_2	e_4
e_0	e_1	e_4	e_4	e_1	e_0	e_1	e_4	e_4	e_1	e_0	e_1	e_4	e_4	e_1	e_0	e_1	e_4	e_4	e_1	e_0	e_1	e_4	e_4	e_1
e_0	e_1	e_2	e_3	e_4	e_0	e_1	e_2	e_3	e_4	e_0	e_1	e_2	e_3	e_4	e_0	e_1	e_2	e_3	e_4	e_0	e_1	e_2	e_3	e_4
e_1	e_1	e_1	e_1	e_1	e_1	e_1	e_1	e_1	e_1	e_1	e_1	e_1	e_1	e_1	e_1	e_1	e_1	e_1	e_1	e_1	e_1	e_1	e_1	e_1

參考文獻

- (1) Jon T. Butler and Anthony S. Wojcik, "Guest Editor's comments" IEEE Trans. Compt., vol. C-30, pp 617~618. Sept. 1982.
- (2) Makoto Hatta, Itsuo Tahanami and Katsushi Inose, "A Realization of Ternary logic functions by using Cellular Arrays", in proc. 9th Int. Symp. Multiple-valued logic, Bath, England, pp45~64. May. 1979.
- (3) Z. J. McClusky, "Logic Design of mult input Quad I²L circuits" in proc. 9th Int. sym. Multiple-valued logic, Bath, England, pp 121-127, May. 1979.
- (4) Marc Davio and Jean Pierre Deschamps, "Synthesis of Discrete Functions using I²L Technology," IEEE Trans. Computer, vol. C-30, pp. 653-661, Sept. 1981.
- (5) H. G. Kerkhoff and M. L. Tervoert, "Multiple-Valued Logic charge-coupled Devices," IEEE Trans. computer, vol. C-30, pp. 644-652, Sept. 1981.
- (6) Y. Kambayashi, "Logic Design of programmable Logic Array," IEEE Trans on Compt., vol. C-28, pp. 607-617, Sept. 1979.
- (7) R. S. Menger, "A Transform for Logic Network," IEEE Trans Compt., vol. c-18, pp. 241-250 Mar. 1969.
- (8) B. Benjauthrit and I. S. Reed, "Galois Switching Functions and their Applications," IEEE Trans. Compt., vol. c-25, pp. 79-86, Jan. 1976
- (9) T. C. Wesselkamper, "Divided Difference Method for Galois Switching Functions," IEEE Trans Compt., vol. c-27, pp. 232-238, Mar. 1978.
- (10) V. H. Tokmen, "Disjoint Decomposability of Multi-valued Functions by spectral Means," in proc. 10th Int. symp. Multiple-valued logic, Northwestern University, Evanston, IL., pp. 88-93, J. 1980.
- (11) W. R. English, "Synthesis of Finite State Algorithms in a Galois Field GF(Pⁿ)," IEEE Trans. Compt., vol. c-30, pp. 225-229, Mar. 1981.
- (12) 朴勝安, 現代代數學, 二友出版社. pp. 315-380
- (13) William J. Gilvert, "Modern Algebra with Applications", A wiley-Interscience publication John wiley & sons. pp. 243-254. 1976.
- (14) John B. FRALEIGH, "A First course in Abstract Algebra," Addison-wesley publishing company. pp. 462-463. 1982.
- (15) G. Birkhoff and T. C. Bartee, "Modern Applied Algebra New York, McGraw-Hill, 1970.
- (16) Erwin Kreyzig, "Advanced Engineering mathematics," New York John & sons, 1979.
- (17) 姜聖珠, "Taylor 급수 전개에 의한 Galois switching 函數構成理論" 仁荷大學校大學院工學碩士學位論文 2月, 1982.
- (18) W. A. Davis and J. A. Brzozowski, "On the Linearity of sequential Machines," IEEE Trans on Electronic computer, vol. EC-15, No. 1, pp. 21-29. Feb. 1966.



李 秉 烈 (Dong Lyul LEE) 正會員
 1944年 7月25日生
 1964年 3月~1971年 2月 仁荷大學校工
 科大學電氣工
 學科(學士)
 1981年 3月~1983年 2月: 崇田大學校大
 學院電子工學
 科(碩士)

1984年 3月~ : 崇田大學校大學院電子工學科(博士課程)
 1971年 1月~1974年12月: 새한精密工業(株)開發室
 1974年12月~1980年 1月: 오림프스電子工業(株)(次長)
 1981年 3月~1983年10月: 富川工業 專門大學講師·京畿工
 業開放講師
 1987年 3月~現在: 富川工業專門大學 助教授



崔 承 哲 (Sung Chul CHOI) 正會員
 1931年 6月23日生
 1954年10月: 空軍士官學校 卒業(工學士)
 1963年 1月: 美國匹士스A & M 大學校
 (工學碩士)
 1963年 3月~1973年 2月: 空軍士官學校
 電子工學科 教授
 1973年 3月~現在: 崇實大學校電子工學
 科 學課長

1981年~1983年: 獨逸Aachen Technische Hochschule 波見教
 授