
 論 文

클럭주파수 합성방식을 이용한 디지털주파수 합성기의 구성 및 성능에 관한 연구

正會員 張 殷 永* 正會員 鄭 容 周* 正會員 金 元 厚*

A Study on the Implementation and Performance Analysis of the Digital Frequency Synthesizer Using the Clock Counting Method

Eun Young CHANG*, Young Ju JUNG*, Won Hoo KIM* *Regular members*

要 約 본논문에서는 종래의 위상누적방식을 이용한 디지털 주파수합성기의 성능을 향상시키기 위해, 클럭주파수 합성방식의 디지털 주파수합성기를 설계하고 제작하였다.

고정된 시스템 클럭주파수를 가지고 위상초기치를 가변, 누적시키는 위상 누적방식과는 달리, 클럭주파수 합성방식에서는 PLL을 사용하여 클럭주파수를 가변합성하였고, 이를 N진 계수기의 입력으로 사용하여 고정된 위상 누적치를 갖게 하였다.

성능실험결과 기존의 위상누적방식에서 나타났던 주기적인 출력왜곡현상이 발생하지 않게되어, 양자화 불요잡음의 발생이 줄어들었으나, 위상누적방식보다 동일한 설계조건에서 출력대역폭이 계수기의 계수상태에 반비례하여 좁아졌고, PLL을 사용하기 때문에 회로구성이 복잡해졌다.

ABSTRACT In this paper, the digital frequency synthesizer with the clock counting method is designed and implemented to increase the performance of the digital frequency synthesizer with phase accumulating method which was developed before.

Unlike an phase accumulating method, clock counting method is supplied a continually changeable clock frequency with PLL(Phase Locked Loop) and allocated a fixed phase step with N-ary counter.

From the experimental results, it is confirmed that any periodic distortion phenomena are disappeared, and truncation harmonics are more reduced.

But the output bandwidths are decreased in inverse proportion to the counter counting number and the circuits are somewhat complex than phase accumulating method.

*韓國航空大學 航空電子工學科
Dept. of Avionics Engineering, Graduate School
of Hankuk Aviation University.
論文番號 : 89-32(接受 1989. 3. 3)

I. 서 론

디지털 주파수 합성기는 1970년 J. Tierney

등에 의해 발표된 위상누적방식⁽⁴⁾⁻⁽⁶⁾에 의해 구성되며, 아날로그 방식에서 실현하기 어려운 높은 주파수 해상도와 안정도를 얻을 수 있고, 출력파형의 왜율이 위상대 진폭변환기에 저장되는 데이터수와 D/A변환기의 비트수에 따라 결정되며, 출력주파수가 디지털 입력데이터값에 따라 변하게 되므로 GP-IB 등의 접속방식을 사용한 계측시스템 구성에 용이한 장점을 갖게 된다.

또한 위상대 진폭변환기에 Nyquist 표본화이론에 따라 일정한 간격으로 표본화한 주기파형의 진폭값을 기록해 두면 해당되는 주기의 정현파가 발생되는 것 이외에도 1의 보수회로와 위상대 진폭변환기를 스위칭하는 간단한 회로를 부가하므로써, 구형파나 삼각파 및 톱날파의 발생이 가능하여 파형합성기로도 사용할 수 있게된다.
(4)-(6)

그러나 위상누적 방식에는 표본화 시간을 일정하게 유지하고 위상가산기에 가해지는 출력주파수의 초기위상값(ϕ_k)을 매클럭시간(표본화시간: f_{ck})마다 누적시켜, 그때의 위상값을 위상대 진폭변환기에 인가하므로써, 진폭값을 얻게 되므로, 출력주파수에 따라 출력파형상에 주기적인 왜곡이 발생한다. (1)(3)(4)

따라서 본논문에서는 PLL회로를 이용하여 클럭주파수를 가변시키고, 이 클럭주파수(f_c)에 의해 N진 계수기를 동작시켜 완전한 한주기의 파형을 구성하므로써, 주기적인 왜곡현상을 해소하려는 착상하에, 기존의 위상누적 방식에서 사용된 위상가산기 대신에 PLL회로와 계수회로를 부가한 클럭주파수 합성방식의 시스템 구성을 제안하고, 성능실험을 통해 시스템상의 여러 문제점을 검토하며, 그 개선책을 제시하고자 한다.

II. 구성원리

그림1.에서와 같이 위상누적 방식이 일정한 표본화시간(클럭주파수: f_{ck})하에서 위상가산기에

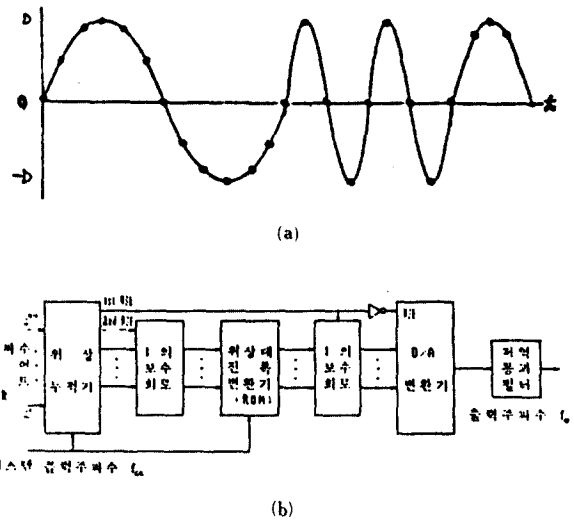


그림 1. 위상누적방식
Phase accumulating method
(a) 파형합성과정
The process of waveform synthesis
(b) 시스템 구성도
System block diagram

가해지는 출력주파수의 초기 위상값(ϕ_k) 표본화시간(클럭주파수)마다 누적시켜 해당 출력주파수를 얻는데 비해, 클럭주파수 합성방식에서는 초기 위상값을 일정하게 하고 출력주파수에 따라 표본화시간(클럭주파수: f_{cks})을 가변하는 방식으로 (1)식으로 주어지는 출력주파수가 얻어진다.

$$f_o = k_d \cdot f_{ref} / (2^n \cdot N) \quad (1)$$

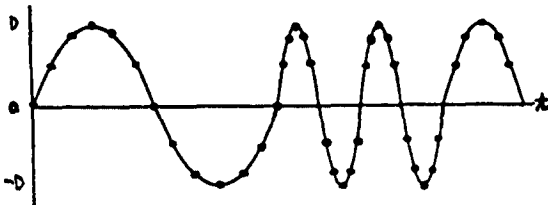
- k_d : PLL회로의 분주정수,
- f_{ref} : PLL회로의 기준주파수.
- n : 위상대 진폭 변환기의 입력 비트수.
- N : 계수회로의 계수상태.

클럭주파수(f_{cks})를 가변시키는 방법으로 분주기를 생각할 수 있으나, 출력주파수의 해상도를 일정하게 유지할 수 없으므로 PLL회로를 사용한다. 이때 출력주파수의 해상도 f_s 는 (2)식과 같이 PLL회로의 기준주파수와 위상대 진폭변환기에 저장된 데이터수의 비율에 따라 나타나게되어, 위상누적 방식과 같은 일정한 주파수

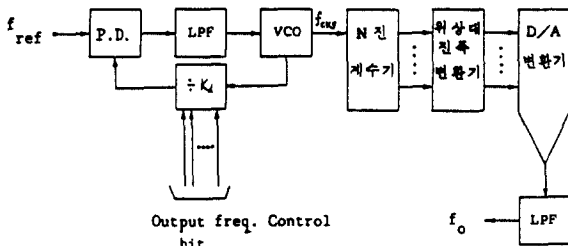
해상도를 얻을 수 있다.

$$f_s = f_{ref} / (2^n \cdot N) \quad (2)$$

이에 따라 위상누적 방식에서 나타났던 출력파형상의 주기적인 왜곡현상이 없어졌으나, PLL 회로의 후단에 위치한 계수기의 영향에 따라 계수상태 N에 반비례하여 출력대역폭이 줄어들었고, PLL 회로가 부가되므로써, 회로구성이 복잡해지고 PLL의 과도응답에 따라 출력주파수 해상도 및 안정도가 결정되는 등 전체 시스템 성능이 PLL 회로에 좌우되는 단점을 가지게 된다.⁽⁷⁾⁽⁸⁾



(a)



(b)

그림 2. 클럭주파수 합성방식
Clock counting method.
(a) 파형합성과정
The process of waveform synthesis
(b) 시스템 구성도
System block diagram

이와같은 원리에 따라 구성되는 클럭주파수 합성방식의 파형합성 과정과 계통도는 그림2와 같다.

시스템은 표본화 주파수를 발생하는 PLL 부분과 출력파형 합성부분으로 나뉘게 되는데, PLL 부분은 그림3과 같이 20MHz까지의 구형파를 발생하는 ECL(Emitter coupled Logic)계열의 MC 4024(V.C.O. Voltage Controlled Oscillator)와 MC 4044(P.D. Phase Detector), TTL계열의 74LS192(Synchronous up/down counter, decade) 및 2차 저역통과필터를 이용하여 기준주파수 $f_{ref}=128\text{KHz}$ 의 2⁷분주배에 해당되는 클럭주파수(f_{cks})를 16.4MHz까지 발생시켰다.

그림4와 같은 출력파형 합성부분에서는 CD4040B(2¹² ripple counter)를 사용하여 2⁸진 계수 회로를 만들었고, access시간이 200nsec인 2732K EPROM을 이용하여 출력정현파의 한주기에 해당되는 진폭데이터를 (3)식과 같은 산출식에 의해 256개의 이산값으로 저장하여 위상대 진폭 변화기를 구성하였다.

$$D = 2^{n-1} - 1 + 2^{n-1} \cdot \sin(\pi k / 2^{n-1}) \quad (3)$$

D: ROM에 기록된 진폭값.

n: 위상대 진폭변환기의 입력 비트수.

k: 0, 1, ..., 2ⁿ: 정수값

또한 정현파 이외의 파형을 얻기위해 계수회로에서 14053(analog switch)을 사용하여 위상대 진폭회로를 거치지 않고, 직접 74LS86(Ex-or)의 1보수회로를 거쳐 D/A변환기에 연결하였다. D/A변환기는 Settling 시간이 150nsec인 8비트 DAC 0808을 사용하였고, 전류원 출력을 LF351 OP AMP를 사용하여 전압원 출력으로 변환하였다.

D/A변환기의 전, 후단에는 glitch 잡음을 줄이기 위한 Buffer로서 74HC 273(D flip-flop)을 이용하였고, 최종단의 저역통과 필터로는 차단주파수 $f_c=260\text{KHz}$ 로 하고, 임, 출력임피던스를 50ohm로 하여, 60dB/oct의 감쇄를 갖도록 그림4(a)와 같이 10차 Butterworth LC필터를 구성하였으며, 실제 감쇄특성은 그림4(b)와 같았다.

III. 시스템 구성

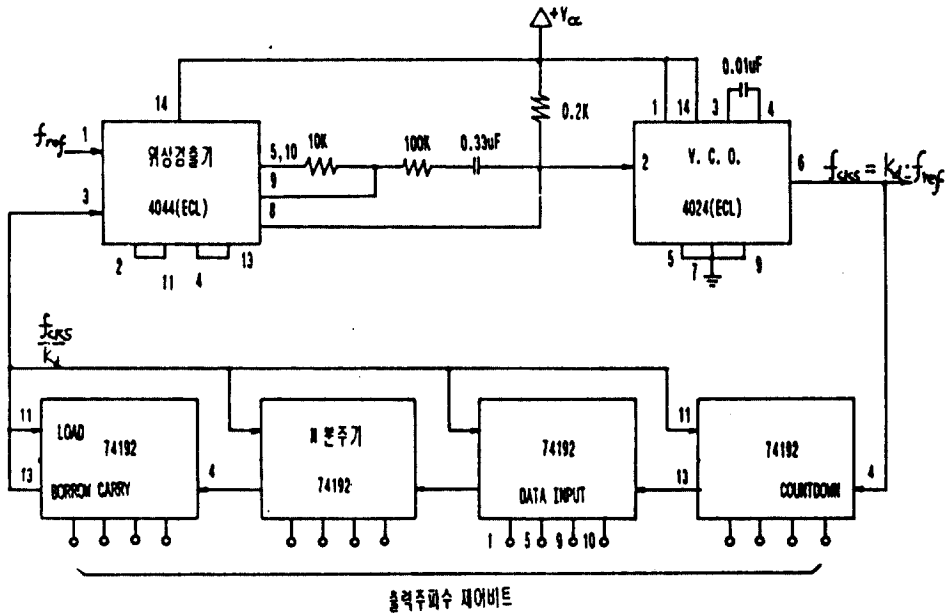
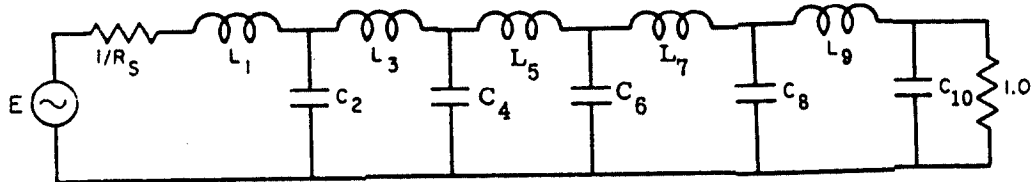
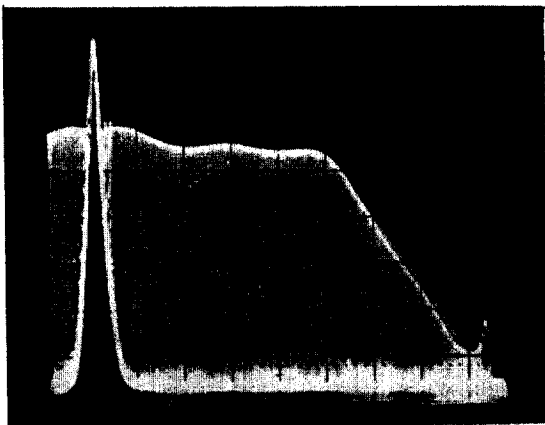


그림 3. PLL부분의 회로도.
PLL circuit



1.0000	0.3129	0.9080	1.4142	1.7820	1.9754	1.9754	1.7820	1.4142	0.9080	0.3129
1/R _s	L ₁	C ₂	L ₃	C ₄	L ₅	C ₆	L ₇	C ₈	L ₉	C ₁₀

(a)



(b)

그림 4. 10차 Butterworth 저역통과 필터의 구성 및 차단 특성.

Composite & attenuation characteristics of 10th order Butterworth low pass filter.

(a) 회로구성

Ccuit composite

(b) 차단특성

Attenuation characteristics

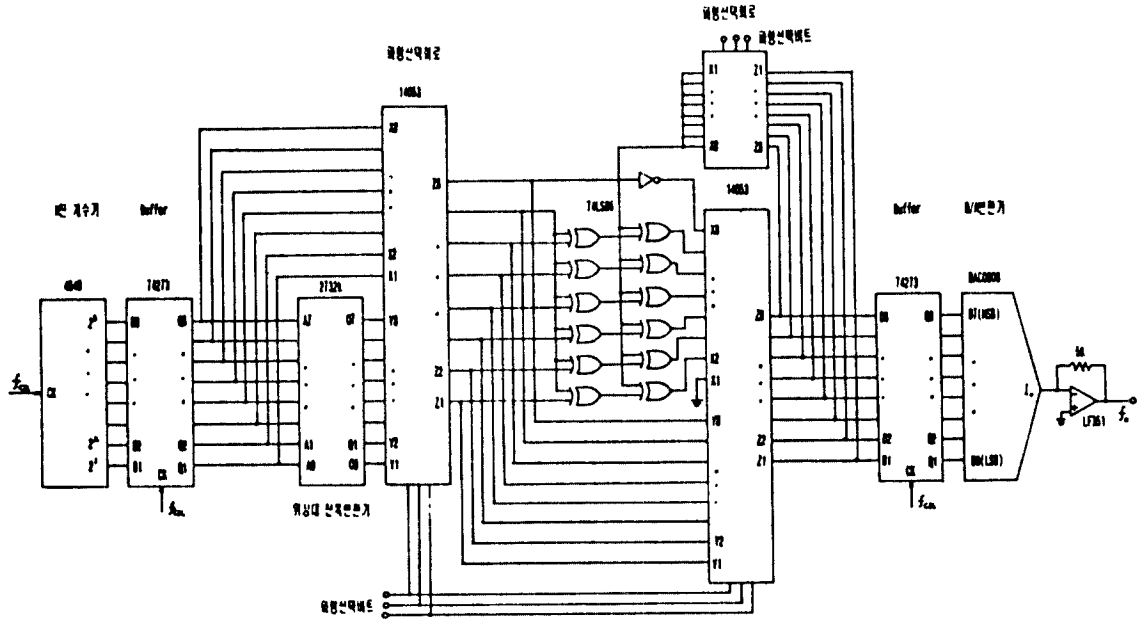


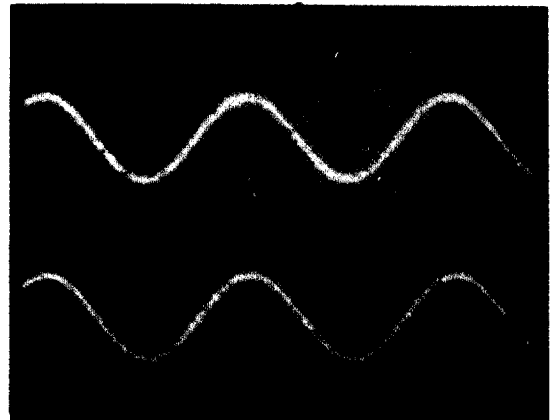
그림 5. 파형합성부의 회로도
The circuit of waveform synthesizer

IV. 실험결과 및 검토

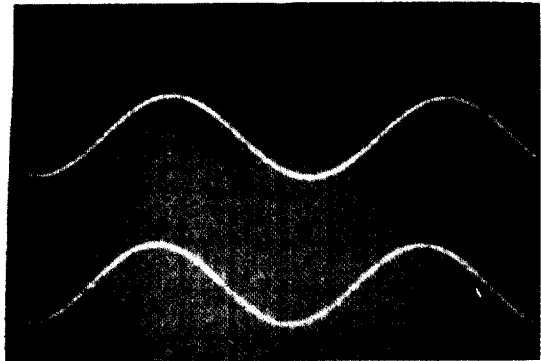
사진1~3은 참고문헌(1)에 의한 위상누적 방식과 설계제작된 클럭주파수 합성방식에 의해 발생된 정현출력 파형에 대한 비교로서, 위상누적 방식에서 출력스펙트럼상에 양자화오차에 의한 고조파 잡음성분이외에도 위상누적시 발생하는 주기적인 출력왜곡 현상에 의해⁽⁴⁾발생되는 잡음성분이 부가되어, 60~55dB의 신호대 잡음비를 가졌으나 클럭주파수 합성방식에서는 출력주파수가 증가하더라도 출력스펙트럼상에 양자화 오차에 따른 -100dB이하의 고조파 잡음성분만이 나타났다.

클럭주파수 합성방식에서 최대 출력주파수는 ROM의 access 시간과 D/A 변환기의 변환시간에 좌우되며, 그중 규격상 ROM의 access시간이 200nsec로서 더 길게 되어, 최저 19.5KHz까지 정현파 출력이 가능하다고 계산되었으나, 사진4와 같이 출력 가능한 최대주파수는 14.5KHz까지였다.

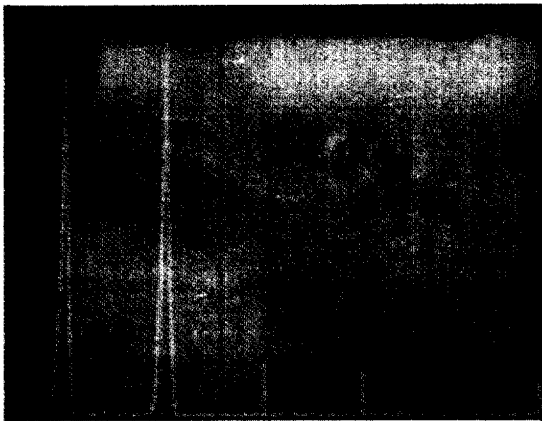
사진5~7은 디지털 주파수 합성기의 부가기능인 정현파이외의 파형을 발생시킨 결과로서, 삼각파, 구형파 및 톱날파형도 그림5의 파형선택 회로를 사용하여 발생시킬 수 있었고, 출력 최고 주파수까지 삼각파나 톱날파에 약간의 glitch 잡음성분만이 포함된 양호한 특성을 얻을 수 있었다. 사진8은 전체실험 시스템을 나타냈다.



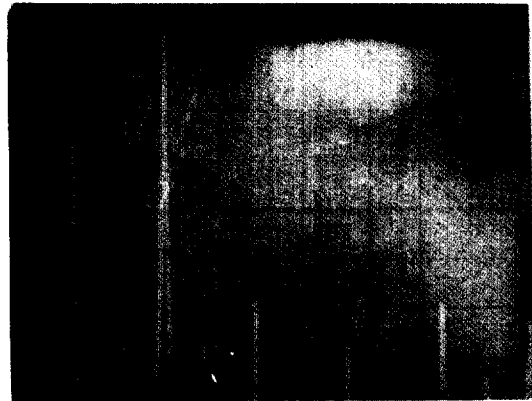
(a)
출력파형
Output waveform
상: 위상누적방식
Up: Phase accumulating method
하: 클럭주파수 합성방식
Down: Clock counting method
Hor.: 0.5msec / div
Ver.: 5V / div



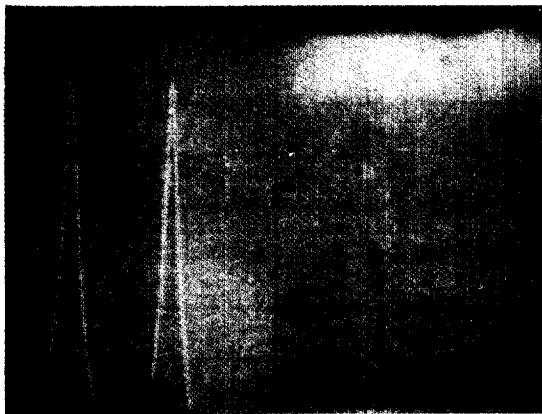
(a)
출력파형
Output waveform
상: 위상누적방식
Up: Phase accumulating method
하: 클럭주파수 합성방식
Down: Clock counting method
Hor.: 50msec / div
Ver.: 5V / div



(b)
위상누적방식의 스펙트럼
Output spectrum for phase accumulating method
시스템클럭주파수 $f_{ck}=1.048\text{MHz}$
초기위상값 $\phi_k=418\text{HEX}$



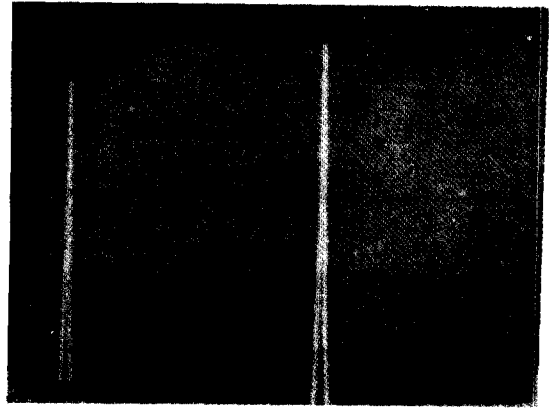
(b)
위상누적방식의 스펙트럼
Output spectrum for phase accumulating method
시스템클럭주파수 $f_{ck}=1.048\text{MHz}$
초기위상값 $\phi_k=D2\text{HEX}$



(c)
클럭주파수합성방식의 스펙트럼
Output spectrum for clock counting method
합성 클럭주파수 $f_{cks}=256\text{KHz}$
Hor.: 500Hz / div
Ver.: 10dB / div
사진 1. $f_0=1\text{KHz}$ 일때의 출력파형과 스펙트럼
Output waveform & spectrum for $f_0=1\text{Hz}$.

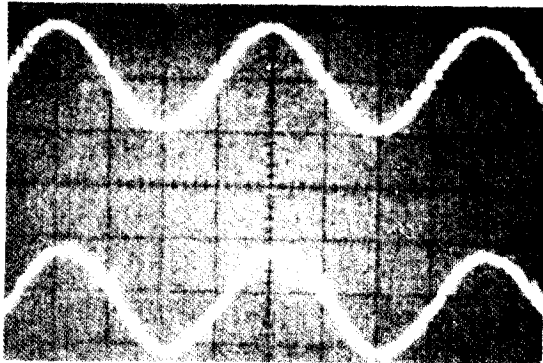


(c)
클럭주파수합성방식의 스펙트럼
Output spectrum for clock
counting method
합성 클럭주파수 $f_{cks}=1.28\text{KHz}$
Hor.: 5KHz / div
Ver.: 10dB / div



(c)

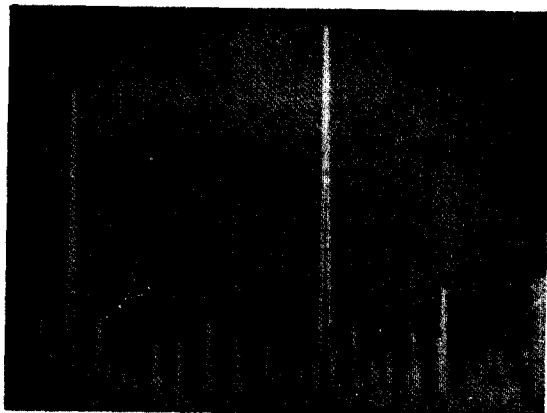
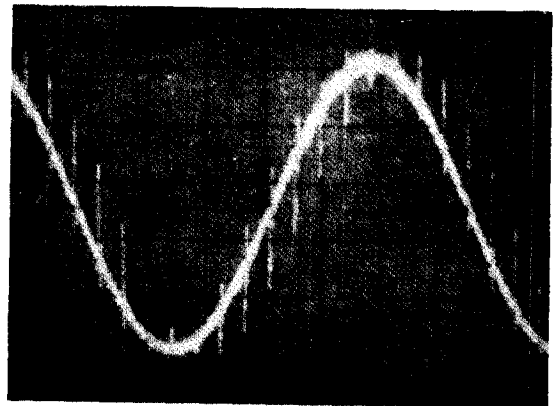
사진 2. $f_0=5\text{KHz}$ 일때의 출력파형과 스펙트럼
Output waveform & spectrum for $f_0=5\text{KHz}$.



출력파형 (a)
Output waveform
상: 위상누적방식
Up: Phase accumulating method
하: 클럭주파수 합성방식
Down: Clock counting method
Hor.: 20msec / div
Ver.: 5V / div

클럭주파수합성방식의 스펙트럼
Output spectrum for clock
counting method
합성 클럭주파수 $f_{cks}=2.56\text{KHz}$
Hor.: 2KHz / div
Ver.: 10dB / div

사진 3. $f_0=10\text{KHz}$ 일때의 출력파형과 스펙트럼
Output waveform & spectrum for $f_0=10\text{KHz}$.



(b)

위상누적방식의 스펙트럼
Output spectrum for phase
accumulating method
시스택클럭주파수 $f_{ck}=1.048\text{MHz}$
초기위상값 $\phi_k=69\text{HEX}$

사진 4. 클럭주파수 합성방식에 의한 최대출력주파수 합성파형

Output waveform at the maximum frequency in the clock counting method

출력주파수 $f_0=14.5\text{KHz}$, 합성클럭주파수 $f_{cks}=3.7\text{MHz}$

Hor.: 10msec / div, Ver.: 2V / div

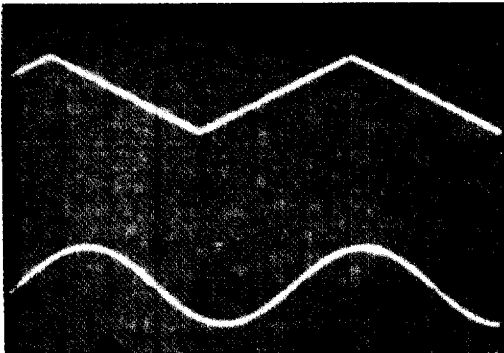


사진 5. 삼각파의 정현파
 Triangle wave & sinusoidal wave
 출력주파수 $f_o=8.5\text{KHz}$, 합성클럭주파수 $f_{cks}=2.18\text{MHz}$
 Hor.: 20msec/div, Ver.: 5V/div

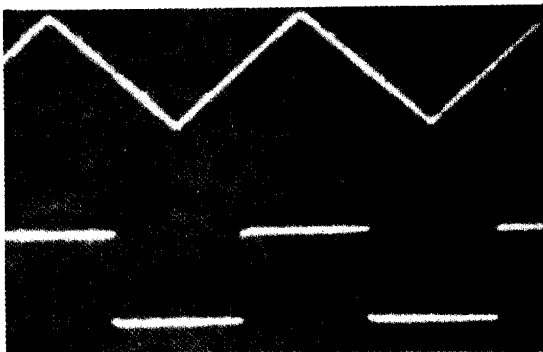


사진 6. 삼각파와 구형파
 Triangle wave & Pulse wave
 출력주파수 $f_o=4.5\text{KHz}$, 합성클럭주파수 $f_{cks}=1.15\text{MHz}$
 Hor.: 50msec/div, Ver.: 5V/div

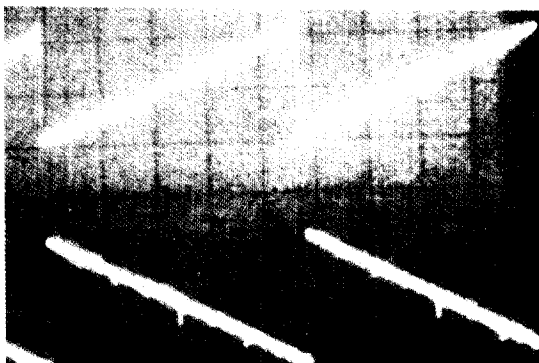


사진 7. \pm 기울기의 톱날파
 Sawtooth wave of \pm tilt
 출력주파수 $f_o=4.5\text{KHz}$, 합성클럭주파수 $f_{cks}=1.15\text{MHz}$
 Hor.: 50msec/div, Ver.: 5V/div

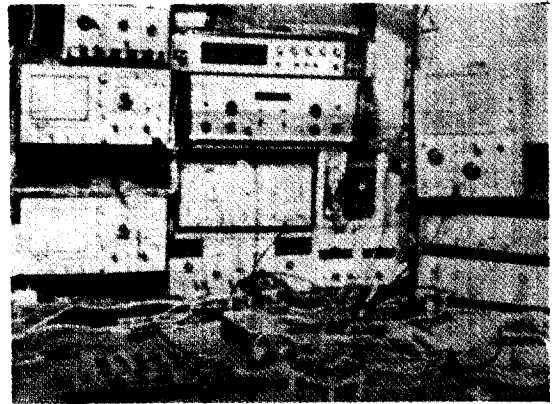


사진 8. 전체 실험시스템
 Experimental construction

V. 결 론

본 논문에서는 디지털주파수 합성기를 클럭주파수 합성방식에 의해 회로를 구성하여 실험하였다.

실험결과 출력파형의 왜율면에서 클럭주파수 합성방식이 참고문헌⁽¹⁾⁻⁽⁴⁾에서 구성된 위상누적 방식보다 합성파형의 출력품질면에서 우수하여, 정현출력 주파수 1KHz일 경우 왜율의 측정결과가 $-53\text{dB}(0.22\%)$ 가 되어, 현재 쓰이고 있는 대부분의 신호발생기의 왜율특성이 $0.2\sim 0.5\%$ 에 비추어 볼때, 충분히 상용화가 가능한 것으로 판단되었다. 그러나 클럭을 공급하는 PLL회로가 부가되므로 주파수가 높아질수록 PLL의 locking 시간에 의해⁽⁷⁾⁽⁸⁾ 연속적인 주파수 출력에 왜곡이 발생되었고, 대역확장을 위해 표본화수를 줄이기 위해서는 파형정형회로가 필요하게 되어 시스템 구성이 어려워지는 단점이 있었다.

그리고 PLL의 정상동작 범위내에서 최대출력 주파수 대역은 데이터 처리시간이 가장 늦은 ROM에 의해 제한되며, 출력파형의 왜율은 D/A 변환기의 비트수에 따라 결정됨을 실험상 알수 있었고, 따라서 위의 결과를 기존 위상누적 방식의 성능과 종합비교하면 표1과 같은 사항을 얻을 수 있었다.

표1. 클럭주파수 합성방식과 위상누적방식의 성능비교.
The performance comparison of the clock counting method with the phase accumulating method.

구성 비교대상	클럭주파수 합성방식(본논문)	위상 누적 방식(기준)
출력주파수 대역	$f_o = K_d \cdot \frac{f_{ref}}{2^n \cdot N}$ <p> K_d : PLL 분주정수 f_{ref} : PLL 기준주파수 n : 위상대진폭변환기의 입력비트수 N : 계수회로의 계수상태 </p>	$f_o = K \cdot \frac{f_{ck}}{2^n}$ <p> K : 초기위상값 데이터. f_{ck} : 시스템클럭주파수 n : 위상누적기의 출력위상값 </p>
주파수해상도 (최소주파수간격)	$f_s = f_{ref} / 2^n \cdot N$	$f_s = f_{ck} / 2^n$
주요성능열화 요인	<p>1) PLL 클럭주파수 합성회로의 지연시간 2) 양자화 오차;</p> <ul style="list-style-type: none"> • 진폭 및 위상양자화 오차만을 고려 • 신호대 잡음비(SNR dB) $\approx -\log \sqrt{\frac{0.44}{2^{4A}} + \frac{46.0}{2^{4B}}}$ <p>(A : 진폭데이터 비트, B : 위상데이터 비트)</p>	<p>1) 양자화 오차 2) K선택에 따라 주기적 파형왜곡에 기인한 불요잡음;</p> <ul style="list-style-type: none"> • 진폭 및 위상양자화오차 이외의 주기적 파형왜곡에 의한 불요잡음 부가 • 잡음전력 $= \sum_{i=0}^{2^n-1} \left \sum_{l=0}^{2^n-1} \epsilon_l \cdot \exp[-j \frac{2\pi}{2^n} il] \right ^2$ <p>(ϵ_l : 양자화잡음 및 파형왜곡에 의한 부가잡음).</p>

좀더 넓은 출력주파수 대역을 얻기 위해서는 기존에 제작된 위상누적 시스템을 ECL계통의 고속소자로 대체하여 주파수대역을 확대시킨후 이를 클럭주파수로 하여 ECL계통의 고속소자로 구성된 클럭주파수 합성시스템을 구동시키게 되며 10MHz 정도까지의 대역확장이 가능하리라 예측되며 저왜율 신호파형을 발생시키기 위해서는 좀더 비트수가 크고 settling시간이 짧은 D/A 변환기를 사용하면 가능하리라 예상된다.

参 考 文 献

1. 김원후, "대역확산 통신방식에서 고속주파수 호핑 시스템에 사용될 주파수합성기의 실현에 관한 연구," 한국음향학회지, 제7권 2호, 1988년 6월.

2. H.W. Copper, "Why complicated Frequency Synthesizer?," Eletronics Design 15, July 19, 1974.
 3. J.D.Forgarthy, "Digital Synthesizer Produce Wide Frequency Range from Single Source," Computer Design, pp. 100-102, July 1975.
 4. J.Tierney, et al., "A Digital Frequency Synthesizer," IEEE Trans. Audio Electroacoust, Au-19, pp. 43-57, Mar. 1971.
 5. J.Gorski-Popioel, Frequency Synthesis Technique and Application, IEEE PRESS. 1975.
 6. U. Manassenwitsch, "Frequency Synthesizer Theory and Design," New York: John Wiley & Sons, pp. 7-37, 1976.
 7. R.E.Best, Phase-Locked Loops Thoery, Design and Applications, New York: McGrow-Hill, 1984.
 8. U.L.Rhode, Digital PLL Frequency Synthesizer Thoery and Design, Engle wood cliffs, NJ: Prentice-Hall, Inc., pp. 309-351, 1983.



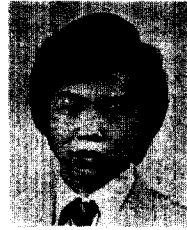
張 殷 永 (Eun Young CHANG) 正會員
1960年 3月23日生
1978. 3~1982. 2 : 韓國航空大學 航空
電子工學科 卒業(工
學士)
1986. 3~1988. 2 : 同大學 大學院 電子
工學科 卒業(工學碩
士)
1987. 2~1988. 8 : 同大學 航空電子工
學科 助教

1988. 3~現在 : 同大學 大學院 電子工學科 博士 課程

1989. 3~現在 : 湖西大 時間講師

1982. 3~1985. 3 : 空軍將校 服務

1985. 4~1986. 2 : 金星通信(株) 勤務



鄭 容 周 (Young Ju JUNG) 正會員
1963年 9月30日生
1982. 3~1986. 2 : 韓國航空大學 通信
工學科 卒業(工學士)
1986. 3~1988. 2 : 同大學 大學院 電子
工學科 卒業(工學碩
士)
1988. 3~現在 : 陸軍 服務中



金 元 厚 (Won Hoo KIM) 正會員
1935年 2月 1日生
1959年 3月 : 韓國航空大學 電子科 卒業
(工學士)
1975年 2月 : 漢陽大學校 大學院 電子科
卒業(工學碩士)
1988年 2月 : 慶熙大學校 大學院 電子科
卒業(工學博士)
1989年~現在 : 韓國航空大學 航空電子
工學科 教授