

TDX-1 공통선 신호 모듈 성능 평가

正會員 奇 長 根* 正會員 李 成 宰** 正會員 鄭 基 碩*
 正會員 韓 雲 英** 正會員 金 惠 鎮* 正會員 車 均 鉉*

Performance Evaluation of the Common Channel Signalling Module in TDX-1

Jang Geun, KI* Sung Jae LEE,** Gi Seog JEONG* Woon Young HAN,**
 Duck Jin KIM*, Kyun Hyon TCHAH* *Regular Members*

要 約 본 연구에서는 TDX-1 교환기 내에서 No. 7 공통선 신호방식의 메시지 전달부 기능을 잘차를 구현하고 있는 CSM(Common channel Signalling Module) 모듈에 대해 교환기가 신호방식에선 사용되는 모의에 따라 SEP 기본 모델, STP 기본 모델을 설정하고 이 기본 모델들에 대해 시뮬레이션을 통한 성능 평가를 수행, 그 결과를 실험치와 비교, 분석하여 최대 메시지 처리 용량, 메시지당 처리 지연시간, 시스템 성능 제한 요소 등을 밝히 내었다. 또한 최적의 CSM 구조를 도출해내기 위해 STB 갯수 변화, STG bus 속도 변화, CSIOB 처리 속도 변화, B bus 속도 변화, 한 poll당 전송 가능 메시지 수 변화 등의 여러가지 변화들에 대해 시뮬레이션을 통한 성능 분석을 수행하였다.

ABSTRACT In this paper, performance evaluation of the common channel signalling module(CSM) which performs the message transfer part function of the CCITT No. 7 in TDX-1 exchange is carried out. Simulation model is developed using SLAM II network nodes according to signalling mode and translated into SLAM II statements. The simulation results are compared with experimental results and analyzed in order to get the maximum throughput, processing delay time, bottleneck element. Also, in order to get the optimized structure of the CSM, simulation is performed on the various case, namely, change of the number of STB, change of STG bus or B bus speed, change of CSIOB, processing speed, change of the number of transferred message per one poll.

I. 서 론

일반적으로 대형 전자 교환기의 신호 시스템 개발에는 시스템의 안정도, 신뢰도 및 성능 평가에 관한 연구가 함께 수행되어야 하며 특히 성능 평가에 관한 연구는 대상 시스템의 전체 동작에 대한 구조적 이해를 도움 뿐만 아니라 시스템의 최대 처리 용량 등을 예측하고 시스템의 실제 운용시 발생할 수 있는 성능제한 요소들을 미리 검출하여 이를 제거할 수 있게 함으로써 시스템의 성능을 최대로 향상시킬 수 있는 최적의 구조를 결정하는데 도움을 주며 또한 새로운 시스템의 개발 및 기존의 시스템과의 성능 비교를 위한 유용한 기초 자료를 제공해 줄 수 있다.

그런데 교환기의 신호메시지 처리 용량과 신호 시스템의 구조사이에는 밀접한 관계가 있으므로 시스템 개발시 시스템 용량 즉, 최대 신호링크 수, 최대 메시지 처리능력, 메시지 처리 지연시간 등에 대한 고찰이 반드시 수행되어야 하며, 이러한 성능 평가 연구를 통해 얻어지는 결과들은 시스템 구조 설정 및 개조, 개선시 반드시 반영되어야 할 중요한 요소들이다.

본 연구에서는 TDX-1 전자교환기¹⁾가 종합 정보통신망내에서 사용될 수 있도록 하기 위하여 한국전자통신연구소에서 개발되고 있는 CCITT No. 7 신호방식의 메시지전달부²⁾ 기능모듈인 CSM(Common channel Signalling Module)³⁾에 대한 성능 평가의 일환으로 시뮬레이션 전용 언어인 SLAM II⁴⁾의 network node를 이용하여 CSM 모듈의 구조 및 동작 원리와 시스템 성능에 영향을 미치는 파라미터들을 반영하는 시뮬레

*高麗大學校 電子電算工學科
 Dept. of Electronic and Computer Eng., Korea University.
 **韓國電子通信研究所 ISDN信號研究室
 Dept. of ISDN technology, Electronics & Telecommunications
 Research Institute.
 論文番號 : 91-68(接受1991. 3. 9)

이션을 개발하였고 이를 프로그래밍하여 시뮬레이션 실행을 수행하였다. 특히 시뮬레이션 모델 구성 시 인터럽트 처리과정을 반영함으로써 보다 정확한 성능 평가 결과를 얻을 수 있도록 하였다. 시뮬레이션 결과의 타당성을 검증하기 위해 SEP, STP 기본 모델에 대한 실험치와 비교, 분석하였으며, 최적의 CSM 구조를 도출해내기 위해 여러가지 방안들에 대해 시뮬레이션을 수행하였다.

II. TDX-1 No. 7 신호시스템 구조 및 동작

CSM 모듈^{15,7}에 대한 전체적인 구조를 그림 1에 나타내었다.

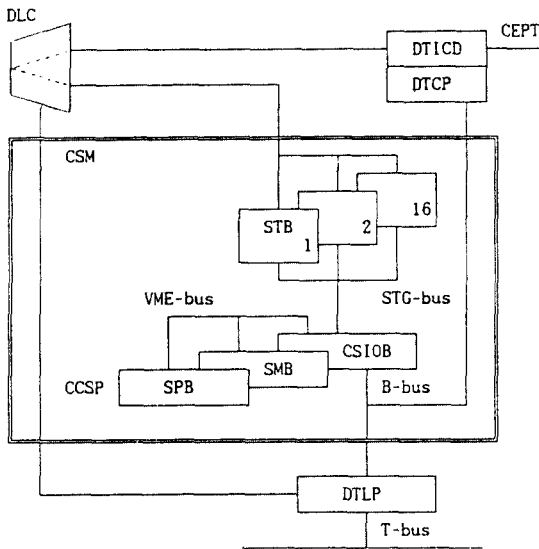


그림 1. CSM 하드웨어 구조
Fig. 1. Structure of the CSM

STB(Signalling Terminal Board)는 No. 7 공통신 신호방식 실현을 위한 메시지 전달부¹⁶로서 기능중 신호 데이터 링크 및 신호링크 기능을 담당하는 신호 단말기이다. SDL(Signalling Data Link)과의 접속은 2.048 Mbps PCM highway

를 통해 DLC(Data Link Concentrator)와 연결되고, 계층 3 프로세서(CCSP : Common Channel Signalling Processor)와의 접속은 global 버스 형태의 STG(Signalling Terminal Group)-bus를 통해 이루어진다.

CCSP는 No. 7 공통신 신호방식의 메시지 전달부 기능중 계층 3 신호방 기능을 담당한다. CCSP는 메인 프로세서 보드인 SPB와 메모리 보드인 SMB 및 IO 처리를 위한 CSIOB 보드로 구성되며, 각 보드는 표준 VME-bus로써 연결된다. CSIOB는 STG-bus를 통한 STB와의 접속기능을 제공하여 계층3(SPB)과 계층2(STB) 사이의 메시지 전달기능을 갖고, 상위계층 프로세서(DTLP)와의 통신을 위한 B-bus 접속기능을 제공한다. CSIOB는 STG bus 및 B-bus 접속에서 SPB와 STB 사이 또는 SPB와 DTLP간의 정보전달기능만 수행할뿐이며, 정보를 해석하지 않는다. CCSP에서 SPB와 CSIOB와의 통신은 DPRAM(dual port RAM)을 통해 이루어진다. CSIOB는 slave mode로만 동작하므로 항상 local resource를 액세스하며 따라서 master와의 VME bus arbitration은 필요없게 된다. 이는 CCSP에서 유일한 master인 SPB의 VME-bus 이용도를 최대로 하여 성능을 높이기 위한 것이다.

STG-bus는 최대 16대까지의 STB를 SPB에 연결시키는 버스로서 CSIOB는 STG-bus의 master 기능을 수행한다. STG-bus는 16MHz에서 분주된 1M clock을 이용한 1Mbps half duplex 통신모드의 polling방식으로 구현된다. STB에서 CSIOB로의 전송에서는 데이터 충돌을 방지하기 위해 STB는 CSIOB로부터 poll.req를 받고 데이터를 전송한다. 즉 CSIOB에서 poll.req로 요구하고 일정시간동안 패킷이 입력되기를 기다리며, STB에서는 전송 메시지가 없을때 poll.lack로 응답하고, 메시지가 있을때는 data.ind로 응답한다. CSIOB는 패킷을 받고 다음 STB 노드에 대해 polling을 시행한다. CSIOB에서 STB로의 전송에서는 메시지 포맷 내의 수신어드레스로 구분되며, 패킷의 전송은

polling sequence와는 상관없이 한 STB와의 polling 이 완료될 때마다 즉 새로운 STB 노드에 polling을 실시하기 직전에 확인하여 존재할 경우 이루어지며, STB는 CSIOB로 부터 메시지를 수신하고 data ack를 보낸다.

B bus는 메시지 전달부의 상위 프로세서인 TDX 1계열의 DTLP와 연계되는 버스이다. 이때 CSIOB는 B bus의 slave로 동작한다.

Ⅲ. 시뮬레이션에 의한 성능 분석

1. CSM의 시뮬레이션 모델링 및 프로그램 개발

CSM모듈의 성능 분석을 위한 시뮬레이션 모델을 개발하기 위해서는 CSM을 구성하고 있는 각 프로세서 보드와 버스의 구조 및 동작 원리와 각 메시지 처리 단계 별로 성능에 영향을 미치는 요소, 즉 처리시간이 상대적으로 긴 요소들을 추출하여 이를 시뮬레이션 모델에 반영하여야 한다.

CSM 모듈에서 신호 메시지가 처리될때 거치는 경로를 살펴보면 그림 2와 같고, 하나의 신호 메시지가 CSM모듈에 입력되어 모든 처리를 마치고 DTLP로 빠져나가는 시간인 CSM 모듈이 한 메시지당 처리 지연 시간은 표 1에 나타낸 각 stage별 지연시간 요소들의 합과 같다.

표1에서 각 단계별 지연시간 요소들 중 CSIOB의 서비스를 기다리는 대기시간은 STB 또는 DTLP 또는 SPB로 부터 메시지가 도착할 때마다 CSIOB CPU에 인터럽트가 걸리게 되므로 입력되는 메시지 양에 따라 가변된다. 또한 마찬가지로 이유로 CSIOB가 STB로 poll req를 보내는 주기 역시 메시지 양에 따라 가변된다.

이상과 같이 살펴본 CSM모듈의 동작원리 및 처리 지연시간 요소들을 반영하도록 Pritsker & Associates, INC.사의 시뮬레이션 전용언어인 SLAM II network node²들을 사용하여 시뮬레이션 모델을 구성하였다. 시뮬레이션 모델 구성시 STB 보드는 신호메시지 처리에 대한 bott

표 1. 메시지 종류에 따른 각 stage별 처리지연시간 요소
Table 1. Message processing delay element of each stage

종류	stage별 지연 시간 요소
incoming SEP 메시지(성대단으로부터 수신한 메시지)	1. STB보드에서의 신호링크 기능 프로토콜처리시간
	2. STG-bus 서비스 대기시간(poll req 수신할때까지의 대기시간)
	3. STG-bus 통과시간
	4. CSIOB 서비스 대기 시간
	5. CSIOB 서비스 시간(ST→CSIOB매에서 T DPRAM으로 메시지 이동시간)
	6. SPB보드에서의 신호링크기능 프로토콜 처리시간 (T DPRAM⇒SPB⇒R DPRAM)
	7. CSIOB 서비스 대기 시간
	8. CSIOB 서비스 시간(R DPRAM에서 CSIOB→DTLP매로의 메시지 이동시간)
	9. B bus 서비스 대기 시간
	10. B bus 통과시간
outgoing SEP 메시지(성대단으로 전송한 메시지)	1. B bus 서비스 대기 시간
	2. B bus 통과시간
	3. CSIOB 서비스 대기 시간
	4. CSIOB 서비스 시간(DTLP→CSIOB에서 T DPRAM으로 메시지 이동시간)
	5. SPB보드에서의 신호링크기능 프로토콜 처리시간 (T DPRAM⇒SPB⇒R DPRAM)
	6. CSIOB 서비스 대기 시간
	7. CSIOB 서비스 시간(R DPRAM에서 CSIOB→ST 매로의 메시지 이동 시간)
	8. STG-bus 서비스 대기 시간
	9. STG-bus 통과시간
	10. STB보드에서의 신호링크기능 프로토콜처리시간
SEP 메시지	incoming SEP 메시지의 ①~⑩ 단계 + outgoing SEP 메시지의 ①~⑩ 단계

leneck 요소가 되지 않고 충분히 입력메시지를 처리할 수 있다는 가정하에 STB 보드 차체내에서의 처리 과정은 모델에 반영하지 않았으며 DTLP 보드에서의 처리과정 역시 같은 가정하에 모델링에 포함시키지 않았다. 그리고 B bus에

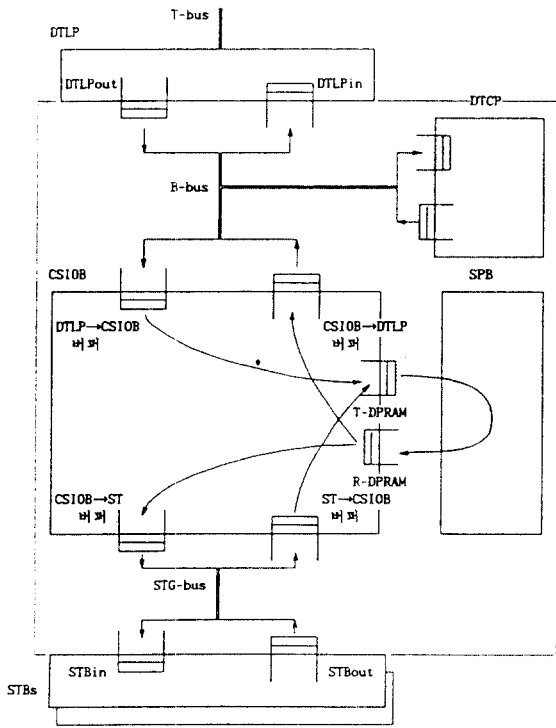


그림 2. CSM 모듈에서의 메시지 처리 경로
Fig. 2. Message Processing path in the CSM module

연결 되어있는 DTCP는 No. 7 신호 메시지와 직접적인 관련은 없지만 B bus의 성능에 영향을 미칠 수 있으므로 모델에 반영하였다. 구성된 시뮬레이션 모델은 SLAM II statement들로 변환하여 시뮬레이션 프로그램을 작성하였다. 프로그램 작성시 하드웨어적인 구조(예 : STB 보드수, 버스 전송 속도 등) 변경이나 입력 파라미터들에 대한 변경이 용이하도록 프로그램 초기화 부분에서 이 값들만을 바꾸어주면 main routine 에 대한 수정없이 시뮬레이션이 가능하도록 프로그램을 작성하였다.

2. 실험 및 검토

No. 7 신호망에서 기본이 되는 노드는 신호점(SEP : signalling end point) 및 신호전달점(STP : signalling transfer point)으로 나누어

지는데 신호점은 통화로에 대한 신호 정보 메시지를 생성하거나 이 메시지가 신호망을 통해 전달될때 최종 목적지가 되며, 신호전달점은 신호점들 사이에 신호 메시지를 중계해주는 역할을 수행한다. 따라서 신호망의 노드로 사용되는 교환기는 신호망에서의 응용에 따라 SEP나 STP 모드로 사용이 가능하며 두가지 기능을 모두 수행하는 C-STP(combined STP)모드으로도 사용 가능하다. 본 연구에서는 TDX-1교환기내에서 No. 7 신호방식의 기능과 절차를 구현하고 있는 CSM 모듈에 대해 교환기가 사용되는 모드에 따라 SEP 기본 모델, STP 기본 모델을 설정하고 이 기본 모델에 대한 시뮬레이션 결과와 실험치를 비교, 분석하였으며, 또한 최적의 CSM 구조를 도출해내기 위해 여러가지 방안들에 대해 시뮬레이션을 통한 성능 분석을 수행하였다.

가. SEP 모델에 대한 성능 평가

SEP 모델에 대한 기본 규격을 표 2와 같이 설정하였다.

표 2의 기본 모델에서 변수 XX(1)은 각 STB 보드로 입력되는 상대단 신호 메시지의 도착 시간 간격을 나타내며 이 값은 초당 입력되는 메시지 수의 역수와 같고 아래와 같은 식에 의해서도 계산될 수 있다.

각 STB당 메시지 도착 시간 간격

$$= \frac{1}{\text{신호링크전송속도} \times \text{링크의 점유율}} \times \text{신호메시지의 평균길이}$$

표 2에 나타난 XX(1) 값은 STB 보드의 개수가 8대, 링크 전송 속도 64 Kbps, 링크 점유율 약 0.1erl, 신호메시지 평균 길이 280 bit일 경우의 값이며, 이 값을 CSM 모듈의 모든 STB(계층 1)들로부터 초당 200개의 메시지가 입력되는 경우에 해당된다. XX(2)는 계층 4 DTLP로부터 내려오는 outgoing SEP 메시지 도착 시간 간격으로서 계층 4로부터 내려오는 메시지 양과 계층 1을 통해 입력되는 양(초당 200개 메시지)이 같다고 가정하여 위 식의 값을 STB

표 2. SEP 기본 모델에 대한 규격

Table 2. SEP basic model specification

변수	항목	값
XX(1)	각 STB당 계층 1로부터의 메시지 도착시간간격	40000 us
XX(2)	계층 4로부터의 메시지 도착 시간 간격	5000 us
XX(4)	poll req 메시지 길이	72 bit
XX(5)	poll ack 메시지 길이	72 bit
XX(6)	data ack 메시지 길이	72 bit
XX(9)	incoming, outgoing 메시지 평균 길이	280 bit
XX(11)	STG-bus 속도	1 Mbps
XX(12)	B bus 속도	256 Kbps
XX(21)	STB 갯수	8 ea
XX(25)	poll req 하나당 전송 가능한 최대 메시지 수	1 msg.
XX(31)	SPB의 outgoing SEP 메시지 처리시간	720 us
XX(32)	SPB의 incoming SEP 메시지 처리시간	720 us
XX(41)	총 입력 메시지에 대한 SEP 메시지 비율	1
XX(50)	SPB → STB 메시지 입력시 인터럽트 처리시간	304 us
XX(51)	SPB → DTLP 메시지 입력시 인터럽트 처리시간	430 us
XX(52)	DTLP로부터 메시지 입력시 인터럽트 처리시간	120 us
XX(53)	SPB로부터 메시지 입력시 인터럽트 처리시간	203 us
XX(54)	SPB로부터 data ack 수신시 인터럽트 처리시간	50 us
XX(55)	SPB로부터 poll ack 수신시 입력시 인터럽트 처리시간	50 us
XX(61)	CSIOB → STB 메시지 존재시 DMA 처리시간	108 us
XX(62)	CSIOB → STB 메시지 없을때 지연시간	25 us
XX(63)	ST → CSIOB 메시지 존재시 메시지 이동시간	270 us
XX(64)	ST → CSIOB 메시지 없을때 지연시간	25 us
XX(65)	CSIOB → DTLP 메시지 존재시 DMA 처리시간	174 us
XX(66)	CSIOB → DTLP 메시지 없을때 지연시간	25 us
XX(67)	DTLP → CSIOB 메시지 존재시 메시지 이동시간	435 us
XX(68)	DTLP → CSIOB 메시지 없을때 지연시간	25 us
XX(69)	poll req 전송시 DMA 처리시간	96 us
XX(70)	STB의 poll ack 응답시간	50 us
XX(71)	STB의 data ack 응답시간	60 us
XX(72)	STB의 data ack 응답시간	163 us
XX(81)	B bus switchover overhead time	50 us

보드의 갯수인 XX(21)=8로 나눈 값을 지정하였다. XX(4), XX(5), XX(6)은 CSM 모듈내에서만 사용되는 메시지(또는 프리미티브)의 길이를 나타내는 변수로서 각각 72 bit의 길이를 가지며 이 값들은 실제 TDX 1 교환기의 CSM 모듈에서 사용되는 값이다. XX(9)는 상대단으로부터 입력되거나 상대단으로 전송되는 SEP 메시지의 평균길이로서 280 bits로 가정하였다. XX(11)과 XX(12)는 각각 STG bus와 B bus의 속도를 나타내며 STG-bus는 1 Mbps, B bus는 256 Kbps의 속도를 갖는 것으로 SEP 기본

모델을 설정하였다. XX(21)은 STB 보드 갯수로서 8대의 STB가 STG bus에 연결되어 있는 구조를 기본 모델로 설정하였다. XX(25)는 STB가 CSIOB로 부터 poll req 수신시 STB가 CSIOB로 STG-bus를 통해 한번에 전송할 수 있는 최대 메시지 수를 나타내며 1을 기준값으로 설정하였다. XX(31), XX(32)는 SPB에서 outgoing, incoming SEP 메시지에 대한 신호망 기능 프로토콜 처리 시간을 나타내며, 실제 시스템으로부터 측정 및 계산에 의해 얻어진 값인 720 us를 지정하였다. XX(41)은 계층 1로 부터

입력되는 전체 메시지중 SEP 메시지 비율을 나타내는 변수로서 SEP 기본 모델에서는 당연히 1 값을 갖는다. XX(50)부터 XX(55)는 DTLP나 STB 또는 SPB로 부터 메시지 입력시 처리되는 CSIOB의 해당 인터럽트 처리 루틴을 분석하여 얻어진 값들이고, XX(61)부터 XX(69)는 DTLP나 STB로 송신할 메시지가 있을 경우 또는 없을 경우에 대한 처리 루틴을 분석하여 얻어진 값들을 사용하였다. XX(70), XX(71), XX(72)는 계층 2에서 응답시간을 나타내며 계층 2에 대한 소프트웨어 루틴을 분석하여 얻어진 값들이다. XX(81)은 B-bus switchover overhead time으로서 50 us로 설정하였다.

(1) 메시지 도착률 변화에 따른 실험 및 검토

SEP 기본 모델에서 최대 메시지 처리 용량을 구하기 위해 입력되는 메시지양을 차례로 증가시키면서(XX(1)과 XX(2) 값 변경) 시뮬레이션한 결과를 그림 3에 나타내었다. 또한 시뮬레이션 결과의 타당성을 확인하기 위하여 실험치도 그림 3에 함께 나타내었다. 이 실험치는 실제 환경하에서 메시지 처리 지연 시간 및 용량을 구하는 것은 하드웨어 상의 제약 및 테스트 장비 등의 제약으로 인해 곤란하여 계층 4 DTLP 기능을 수행하는 시뮬레이터를 구성하여 주기적으로 메시지를 발생시키고 발생된 메시지는 CSIOB, SPB, CSIOB, STB로 송신된후 STB에서 loopback되어 역순으로 다시 시뮬레이터로 되돌아 오도록 환경을 구성한후 실험하여 얻은 총지연시간을 반으로 나눈 값을 실험치의 지연 시간으로 하였다. 또한 최대메세지처리용량은 CSIOB의 자체 모니터링 기능을 통해 송수신 버퍼 상태등을 표시하도록 하고 STB로 부터 송수신 버퍼의 "full indication"이 발생하는지 검사하여 구하였다.

그림 3에서 시뮬레이션 결과를 보면 메시지 도착률이 약 600 메시지/초 부분에서 incoming SEP 메시지 처리 지연시간이 급격히 증가하고 있으며 이 부분이 시스템의 메시지 처리 한계이므로 SEP 기본모델의 경우 메시지 최대처리

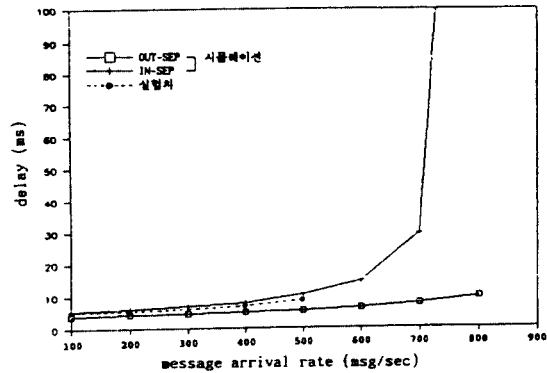


그림 3. 메시지 도착률에 따른 지연 시간(SEP 모드, STB=8대)
Fig. 3. Delay time for the variation of message arrival rate (SEP mode, STB=8)

용량은 초당 약 600 메시지인 것으로 나타났다. 실험치에서는 계층4 시뮬레이션에서 초당 500 메시지를 발생시킬때까지는 정상적으로 동작하였으며 초당 570 메시지를 발생시킬 경우 처리능력이 없는 것으로 나타났다.

최대 메시지 처리용량에 가장 큰 영향을 미치는 요소를 살펴보기 위하여 각 stage별 지연시간을 그림 4에 나타내었다.

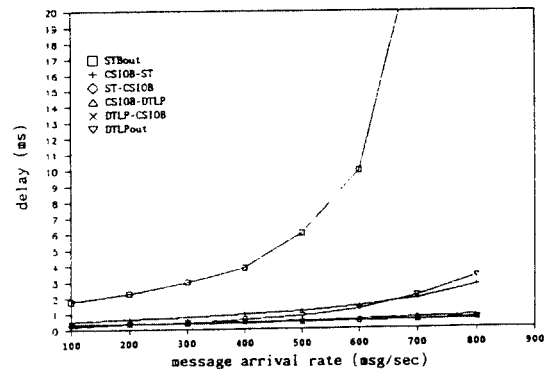


그림 4. 메시지 도착률에 따른 각 stage별 지연시간(SEP 모드, STB=8대)
Fig. 4. Delay time of each stage(SEP mode, STB=8)

그림으로부터 메시지 도착률이 초당 600 메시지일 때 STG-bus를 통과하기 위해 대기하는

큐 STBout에서의 지연 시간이 급격히 증가하고 있음을 알 수 있으며 따라서 STBout 큐에서의 지연시간이 incoming SEP 지연 시간에 절대적인 영향을 미침을 알 수 있다. 그런데 표 3에서 STG bus의 사용률을 보면 메시지 입력량이 많아질수록 사용률은 오히려 적어지므로 결국 STBout 버퍼에서 지연이 커지는 이유는 CSIOB로부터 poll req를 늦게 받기 때문으로 생각되며 따라서 SEP 기본모델에서 최대 메시지 처리용량에 결정적인 영향을 미치는 bottleneck 요소는 CSIOB 보드임 것으로 추정된다.

표 3. STG-bus 사용률

메시지도착률(msg/s)	50	100	150	200	250	300	350	400
STG-bus 사용률	0.39	0.57	0.34	0.32	0.30	0.29	0.28	0.27

(2) STB 갯수 변화에 따른 실험 및 검토

SEP 기본 모델에서 STB의 갯수를 4대, 8대, 16대로 변경할 경우에 대한 실험결과를 그림 5에 나타내었다. 그림 5는 STB 갯수 변화에 따른 incoming SEP 지연 시간을 나타내었으며, 이 그림으로부터 입력되는 메시지율이 같다고 할 때 STB 보드의 갯수를 증가시키면 최대 메시지 처리 용량은 초당 600 메시지로 거의

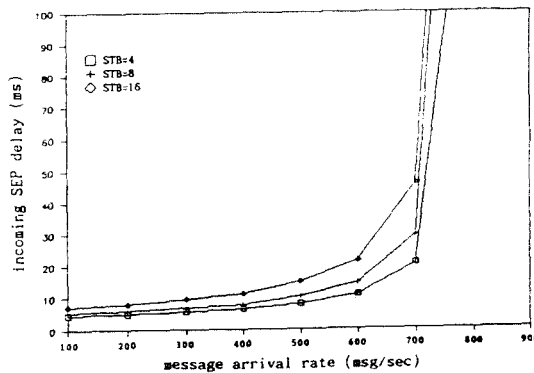


그림 5. STB 갯수 변화에 따른 incoming SEP 지연시간
Fig. 5. Incoming SEP delay according to the change of the number of STB

같으며 오히려 한 메시지당 평균 처리 지연 시간만 증가하는 것을 알 수 있다. 이와 같은 결과를 야기하는 원인은 이 시스템의 bottleneck 요소가 CSIOB 보드이기 때문에 STB의 갯수를 늘려도 최대 메시지 처리 용량은 향상되지 않고 오히려 STB 갯수가 많아질수록 CSIOB가 polling에 대한 부담이 커져서 한 메시지의 평균 처리 지연 시간은 증가하게 된다. 그림에 나타내지는 않았지만 실제 실험을 통해 얻은 결과로는 STB가 4대일 경우 570 메시지/초는 처리하고 666 메시지/초는 처리하지 못하였다.

그림 6,7에 STB 보드 갯수가 각각 4대, 16대일 경우에 각 stage별 지연 시간을 나타내었으며 이 그림들과 앞에서 살펴본 그림4로부터 STB 보드의 수가 변하여도 결국 시스템의 bottleneck 요소는 CSIOB 보드임을 알 수 있다. 그런데 STB에 연결된 신호링크의 평균허용부하는 일반적으로 0.2 Erlang 정도임을 고려하면 신호링크당 입력되는 양방향 메시지는 초당 91개(2×64Kbps×0.2 Erlang / 280 bits) 정도이다. 따라서 위의 실험결과 및 CSM 모듈의 하드웨어 비용과 신호링크당 평균허용부하를 고려해볼 때 CSM은 CSIOB 1대에 STB 보드 7~8대가 연결되는 구조를 갖는 것이 가장 합리적임을 알 수 있다.

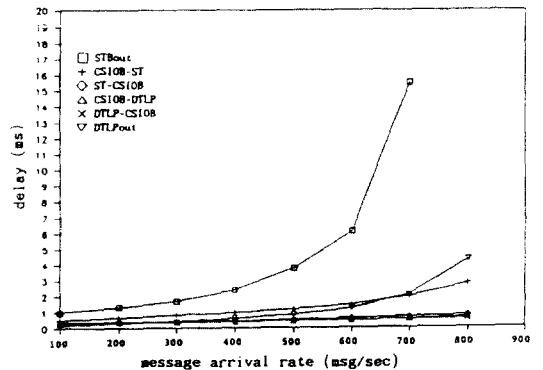


그림 6. 메시지 도착률에 따른 각 stage별 지연시간(SEP 모드, STB=4대)
Fig. 6. Delay time of each stage(SEP mode, STB=4)

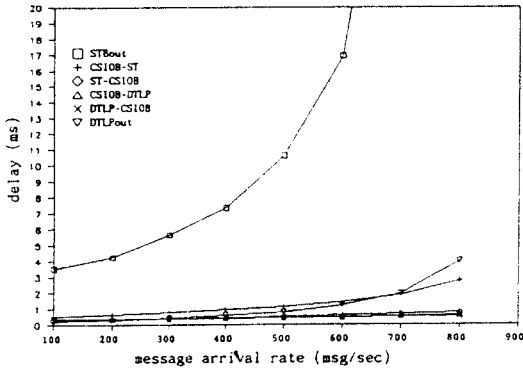


그림 7. 메시지 도착률에 따른 각 stage별 지연시간(SEP 모드, STB=16)
Fig. 7. Delay time of each stage(SEP mode, STB=16)

(3) STG-bus 속도 변화에 따른 실험 및 검토

SEP 기본 모델에서 STG bus 속도는 1 Mbps 이다. 이 버스의 속도를 2 Mbps로 증가시켰을 때 incoming SEP 지연 시간에 대한 시뮬레이션 결과를 그림 8에 나타내었다. 그림으로 부터 STG bus의 속도가 2 Mbps일 경우 최대 메시지 처리 용량은 초당 700 메시지로 약 10% 정도의 성능 향상이 이루어짐을 알 수 있다.

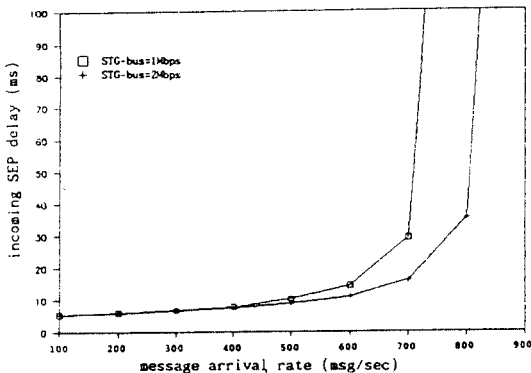


그림 8. STG-bus 속도 변화에 따른 incoming SEP 지연시간
Fig. 8. Incoming SEP delay according to the STG bus speed

(4) CSIOB의 처리 속도 변화에 따른 실험 및 검토

이제까지 수행한 STB 모드 갯수 변화에 따른 실험, STG bus 속도 변화에 따른 실험들의 결과로 부터 SEP 기본 모델에 대한 bottleneck 요소는 CSIOB 모드임이 확인되었다. 따라서 본 실험에서는 CSIOB 모드의 처리 능력을 2배로 향상시켰을 경우에 대한 시뮬레이션을 수행하였다.

CSIOB 모드의 메시지 처리 능력을 2배로 향상시킨 환경을 만들어 주기 위해 실제 시뮬레이션 수행시 CSIOB 모드에서의 메시지 처리 지연 시간들인 XX(50)-XX(69) 값들을 모두 반으로 줄여서 시뮬레이션을 수행하였으며 그 결과를 그림 9에 나타내었다.

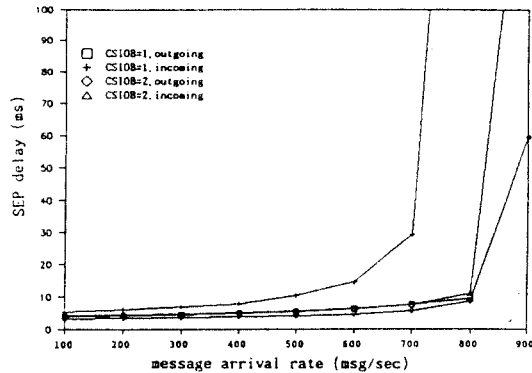


그림 9. CSIOB 처리속도 변화에 따른 SEP 지연 시간
Fig. 9. SEP delay according to the CSIOB processing speed

그림 9에서 SEP 기본 모델(CSIOB 속도=1)에 비해 CSIOB 처리 속도를 2배로 향상시키도 최대 메시지 처리 용량이 약 200 메시지/초 정도의 증가에 그치고 있음을 알 수 있다. 이러한 원인은 그림 10에 나타낸 CSIOB 처리 속도가 2배로 증가되었을 경우의 각 stage별 지연 시간을 분석해 보면 규명할 수 있다.

즉 그림 10은 메시지 도착률이 초당 800-900 메시지일 때 DTLP로 부터 CSIOB로 메시지를 보낼 때 B-bus의 서비스를 기다리는 규인

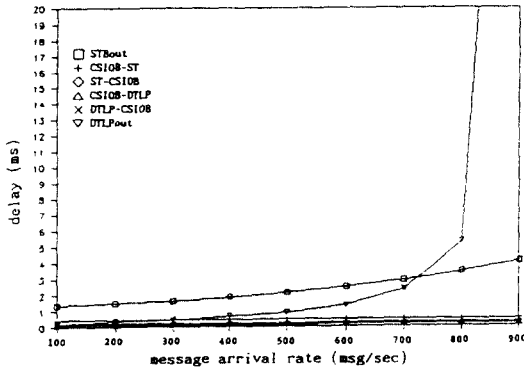


그림 10. 메시지 도착률에 따른 각 stage별 지연시간(CSI0B 속도=2)

Fig. 10. Delay time of each stage(CSI0B speed=2)

DTLPout 버퍼에서의 지연 시간이 급격히 증가함을 보이고 있으며 이로 부터 CSI0B 속도가 2배로 될 때 시스템의 bottleneck 요소는 B bus임을 알 수 있다. 이러한 시뮬레이션 결과는 실제 B-bus의 속도가 256 Kbps, 한 메시지의 길이가 280 bits이고 SEP 메시지가 양방향(outgoing, incoming)으로 입력될 때 B-bus의 최대 메시지 처리용량을 계산하는 아래 식에 의해서도 타당성을 검증할 수 있다.

B bus 최대처리용량(양방향)

$$= \frac{256 \text{ Kbps}}{280 \text{ bits}} = 914 \text{ 메시지 / 초}$$

(5) B-bus 속도 변화에 따른 실험 및 검토

앞의 실험 결과로 부터 CSI0B의 처리 속도를 2배로 하고 B bus의 속도를 TDX 1B의 경우에 해당하는 512 Kbps로 증가 시키면 상당한 성능 향상 결과를 얻을 것으로 예상되며 이에 대한 시뮬레이션 결과를 그림 11에 나타내었다.

그림 11에 알 수 있듯이 SEP 기본 모델에서 CSI0B의 메시지 처리 속도와 B bus의 속도를 각각 2배로 하면 거의 2배의 성능 향상 효과를 가져올 수 있을 것으로 생각된다.

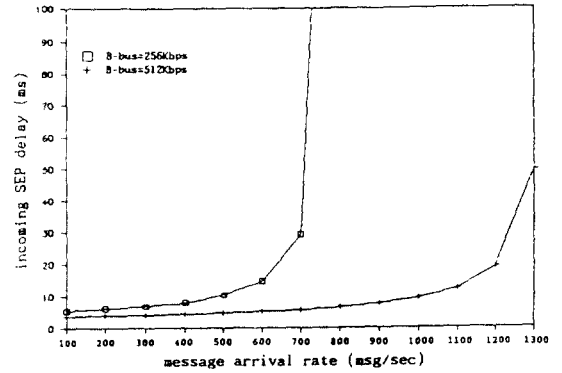


그림 11. B bus 속도변화에 따른 incoming SEP 지연시간 (CSI0B 속도=2)

Fig. 11. Incoming SEP delay according to the B bus speed (CSI0B speed=2)

(6) Poll당 전송 가능 메시지 수 변화에 따른 실험 및 검토

TDX-1 교환기의 CSM 모듈에서 신호 링크 기능(계층 2) 모드인 STB로 부터 계층 3 기능인 SPB 모드로 메시지가 보내지기 위해서는 CSI0B로 부터 STB가 poll-req를 받아야 하는데 현재 TDX 1에서는 poll-req 하나당 하나의 메시지를 전송할 수 있게 구성되어 있다. 이러한 구조에서 한 poll-req당 전송 가능한 메시지 갯수

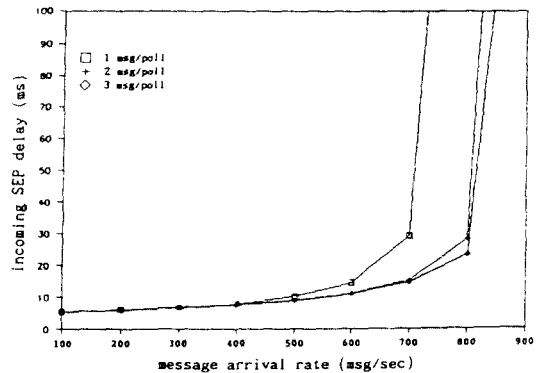


그림 12. Poll당 전송가능 메시지수 변화에 따른 incoming SEP 지연 시간

Fig. 12. Incoming SEP delay according to the number of the transferred messages per one poll

를 변화 시키면서 시뮬레이션한 결과를 그림 12에 나타내었다.

그림 12으로 부터 poll-req당 2개의 메시지까지 전송할 수 있도록 현재의 polling 스킴(scheme)을 변경할 경우 약 15% 정도의 성능 향상을 기대할 수 있으며, poll-req당 3개 까지 전송하는 경우는 2개까지 전송하는 경우와 거의 같은 성능을 가짐을 알 수 있다.

나. STP 모델에 대한 성능 평가

TDX-1이 STP 모드로 운용시에 이에 대한 성능 평가를 수행하기 위해 STP 기본 모델을 표 4와 같이 설정하였다.

시켰을 경우 STP 지연 시간을 그림 13에 나타내었으며, CCITT 권고안 Q.706의 메시지 전송시간 20ms를 기준으로 했을때 그림으로 부터 최대 메시지 처리 용량은 약 900 메시지/초임을 알 수 있다. 그림 13의 실험치는 SPB에서 메시지를 발생시켜 CSIOB를 거쳐 STB에서 loopback 되도록 하여 다시 SPB에 도달한 시간에 SPB에서의 처리시간을 더해 구한 값이며 초당 800 메시지는 처리 가능하고 초당 900 메시지는 처리하지 못하는 것으로 나타났다. 시뮬레이션을 통해 얻어진 각 stage별 지연 시간을 나타낸 그림 14로 부터 bottleneck 요소는 SEP 모드에서와 같이 CSIOB 보드임을 알 수 있다.

(1) 메시지 도착률에 따른 실험 및 검토

STP 기본 모델에서 메시지 도착률을 변화

(2) STB 갯수 변화에 따른 실험 및 검토

STP 기본 모델에서 STB 보드의 갯수를 4

표 4. STP 기본 모델에 대한 규격
Table 2. STP basic model specification

변수	항 목	값
XX(1)	각 STB당 계층 1로부터의 메시지 도착시간간격	40000 us
XX(4)	poll-req 메시지 길이	72 bit
XX(5)	poll-ack 메시지 길이	72 bit
XX(6)	data-ack 메시지 길이	72 bit
XX(9)	STP 메시지 평균 길이	280 bit
XX(11)	STG bus 속도	1 Mbps
XX(21)	STB 갯수	8 ea
XX(25)	poll-req 하나당 전송 가능한 최대 메시지 수	1 msg.
XX(33)	SPB의 STP 메시지 처리 시간	720 us
XX(42)	총 입력 메시지중 STP 메시지 비율	1
XX(50)	SPB → STB 메시지 입력시 인터럽트 처리시간	304 us
XX(53)	SPB로부터 메시지 입력시 인터럽트 처리시간	263 us
XX(54)	SPB로부터 data-ack 수신시 인터럽트 처리시간	59 us
XX(55)	SPB로부터 poll-ack 수신시 입력시 인터럽트 처리시간	50 us
XX(61)	CSIOB → STB 메시지 존재시 DMA 처리시간	108 us
XX(62)	CSIOB → STB 메시지 없을때 지연시간	25 us
XX(63)	ST → CSIOB 메시지 존재시 메시지 이동시간	270 us
XX(64)	ST → CSIOB 메시지 없을때 지연시간	25 us
XX(66)	CSIOB → DTLP 메시지 없을때 지연시간	25 us
XX(68)	DTLP → CSIOB 메시지 없을때 지연시간	25 us
XX(69)	poll-req 전송시 DMA 처리시간	96 us
XX(70)	STB의 poll-ack 응답시간	50 us
XX(71)	STB의 data-req 응답시간	60 us
XX(72)	STB의 data-ack 응답시간	163 us

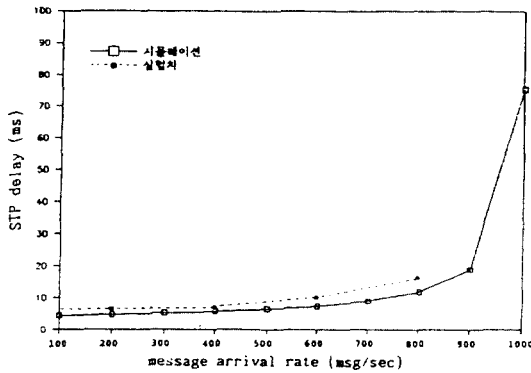


그림 13. 메시지 도착률에 따른 지연시간(STP 모드, STB=8대)
 Fig. 13. Delay time for the variation of message arrival rate(STP mode, STB=8)

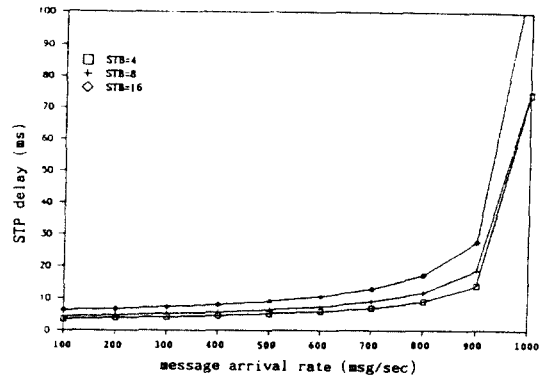


그림 14. 메시지 도착률에 따른 각 stage별 지연시간(STP 모드, STB=8대)
 Fig. 14. Delay time of each stage(STP mode, STB=8)

, 8, 16대로 변화시켰을 때 시뮬레이션 결과를 그림 15에 나타내었으며 SEP 모드에서의 경우와 같이 링크당 평균 허용부하를 0.2 Erlang 정도로 가정할 때 8대의 STB를 갖는 구조가 바람직함을 알 수 있다. 실제 실험상에서는 STB가 4대일 경우 900 메시지/초는 처리하고 1000 메시지/초는 처리하지 못하는 결과를 얻었다.

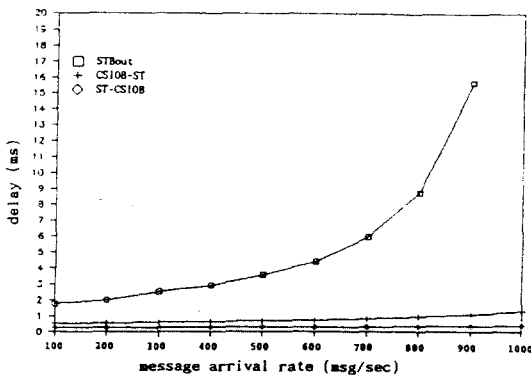


그림 15. STB 갯수 변화에 따른 STP 지연 시간
 Fig. 15. STP delay according to the change of the number of STB

IV. 결 론

본 연구는 TDX-1 교환기가 ISDN에서 사용되기 위해 한국전자통신연구소에서 개발되고 있는 No. 7 신호방식 처리 기능 모듈인 CSM(Common channel Signalling Module)의 성능 분석에 관한 연구로서 CSM 모듈의 하드웨어 구조와 동작 원리에 대한 정확한 분석을 통해 시스템의 성능, 즉 주어진 구조하에서 최대 신호 메시지 처리 용량과 메시지당 평균처리지연시간등에 영향을 미치는 주요 파라미터들을 추출하고 이를 반영하는 시뮬레이션 모델과 프로그램을 개발하여 TDX 1 교환기가 SEP 모드와 STP 모드에서 운용될 경우에 대한 시뮬레이션을 수행함으로써 성능 평가를 수행하였다. 또한 시뮬레이션에 대한 타당성을 검증하기 위하여 SEP, STP 기본 모델에 대한 실험치와 비교하였다.

SEP 기본 모델(STB 8대, STG-bus 속도 1 Mbps, B-bus 속도 256 Kbps, 메시지길이 280 bits)의 경우 최대 메시지 처리 용량은 약 600 메시지/초(실험치는 약 500-570 메시지/초)이고 이때의 bottleneck 요소는 CSIOB 보드가 STB의 메시지를 받아들이는 polling 스킴에 근본적인 원인이 있으며, 초당 400개의 SEP 메시지를 양방향으로 입력시킬 때 outgoing 메시

지의 처리 지연 시간은 약 4950 us, incoming 메시지 처리 지연 시간은 약 7890 us가 걸리는 것으로 결과가 나타났다.

SEP 기본 모델에서 STB 보드의 갯수를 변화시키는 시뮬레이션에서는 STB가 4, 8, 16대로 변경되도 커다란 성능 차이를 보이지 않았으며 따라서 TDX-1 교환기의 CSM은 신호링크당 평균허용부하를 0.2 Erlang으로 할 경우 CSIOB 보드 한개당 STB 보드 8대가 STG-bus를 통해 연결되는 구조가 가장 바람직한 것으로 생각된다.

SEP 모드 운용시 STG-bus의 속도를 1 Mbps에서 2 Mbps로 증가시킬 경우에는 약 10% 정도의 성능향상을 보였다.

CSIOB가 시스템의 bottleneck 요소임을 감안하여 CSIOB의 처리 속도를 2배로 증가시켰을 경우에 대한 시뮬레이션 결과는 최대 메시지 처리 용량이 약 800 메시지/초로 나타났으며 이 때의 bottleneck 요소는 B-bus로 나타났다. 따라서 CSIOB의 처리 속도를 2배로 한 상태에서 B bus의 속도를 TDX-1B의 경우인 512Kbps로 시스템을 구성했을 경우에는 최대 메시지 처리 용량이 거의 1200 메시지/초까지 향상되는 결과를 얻었다.

CSIOB로 부터의 poll-req 하나당 STB가 전송 가능한 메시지 수를 변환시키는 실험에서는 poll 당 2개 메시지를 보낼 수 있는 경우 약 15% 정도의 성능 향상을 얻었으며, 3개 까지 보낼때도 2개를 보낼 수 있는 경우와 거의 같은 성능을 갖는 것으로 결과가 나왔다.

TDX-1 교환기가 STP 모드로 운영될 경우에는 최대 메시지 처리 용량이 약 900(실험치는 약 800-900) 메시지/초로 나타났으며 이 때의 bottleneck 요소는 SEP 모드 운용시와 마찬가지로 CSIOB이고, STB 보드가 갯수가 4, 8, 16대로 변화할 경우에도 성능에 그다지 큰 변화가 없는 것으로 나타났다.

실론적으로 CSM에서 처리 가능한 메시지는 초당 약 600 메시지로써 신호단국(SEP)으로의 적용시 기존 TDX-1B 교환기의 트렁크 최대용량(3840채널)을 고려하더라도 초당 200-300 메시지 처리면 충분하므로 CSM 모듈의 메시지 처리 능력과 경제적인 비용 측면 및 링크당 평균 부하를 고려할 때 현재 개발된 CSIOB 보드와 STB 보드를 STG-bus를 통해 연결할 때 CSIOB 하나당 STB 보드 8대가 연결되는 구조의 CSM 성능에는 전혀 문제가 없으며 하나의 CSM에 메시지 전달부 기능이 집중화될 수 있음을 확인하였다. 신호 중계 기능을 고려하여 신호 단말을 확장할 가능성을 고려한다면 링크당 평균 허용 부하를 얼마로 할 것인지에 따라 계층 3 메시지 처리 용량의 확장을 생각할 수 있다. 이 경우 성능 향상 방안으로서는 CSIOB 처리 능력 개선, STG-bus 스킴을 polling 방식이 아닌 하드웨어에 의한 bus arbitration 방식 적용이 효과적인 것으로 사료된다.

參 考 文 獻

1. 전자통신(TDX-1 특집), 제 8 권, 2호, ETRI, 1986, 7.
2. 박재원, 정성교, 유선 통신 공학, 세진사, 1988.
3. CCITT blue book, recommendation Q.700-Q.709, 1988.
4. B.Law, C.A.Wadsworth, "CCITT Signalling System No. 7: Message Transfer Part", British Telecommunication Engineering, Vol.7, pp. 7-18, April, 1988.
5. 이성재, 한운영 외, "공통신 신호 방식 하드웨어(STB) 규격", ETRI TM-89-1620-24, 1990.1.
6. 이성재, 한운영 외, "공통신 신호 방식 하드웨어(STB) 규격", ETRI TM-89-1620-26, 1989.12.
7. 김성조, "CSIOB의 제어기능 설명서" ETRI Description, SJKIM 900221, 1990.2.
8. Pritsker, A., Introduction to Simulation and SLAM II, System Publishing Corporation, 1986.

약어표

CCSP : Common Channel Signalling Processor
 CSIOB : Common channel Signalling Input Output Board
 CSM : Common channel Signalling Module
 DLC : Data Link Concentrator
 DTCP : Digital Trunk Circuit Processor
 DTLP : Digital Trunk Line Processor
 SEP : Signalling End Point

SDL : Signalling Data Link
 SMB : Signalling Memory Board
 SPB : Signalling Processor Board
 STB : Signalling Terminal Board
 STG : Signalling Terminal Group
 STP : Signalling Transfer Point

* 본 논문은 한국전자통신연구소의 위탁연구 결과임.



奇長根(Jang Geun KI) 正會員
 1961년 7월 15일 생
 1986. 2 : 고려대학교 전자공학과 졸업 (공학사)
 1988. 2 : 고려대학교 대학원 전자공학과 졸업(공학석사)
 1991. 2 : 고려대학교 대학원 전자공학과 박사과정 수료



李成宰(Sung Jae LEE) 正會員
 1960년 9월 11일 생
 1983. 2 : 고려대학교 전자공학과 졸업 (공학사)
 1984-1987 : 스웨덴 LM Ericsson 사 연구원
 1983- 현재 : 한국전자통신연구소 ISDN 신호연구실 선임연구원



鄭基碩(Gi Seog JEONG) 正會員
 1960년 6월 18일 생
 1983. 2 : 고려대학교 전자공학과 졸업 (공학사)
 1988. 8 : 고려대학교 대학원 전자공학과 졸업(공학석사)
 1988. 9- 현재 : 고려대학교 대학원 전자공학과 박사과정 재학중



韓雲英(Woon Young HAN) 正會員
 1959년 3월 7일 생
 1982. 2 : 고려대학교 전자공학과 졸업 (공학사)
 1984. 2 : 고려대학교 대학원 전자공학과 졸업(공학석사)
 1991. 3- 현재 : 고려대학교 대학원 전자공학과 박사과정
 1982- 현재 : 한국전자통신연구소 ISDN 신호연구실 선임연구원



金惠鎭(Duck jin KIM) 正會員
 1933년 12월 12일 생
 1957. 2 : 서울대학교 전자공학과(공학사)
 1962. 1 : 일리노이 공대 전자공학과(공학석사)
 1972. 2 : 고려대학교 전자공학과(공학박사)
 1967-1971 : 서울대학교 전자공학과 교수
 1971- 현재 : 고려대학교 전자공학과 교수
 1985 : 대한전자공학회 회장
 1990- 현재 : 고려대 정보·통신기술공동연구소 소장
 1990- 현재 : 고려대 산업과학대학원 원장



車均鉉(Kyun Hyon TCHAH) 正會員
 1939년 3월 26일 생
 1965年 : 서울대학교 工學士
 1967年 : 美國일리노이대학교 工學碩士學位取得
 1976年 : 서울대학교 工學博士學位取得
 1987年- 현재 : 高麗대학교 電子電算工學科教授
 * 主關心分野는 CAD 및 通信시스템等.