

# GAMMA 네트워크를 이용한 ATM 스위치 구조에 관한 연구

正會員 金 根 培\* 準會員 黃 盛 皓\* 正會員 宋 周 彬\*\* 正會員 李 鐘 弦\*\*  
正會員 林 海 鎮\*\*\* 正會員 朴 炳 哲\*

## A Study on the ATM Switch Structure Using the GAMMA Network

Keun Bae KIM\*, Sung Ho HWANG\*, Joo Bin SONG\*\*, Jong Hyun LEE\*\*, Hae Jin LIM\*\*\*,  
Byung Chul PARK\* *Regular Members*

**要 約** 본 논문은 입력과 출력 사이에 다중경로가 제공될 수 있는 GAMMA 네트워크를 이용한 새로운 ATM 스위치의 구조를 제안한 것이다. 제안된 구조는 BANYAN 네트워크를 기본으로 한 여타 ATM 스위치와는 달리 블러킹 문제 해결을 위한 Sorting 네트워크의 필요성을 배제시킨 구조로서 전체 스위치 구조가 축소될 수 있는 스위치이다. 또한 시뮬레이션 기법에 의한 제안된 스위치의 성능 평가를 통해 본 연구의 타당성과 그 효용성을 검증하였다.

**ABSTRACT** In this paper, we proposed a new ATM switch structure which is based on the GAMMA network, proving multipath between an input and an output port. The size of the proposed new ATM switch will be smaller than the switches based on the BANYAN network, which includes the Sorting network to resolve the blocking in the switch fabric. Also, the validity and the utility of the proposed switch structure is verified through a simulation method.

### I. 서 론

현재 세계 각국에서는 서비스에 따라 요구되는 채널대역폭이 수 Kbps 이하의 Telemetry 서비스로부터 400Mbps 혹은 그 이상까지를 요구하는 화상관련 서비스 등의 다양하고 넓은 대역폭에 대한 서비스를 통합하고자 광대역 SDN에 관한 연구가 진행되고 있다. 이에따른 관련기술 연구 중에서도 기존회선교환이나, 패킷교환구조가 갖고 있는 서비스 채널의 고정성, 실시간 처리의 부적합성들을 동시에 해결하고자 하는 방안으로서 비동기식 전달 모드로 알려진 ATM(Asynchronous Transfer Mode)에 대한 연구가 BISDN(Broad and ISDN) 구축의 기본 사항으로 진행되고 있다.<sup>(1)(2)</sup>

이와 같은 ATM 기술은 교환과 전송을 효율적으로 진행시킬 수 있는 방법으로 기존의 고속패킷교환(Fast Packet Switching)에서 사용하는 방법과 유사하다. 따라서 ATM을 근간으로한 BISDN에서의 교환기능의 구현은 세계 각국의 연구 동향을 봤을 때 현재까지 알려진 고속패킷교환 구조를 ATM 경로하에서 적응시키는 방법을 많이 사용하고 있다.<sup>(3)(5)</sup>

또한, 현재까지 발표되고 있는 ATM스위치 구조들의 특징을 살펴 보면, 적용기술로 봤을때 몇가지 특성구분이 가능할 것이다. 첫째, 메모리를 이용한 기존의 타임 스위치와 그 개념을 같이 하는 구조, 둘째, Parallel Processing 방법을 도입한 거의 Hardware Oriented된 구조, 셋째, 공유 또는 전용 버스구조에 Address Filter 등을 이용하는 방법으로 크게 구분가능할 것이다.

특히 Parallel Processing 기법을 도입하는 경우에는 기본 스위치 구성을 2×2 Cross-Bar스위치 노드를 이용한 방법으로서, 접속구조를 Generaliz

\*成均館大學校 工科學 電子工學科  
Dept. of Electronic Engineering, Sung Kyun Kwan Univ.  
\*\*韓國電子通信研究所  
Electronics and Telecommunications Research Institute  
\*\*\*三陟産業大學 電子工學科  
Dept. of Electronic Engineering, Sam Chok National Univ.  
論文番號 : 91-108 (接受1991. 7. 15)

ed Cube 네트워크에서의 Topology를 대부분 적용시키고 있으며, 이와같은 네트워크를 Banyan 계열이라 하겠다. 그러나 이와같은 구조들의 공통적인 단점은 네트워크 자체가 내부 블러킹과 외부 블러킹 요인을 갖고 있고, 블러킹 요인을 배제시키고자 거의 대부분 기본 스위치 네트워크 앞단에 Sorting 네트워크를 추가하는 방법을 적용시키고 있다. 그러나, Sorting 네트워크 자체가 그 특성상 스위치 크기가 늘어남에 따라 관련되는 스테이지수가 지수적으로 증가하게 되어, 전체 스위치 구성에 소요되는 노드가 상당량이 소요되는 단점을 가지고 있다.<sup>10)</sup> 또한 Banyan 계열의 네트워크는 특정 입력과 출력사이에 오직 하나의 경로만이 존재하는 구조로서 만약 네트워크 내부의 어느 한 노드 또는 링크가 고장난 경우 이 노드와 링크를 거쳐야 되는 모든 경로는 완전 차단되어, 특정입력과 출력사이에 경로가 제공될수 없는 구조를 가지고 있다.

상기와 같은 Banyan계열 스위치의 단점을 극복하기위해서 본 연구에서는 Parallel Processing 기법중 GAMMA 네트워크를 이용하여 ATM스위치를 구성하는 방안을 제안하였다. 제안된 스위치 구조는 그 특성상 입력과 출력사이에 다수의 경로가 존재하는 구조로서, 다수개의 경로에 대한 적절한 운용에 따라서는 Banyan과 같이 Sorting 네트워크와 같은 부가적 네트워크가 필요없고, 특히 어느 한 노드 또는 링크가 고장이나도 우회할 수 있는 경로가 존재하므로 스위치에서의 Critical Fail Time을 축소시킬 수 있는 방안이다.

본 연구에서 제안된 스위치를 편의상 QUICKCOM 스위치라 하였으며, 본 논문의 구성은 다음과 같다. 제1장 서론에 이어, 제2장에서는 Parallel Processing 기법중 GAMMA 네트워크에 대한 전반적인 고찰을 한 다음, 제3장에서는 2장에서 이루어진 연구를 배경으로하여, 새로운 ATM스위치 구조를 제시하고, 스위치 동작에 따른 시나리오 및 스위치의 성능을 좌우할 수 있는 요인들에 대해 설명한 다음 제4장에서 시뮬레이션을 통한 스위치의 성능 평가를 하였다.

마지막으로 제5장에서는 본 논문의 결론을 맺겠다.

## II. GAMMA 네트워크

### 제1절 GAMMA 네트워크의 접속구조 및 노드구조

GAMMA 네트워크의 접속방법은 기본적으로 PM2I (PLUS-MINUS 2) 접속 방법에 따른다. PM2I 접속방법은 Cube, Shuffle Exchange, Illiac 등과 같이 Parallel Processing에서의 다중 프로세서 간의 원활한 접속을 위한 기본 접속 방법으로서 연구되어 왔다. PM2I의 접속 방법은 아래 수식과 같다.<sup>11)</sup>

$$PM2_{i+1}(P) = (P + 2^i) \text{ modulo } N$$

$$PM2_{i-1}(P) = (P - 2^i) \text{ modulo } N$$

단, N : 프로세서 수,  $0 \leq i \leq S-1$ ,  $S = \log_2 N$ , P : 노드 번호

위 수식에 따라 스위치 사이즈 N=8일때의 GAMMA 네트워크의 구성도는 그림(1)과 같다.

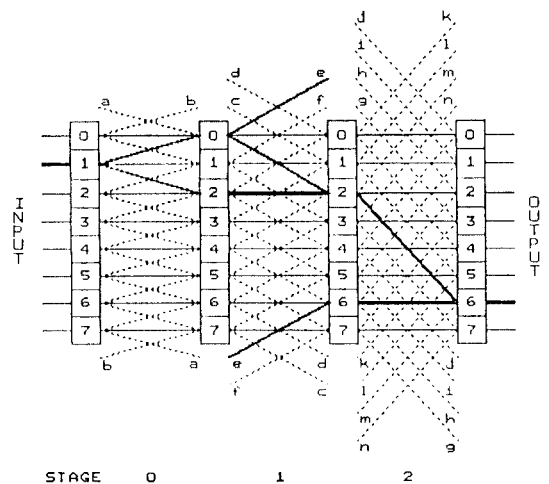


그림 1. N=8에서의 GAMMA 네트워크 구성도  
Fig 1. The GAMMA Network for N=8.

위 그림에서와 같이  $N=8$ 일 경우 이것은  $S$ 개(단,  $S=\log_2 N$ ) 즉 3개의 스테이지로 구성되며, 각 스테이지마다  $N$ 개의 노드로 구성되고, 각 노드는 3개의 입력 및 3개의 출력링크가 접속되어 있다. 각 스테이지들은 0부터  $S-1$ 까지의 순서로 구성되며, 스테이지  $i$ 에서  $i+1$ 로의 접속 방법은  $PM2_{i+1}$ ,  $PM2_i$ , straight의 3가지 링크로서 이루어진다.<sup>(7)</sup>

상기의 GAMMA 네트워크의 대칭형으로서 IGAMMA(Inverse GAMMA) 네트워크가 있다. IGAMMA 네트워크는 GAMMA 네트워크의 역순으로 통과 되도록 구성된 네트워크로서 최초 입력 스테이지는  $S-1$ 이 된다.

GAMMA와 IGAMMA 네트워크의 노드구조는 완전히 동일하며, 기본적으로는  $3 \times 3$ 의 Cross-Bar 스위치 구조를 갖는다. 즉, 입력에서 요구되는 출력 링크가 서로 다를 경우에는 3 Input, 3 Output의 기능이 완전히 제공되는 구조이다.

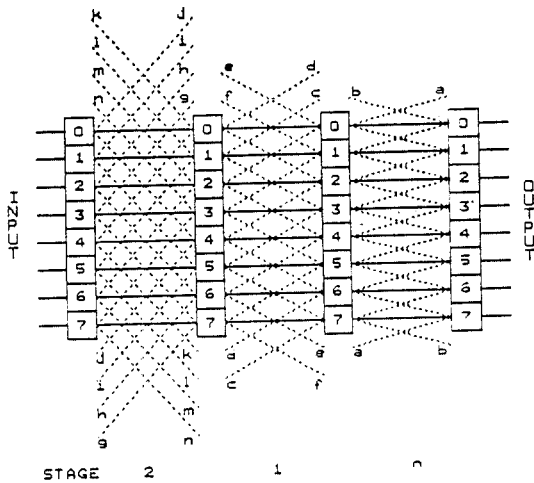


그림 2.  $N=8$ 에서의 IGAMMA 네트워크 구성도  
Fig 2. The IGAMMA Network for  $N=8$ .

**제2절 GAMMA 네트워크에서의 경로 결정방법**  
GAMMA / IGAMMA 네트워크에서 입력  $S$ (Source)에서 출력  $De$ (Destination)까지의 연결을 하는데 있어서, 경로의 결정은  $De-S=($

$Distance) \text{ Mod } N$ 으로 구성되어진다. 그림 1에 GAMMA 네트워크에서  $S=1$ 에서  $De=6$ 일 경우의 가능한 경로 몇가지를 굵은 선으로 표시하였다. 즉 경로 설정에 필요한 것은 각 스테이지에서 결정된 경로에 대한 수치의 합이  $(De-S) \text{ Mod } N$ 이 되는 가에 달린 것이다.<sup>(7)(8)(9)</sup>

### III. GAMMA 네트워크를 이용한 ATM 스위치(QUICKCOM)

#### 제1절 전체 스위치 구조

QUICKCOM스위치(본 연구에서 제안된 스위치의 이름으로서, 이후 계속 QUICKCOM스위치라 하겠다)는 네트워크의 기본 구성을 GAMMA와 IGAMMA 네트워크를 이용하여 구성하였다.

QUICKCOM 스위치의 구조를 기능적으로 보면 그림 3과 같다.

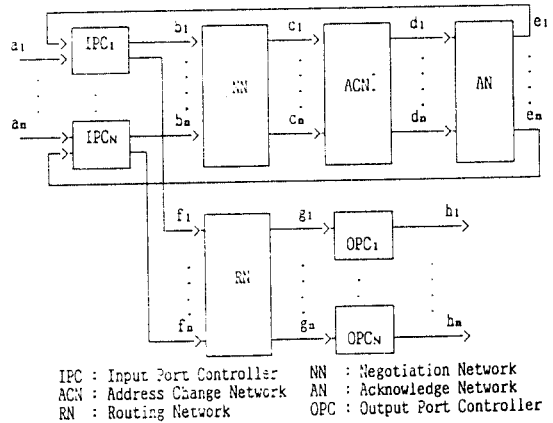


그림 3. QUICKCOM 스위치의 기능 구조도  
Fig 3. The Functional Block Diagram of the QUICKCOM Switch.

QUICKCOM 스위치의 상단의 3개의 네트워크는 Request & Ack 네트워크, 즉 Negotiation 네트워크로서 라우팅 정보만으로 구성된 Request 셀을 이용, 해당 ATM 셀에 대한 경로가 하단의 Routing네트워크에서 제공가능한지를

검색하는데 사용되는 네트워크이며, 하단의 네트워크는 상단에서의 검색 결과에 따라 경로가 제공이 가능하다고 판단된 ATM 셀이 심지어 출력포트로 라우팅되는 네트워크이다.

각 네트워크의 기능 및 접속 방법은 다음과 같다.

· NN(Negotiation Network)

-GAMMA 네트워크 접속 방법에 의한 네트워크

-목적지 출력포트까지의 경로에 대한 정보만을 포함한 Request 셀에 따라 출력 포트까지의 경로가 제공 가능할가를 검색

· ACN(Address Change Network)

-NN을 통과한 Request 셀의 정보를 이용 Source 입력 포트를 목적지로 하는 ACK 셀을 구성

· AN(Ack Network)

-IGAMMA 네트워크 접속 방법에 의한 네트워크

-ACN에서 만들어진 셀의 정보에 따라 경로제공이 가능하다고 판정된 Request 셀을 입력시킨 입력포트로 ACK 셀을 전송

· RN(Routing Network)

-GAMMA 네트워크 접속 방법에 의한 네트워크(NN과 동일)

-ACK를 받은 입력 포트로부터 입력되는 ATM 셀을 목적지 출력 포트에 라우팅, 이때 출력포트는 네트워크 구조상 하나의 타임 슬롯에 최대 3개의 ATM 셀을 처리한다.

이와 같은 네트워크 구조에서 보편 상단은 경로 정보만을 갖는 Request 셀에 대해서만 프로세싱이 수행되고, 하단의 경우는 경로 정보를 포함한 Full ATM 셀에 대한 프로세싱이 수행된다. 따라서 상단 네트워크에서의 통과시간을  $t$ 라 하고 하단에서의 통과 시간을  $T$ 라 했을 때  $T \cong mt$  (단  $m \geq 1$ 인 정수)의 관계를 갖을 수 있다.

즉,  $n-1$ 번째 타임 슬롯에 해당하는 ATM 셀을 하단의 네트워크를 통해 전송하는 기간 동안에  $n$ 번째 타임 슬롯에 해당하는 셀의 출력

포트로의 경로가 가능한가를  $m$ 회 검색해 볼 수 있는 구조를 갖고 있다. 이와 같이  $m$ 회의 경로 검색에 따라 스위치의 throughput을 최대한 높일 수 있는 가능경로를 설정한다.

제2절 Request셀의 구성

Request 셀의 구성은 다음과 같다.

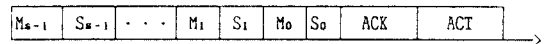


그림 4. Request 셀의 구성  
Fig 4. The Structure of the Request Cell.

각 bit 별 기능은 다음과 같다.

· ACTivity 비트

-스위치의 첫번째 스테이지에 입력시 입력 링크에 심지어 Request 셀 또는 Request 셀이 포함된 Full ATM 셀이 존재하는가의 여부 판단에 사용

-입력 포트에서 해당 Request 셀에 대한 ACK 또는 NACK 판단에 사용

즉, ACT 비트=1 : 링크 점유 또는 ACK

ACT 비트=0 : 링크 미점유 또는 NACK

· ACK 비트

- $m$ 회의 검색 기간중  $i$ 번째 Request에 대해 입력 포트가 ACK를 수신하게 되는 경우, 입력 포트는 ACK 비트를 1로 set 하여 한번 제공 받은 경로에 대해 나머지 검색기간인  $m-i$ 번 동안에 NN의 경로상에서 기동권을 확보하는데 사용

· M(Magnitude) 비트

-전송방향에 따라 첫번째 스테이지에 관련된 비트부터 전송

--0일 경우 Straight 링크 사용

1일 경우 해당 부호 비트에 따라 +2<sup>n</sup> 또는

--2<sup>n</sup> 링크를 사용

· S(Sign) 비트

-전송방향에 따라 첫번째 스테이지에 관련된 비트부터 전송

-M 비트가 0일 경우 해당 S비트는 무시

-M 비트가 1일 경우 해당 S비트가 0이면 +2<sup>i</sup> 링크 사용, 해당 S비트가 1일 경우 -2<sup>i</sup> 링크 사용

**제3절 QUICKCOM 스위치의 동작 개요**

QUICKCOM 스위치의 동작은 크게 Start Phase, Request Phase, ACK Phase, Data Transfer Phase로 나뉜다. 각 Phase를 Time축 상에서 보면 다음과 같다.

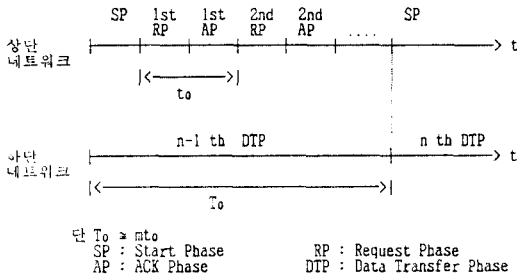


그림 5. Time축상으로 본 스위치 동작 상태  
Fig 5. State of the QUICKCOM Switch on the Time Domain.

각 Phase에서의 동작 특성을 살펴보면 다음과 같다.

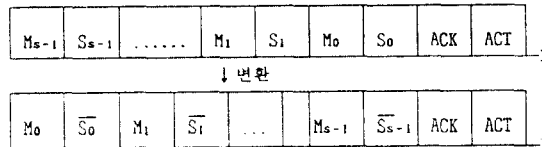
**· Start Phase**

- IPC<sub>1</sub>는 자신의 입력 큐로부터 FCFS(First Come First Service) 개념에 따라 큐내에 가장 오래 머무른 셀을 선택
- 셀로부터 목적지 주소(Destination Address)를 추출하여 목적지까지의 거리를 계산  
즉 Distance=(Destination Addr. -Source Addr.) Mod N
- 거리값을 라우팅 데이터베이스의 페이지 포인터로 사용하여 Look-Up-Table 방식에 따라 최대 검색 횟수인 m개 만큼의 해당 경로에 대한 정보를 취합하여 자신의 RDQ(Routing Data Queue)에 저장
- RDQ로부터 첫번째 경로 정보를 읽어들이어 ACK 비트는 0로, ACT 비트는 1로 하여 b<sub>i</sub>

링크를 통해 NN에 입력

**· Request Phase**

- NN은 입력된 Request 셀의 정보에 따라 경로를 탐색
- C<sub>1</sub> 링크를 통해 최종적으로 NN을 통과한 Request 셀을 이용 ACN은 NN의 출력포트가 AN의 입력포트로, NN의 입력포트가 AN의 출력 포트가 되도록 셀을 변환. 이때, 셀의 변환기법은 다음과 같다.



**· ACK phase**

- AN은 d<sub>1</sub> 링크를 통해 입력된 ACN에서 변환된 셀정보 즉 셀의 정보가 Source IPC<sub>1</sub>로 변환된 ACK 셀을 e<sub>1</sub> 링크를 통해 IPC<sub>1</sub>로 전달, 이때 AN의 출력은 각 IPC와 고정된 일대일 링크로 접속되어 있음.
- IPC<sub>1</sub>는 고정된 e<sub>1</sub>링크를 통해 ACT가 1인 ACK 셀이 입력되는가를 조사하며, ACK 셀의 유무에 따라 다음과 같은 동작을 한다.
- ACK 셀이 수신된 경우  
IPC<sub>1</sub>는 Request한 셀에 대해 경로가 제공될 수 있는 것으로 간주하여 다음 검색 시기에서 NN에서의 기득권 확보를 위해 Request 셀의 ACK비트를 1로 set.
- ACK 셀이 수신이 안된 경우  
IPC<sub>1</sub>는 Request한 셀에 대해 경로가 제공될 수 없는 것으로 간주하여 RDQ로부터 새로운 경로 정보를 읽어 들어 새로운 Request 셀을 구성  
위와 같은 동작을 통해 IPC 중 부분적으로 ACK 비트가 1인 Request 셀과 새로운 Request 셀(ACK bit가 0인)이 다시 다른 Request Phase에서 사용될 Request 셀로서 b<sub>i</sub>링크를 통해 NN에 입력됨.

· Data Transfer Phase

-m회의 검색(즉 m회 Request ACK Phase)이 끝난 시점이 Data Transfer Phase의 시작 시점이 된다.

-IPC<sub>i</sub>는 이 시점 이전까지의 검색된 결과에 따라 ACK를 받은 셀에 대해서만 ATM 셀에 ACK를 받는데 쓰인 Request 셀을 추가하여 f<sub>i</sub> 링크를 통해 RN에 입력시킨다.

-RN에 입력된 Full ATM 셀은 경로 정보에 따라 경로가 선택되어 최종적으로 g<sub>i</sub> 링크를 통해 목적지인 OPC<sub>i</sub>로 출력된다.

위의 과정에서 검색기간동안 한번도 ACK를 못받은 IPC<sub>i</sub>는 보내고자 하는 Full ATM 셀에 대해 경로가 제공될 수 없는 것으로 간주하고 Data Transfer를 행하지 않으며, 다음 타임 슬롯의 검색시기에 재차 Start Phase를 다시 시행한다.

그림 (6)은 그림 (3)의 기능 구조도에 따라 GAMMA 네트워크와 IGAMMA 네트워크를 이용한 실질적 QUICKCOM 스위치 구성도로서 4x4의 스위치 사이즈 일때의 구성도이다.

제4절 QUICKCOM 스위치에서의 검색 횟수와 다중 경로 Sorting 방법

1) QUICKCOM에서의 검색횟수

QUICKCOM 스위치는 데이터 전달 기간동안 최대한 많은 Request & ACK Phase를 가짐으로서, Throughput의 향상을 기대할 수 있다.

QUICKCOM 스위치 구조에서 각 노드의 기능 및 동작 시간을 처리 해야되는 비트수로 정량화 하였을 때 검색횟수 m은 다음과 같은 수식 관계를 갖는다.

$$m = \frac{\text{(외우팅 네트워크 프로세싱 타임)}}{\text{(검색 네트워크 프로세싱 타임)}}$$

$$= \frac{\text{(Request 셀 프로세싱 타임 + ATM 셀 전송 타임)} \times \text{스위치 내부 속도}}{\text{((Request 셀 프로세싱 타임) \times 2 + 셀 변환 타임)} \times \text{스위치 외부 속도}}$$

여기서 비트당 프로세싱 타임을 1로 정량화 하면

$$m = \frac{\{2S+2+(I+H) \times 8\} \times V_1}{\{(2S+2) \times 2 + 2S+2\} \times V_2}$$

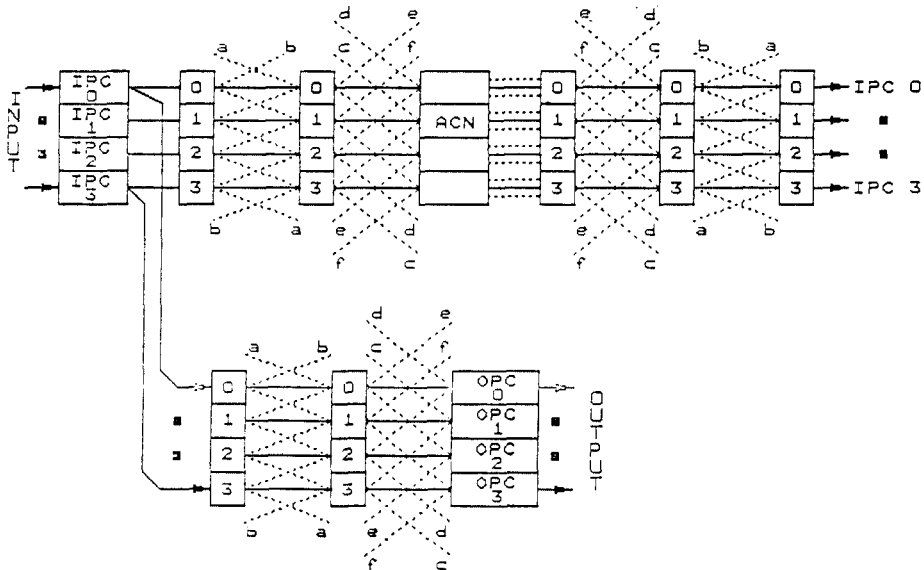


그림 6. 4x4 QUICKCOM 스위치 구성도  
Fig 6. The structure of the 4x4 QUICKCOM switch

이 된다.

$$\text{단, } \begin{cases} S = \log_2 N \text{ (N : 스위치 사이즈)} \\ I = \text{ATM셀의 정보영역 바이트 수} \\ H = \text{ATM셀의 헤더영역 바이트 수} \\ V_1 = \text{스위치 내부 속도} \\ V_2 = \text{스위치 외부 속도} \end{cases}$$

거리 :  $28(-36 \text{ mod } 64)$

경로 정보 수 : 7

bit	2 <sup>0</sup>	2 <sup>1</sup>	2 <sup>2</sup>	2 <sup>3</sup>	2 <sup>4</sup>	2 <sup>5</sup>
	0	0	1	1	1	0
	0	0	-1	0	0	-1
	0	0	-1	0	0	1
	0	0	-1	0	0	-1
	0	0	1	-1	0	1
	0	0	1	1	-1	-1
	0	0	1	1	-1	1

수식을 이용하여  $N=256$ 에 스위치 내부 속도와 외부 속도를 같게 하였을 경우  $m=8.185$ 로서 약 8회의 검색이 가능하며, 만약 스위치 내부 속도를 외부속도 보다 증가시킬 경우는 횟수가 더 증가될 수 있다.

QUICKCOM 스위치의 여러 경로는 입력포트에서 출력포트까지의 거리(Distance)에 따라 그 갯수가 상이하나, 입력포트 주소와 출력포트 주소가 같은 경우 즉 거리가 0인 경우를 제외하고는 최소 2개 이상의 경로를 갖는다.

### 2) 경로 정보 분류 방법

QUICKCOM 스위치는 구조상 경로 정보는 Look-Up-Table 방식에 의해 운용된다. 따라서, 검색 횟수가  $m$ 회이고, 거리별 경로 정보의 갯수가  $M$ 인 경우(단  $M > m$ )  $M$ 개의 경로중 가장 적절한  $m$ 개만의 경로 정보를 라우팅 데이터 베이스에 거리별로 저장할 필요가 있다. 여기서 가장 적절한  $m$ 개의 경로 정보를 분류한다는 것은 스위치 노드에서의 충돌시 우선순위 부여 방법과 밀접한 관계를 갖고 있다.

설정된 스위치 노드의 우선 순위 부여 방법은 다음과 같다.

- ACK 비트가 Set된 셀이 입력될 경우 최우선적으로 스위칭
- ACK 비트가 없는 경우 3개의 입력이 같은 출력 링크를 원할 경우의 우선순위는 입력링크별로 +2, -2, straight 링크로부터 입력된 셀순위로 한다.

예를 들어 경로 정보의 분류 방법으로서 각 Digit에 절대값을 취해 크기를 계산한 후 다음의 다섯 가지의 분류 방법을 상정한다.

스위치 크기가 64이고, 거리가 28인 경로 정보를 예로 들어본다.

<Case 1>

0	0	1	1	1	0
0	0	-1	0	0	-1
0	0	-1	0	0	1
0	0	1	-1	0	-1
0	0	1	-1	0	1

<Case 2>

0	0	1	1	-1	1
0	0	1	1	-1	-1
0	0	1	-1	0	1
0	0	1	-1	0	-1
0	0	-1	0	0	1

<Case 3>

0	0	1	1	-1	1
0	0	1	1	1	0
0	0	1	1	-1	-1
0	0	-1	0	0	-1
0	0	1	-1	0	1

<Case 4>

0	0	1	1	1	0
0	0	1	1	-1	1
0	0	-1	0	0	-1
0	0	1	1	-1	-1
0	0	-1	0	0	1

<Case 5>

0	0	1	1	-1	1
0	0	1	-1	0	1
0	0	-1	0	0	1
0	0	1	1	1	0
0	0	1	1	-1	-1

- Case 1 : 크기가 작은 것에서부터 큰 순으로 분류하고, 크기가 같은 경우 MSB가 Minus (-)인 것을 우선 취하는 방법
- Case 2 : 크기가 큰 것에서부터 작은 순으로 분류하고, 크기가 같은 경우 MSB가 Plus (+)인 것을 우선 취하는 방법
- Case 3 : 크기가 가장 큰 것에서 시작하여 가장 적은 것으로 번갈아 가며 분류하는 방법
- Case 4 : 크기가 가장 적은 것에서 시작하여 가장 큰 것으로 번갈아 가며 분류하는 방법
- Case 5 : 크기가 큰 것에서부터 경로 정보를 한개 건너서 분류하는 방법

상기와 같은 분류 방법을 통해 검색 횟수  $m$  회에 해당되는 경로 정보를 분류하나, 스위치 사이즈가 변경시 검색 횟수와 경로정보의 비트 사이즈가 변경되어야 하므로 시스템의 확장에 따라 스위치 사이즈와 검색 횟수를 변수처리하여 경로정보 table을 재구성하여야 한다. 본연구에서

는 시뮬레이션의 조건에 맞춰 경로 정보 table 을 재구성하여 사용하였으며 language는 C-language 를 사용하였다.

#### IV. 제안된 스위치의 성능 평가

QUICKCOM 스위치의 성능 평가는 시뮬레이션 기법을 적용하여 성능 평가를 수행하였으며, 시뮬레이션 언어는 SIMSCRIPT II.5를 사용하였다. QUICKCOM스위치의 성능 평가는 다음 2가지의 사항을 중심으로 수행하였다.

첫째, 경로 정보의 분류 방법에 따른 특성 비교

둘째, 검색 횟수(Request & ACK Phase) m 값에 따른 특성

##### 제 1절 시뮬레이션모델의 설정

QUICKCOM 스위치의 성능을 결정짓는 부분은 상단의 네트워크 중 NN(Negotiation Network)의 성능에 따른다고 할 수 있다.

따라서 본 시뮬레이션에서는 NN부분과 ACN부분만을 모델화하여 성능평가를 하였다. 시뮬레이션에 쓰인 모델의 개념적 구조는 그림 7과

같다.

그림 7에서 Random Number Generator는 IPC에 입력되는 셀상의 목적지 주소를 발생시키는 부분으로서, 스위치의 트래픽 분포 특성에 따라 여러가지를 고려할 수 있으나, 각각의 입력 포트에서 입력되는 셀의 목적지 주소가 출력포트 전체에 대해 균등하게 분포되어 있다고 가정하여 본 연구에서는 Uniform Distribution Function을 사용하였다. 또한 스위치 전단에 위치할 라인 접속 장치부의 입력에서 보면 셀의 입력이 비동기화 될 수 있으나, 접속 장치부에서 시스템의 동기 신호에 따라 각 셀을 동기화하여 스위치 입력 포트로 전송하는 것으로 가정하여 처리하였다.

IPC는 기본적으로 QUICKCOM 스위치의 각 IPC가 수행하는 Task를 이외에 ACK와 NACK에 해당하는 정보를 판단하는 Task 또한 수행되는 부분이다

또한 Switch Node는 1회 시뮬레이션 기간중  $N(\text{스위치 크기}) \times S(\text{스테이지})$  만큼 Task가 수행되며  $3 \times 3$  Cross Bar 스위치의 기능을 수행하는 부분으로서 NN에 해당된다.

Addr. Changer는 매 검색때 마다 최종 스위치 노드의 출력값으로부터 Source IPC 번호를 계산

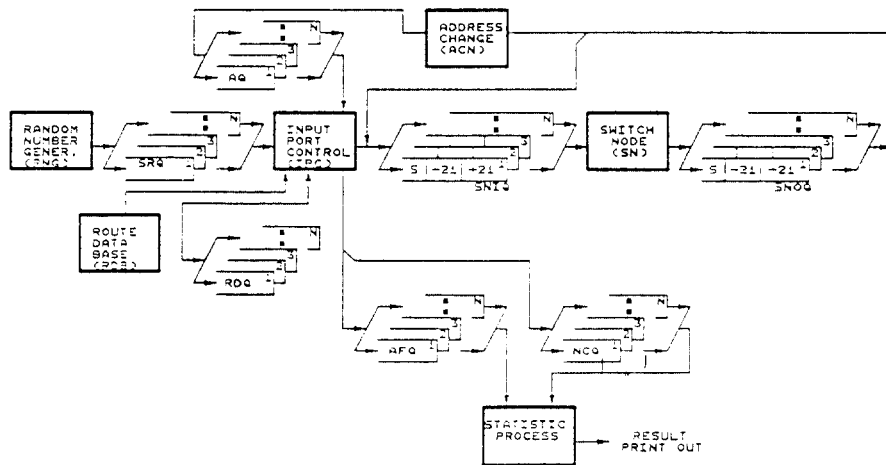


그림 7. QUICKCOM 스위치의 시뮬레이션 모델 개념 구조  
Fig 7. The Functional Diagram of the Simulation Model for the QUICKCOM Switch.



하여 ACK와 NACK 정보를 해당 IPC에 알려주는 부분으로서 ACN 및 AN의 기능을 갖는다.

Statistical Processing 부분은 매 시물레이션때마다 가동되어 최종적으로 Throughput 및 타임 슬롯 지연에 대한 데이터를 취합, 처리, 해석하는 부분이다. 나머지 Task들의 기능집합 외에 가는 선으로 표시된 부분은 시물레이션에서 필요한 큐들이다.

### 제2절 시물레이션 결과 분석

#### 1) 경로 정보 분류 방법에 따른 특성 비교

앞절에서 제시된 시물레이션 모델을 이용하여 언급된 5가지 경로 정보 분류방법에 따라 스위치 사이즈 N=64, 검색 횟수=4, Offered Load는 90%로 하여 각각의 분류방법에 따라 최대 throughput 및 입력 셀의 평균 타임 슬롯 지연 특성을 조사하였다. 5가지 분류 방법별 특성은 다음과 같다.

표 5.1에서 알수 있듯이 제시된 분류방법중 CASE 3의 분류 방법 즉, 절대치가 큰것과 작은 것을 번갈아 분류한 방법이 5가지 방법중 가장 좋은 특성을 나타냄을 볼 수 있다. 따라서 본 논문에서는 모든 시물레이션에서 경로 정보는 CASE 3에 따른 분류방법을 적용하였다.

표 1. 경로 분류 방법별 특성

Table 1. The Performance of Each Sorting Method for Multiple Path

항목 \ 분류방법	MAX. Throughput [%]	평균 TS 지연 [TS]
CASE 1	75	6.42
CASE 2	78	5.18
CASE 3	95	3.09
CASE 4	81	4.41
CASE 5	77	5.60

#### 2) 검색 횟수에 따른 특성 비교

QUICKCOM 스위치의 특성중의 하나인 복수개의 경로가 제공되는 점에 대하여 검색 횟수를 변화하여 그 특성을 분석하였다. 조건은 스위치

사이즈 256×256으로 고정시키고, Offered Load는 50%에서 100%로 변화시키고, 또한 검색 횟수 m을 1부터 10까지 변화 시키면서 그 특성을 분석하였다.

특성을 살펴보면 offered load 100%일때 m=10회 정도에서 약 85%의 최대 Throughput이 제공됨을 볼 수 있으며, m=4회 이후에는 증가가 둔화됨을 알 수 있다. 또한, 평균 타임 슬롯 지연의 경우 offered load 100%에 m=10회의 경우 약 2타임 슬롯 내에는 입력되는 ATM 셀에 대해 스위치 서비스가 제공됨을 알 수 있다.

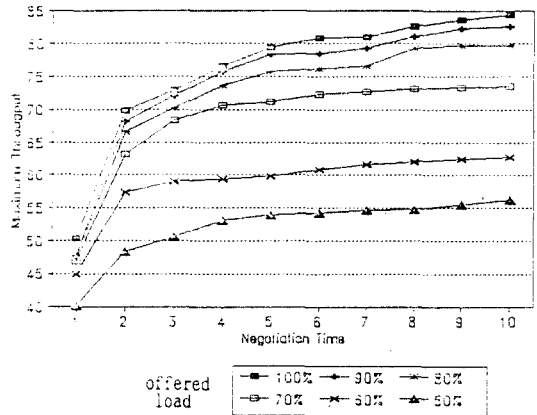


그림 8. 검색 횟수에 따른 QUICKCOM 스위치의 최대 Throughput

Fig 8. The MAX Throughput of the QUICKCOM Switch with Negotiation Time.

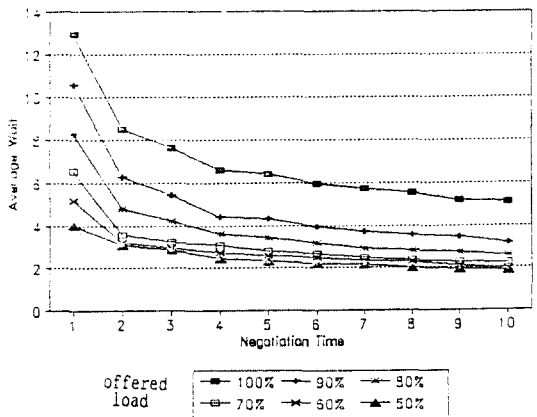


그림 9. 검색 횟수에 따른 QUICKCOM 스위치의 평균 T.S. 지연

Fig 9. The Average Waiting T.S. of the QUICKCOM Switch With Negotiation Time.

### V. 결 론

본 논문에서는 광대역 종합 통신망에서의 스위칭 기술에 대하여 다음과 같은 연구를 수행하였다.

- GAMMA 네트워크를 기본으로 하는 새로운 ATM 스위치의 제안

- 시뮬레이션 기법을 이용한 제안된 스위치의 동작 특성 및 성능 평가

위와 같은 연구 수행 과정을 통하여, 본 논문에서 제시된 QUICKCOM 스위치는 다중 경로를 갖는 GAMMA 네트워크를 적용함으로써 BANYAN 계열의 네트워크에서 필수적인 Sorting 네트워크의 필요성을 배제시킴으로써 전체 스위치의 규모를 축소시킬 수 있는 구조이며, 입력과 출력사이에 다중 경로가 존재하므로 특정 노드 또는 링크의 고장시 대처 능력이 뛰어난 구조를 갖고 있다. 또한, 동작특성상 스위칭 구조가 하드웨어 Orient된 구조이므로 BISDN 환경하에서의 고속 스위치로서의 동작이 가능함을 알 수 있었다.

성능 평가방법으로서 시뮬레이션 기법을 통한 성능 분석에서 입력버퍼를 갖는 고속 패킷스위치의 Throughput이 보통 HOL Blocking에 의해 약 58% 정도로 제약되나<sup>1)</sup>, 본 논문에서의 QUICKCOM 스위치는 입력버퍼를 갖는 구조이면서도, 256×256의 스위칭 크기에서 검색 횟수와 offered load에 따라 약 80% 이상의 Throughput이 제공 될 수 있음을 확인하였다.

또한 본 연구에서는 완전히 FCFS(First Come First Service)에 따른 성능 평가를 하였으나, 스위칭 크기가 256×256일 경우 4회 이상의 검색 기간 이후에는 Throughput 특성이 거의 포화됨을 보이고 있으므로, 스위칭 사이즈에 따라 만약 m회 검색기간 중 선행되는 몇회 검색 기간 동안에는 각 IPC는 자신의 입력 버퍼내의 셀중 가장 오래된 셀에 대해 경로 검색을 수행하고, 이기간 동안 Ack를 못받을 경우 나머지 기간에 대해서는 선행된 셀의 출력포트 주소와 다른 주소를

갖는 셀에 대해 경로 검색을 수행하는 알고리즘을 적용시킨 경우 Throughput의 향상을 기대할 수 있을 것이다.

또한 본 연구에서 제안된 스위치가 완전히 BISDN 스위칭 구조로서 정착하기 위해서는 우선 순위 처리에 따른 방안, 스위칭 노드의 하드웨어적 구성, 서비스 중의 고장 처리에 따른 방안 등의 연구가 계속 이루어져야 할 것이다.

상기 기술한 바와 같은 본 연구의 수행 내용 및 결과는, 향후 BISDN에서의 스위칭 구조 연구의 참고자료로 활용될 수 있을 것이며 특히 제시된 스위칭 구조의 접근 방법이 현재까지 발표되고 있는 여타 스위칭에서의 접근 방법과는 다르므로, 새로운 BISDN 스위칭 구조 연구의 접근 방법으로서 적용될 수 있을 것이다.

---

본논문은 체신부 주관하의 '90 학술 단체 육성 정책 연구 과제로서 진행되었음을 밝히며 본 연구 수행을 위해 많은 도움을 주신 관계자 여러분께 감사의 뜻을 전한다.

---

### 참 고 문 헌

1. CCITT 1,121 blue book "Broadband aspects of ISDN"
2. Drycker "Evolution from ISDN to BISDN : a logical step towards ATM" computer communications, vol 12 June 1989.
3. Tobagi "Fast packet switch architectures for broadband Integrated Services Digital Networks" IEEE Proceeding vol.SAC 78 Jan, 1990.
4. Hamid "A Survey of modern high performance switching techniques" IEEE J.on SAC vol.7 Sep, 1989.
5. Wemik "Broadband public network and switch architecture" ISS'90.
6. Howard J.Siegel "Interconnection Networks for Large Scale Parallel Processing" Lexington Books 1985.
7. D.S.Parker "The GAMMA Network : A Multi-processor Network redundants paths" 9th Annual Int'l Symp.comp.Arch, Apr.1982.
8. Kyung Sook Y. Lee "On the Augmented Data

Manipulator Network in SIMD Environments" IEEE Trans.on Computers 1988.

9. Robert J.Mcmillen "Routing Schemes for the Augmented Data Manipulator Network in an MIMD System" IEEE Trans. on Computers DEC. 1982.

10. Hluchyj "Queueing in high performance packet switching" IEEE J.on SAC vol.6 Dec.1988.

11. Averil M.Law "An Introduction to Simulation Using SIMSCRIPT II.5" CACI 1984.

12. E.C.Russel "Building Simulation Models with SIMSCRIPT II.5" CACI 1983.

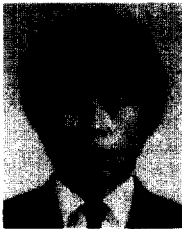
13. P.J.Kiviat "The SIMSCRIPT II.5 Programing Language" CACI 1987.



**金根培(Keun Bae KIM)** 正會員  
1961年 3月 17日生  
1984年 2月: 成均館大學校 工科大學 電子工學科(工學士)  
1984年 1月~1988年 2月: 대우통신(주) 근무  
1990年 2月: 成均館大學校 大學院 電子工學科(工學碩士)  
1990年 3月~현재: 成均館大學校 大學院 電子工學科 博士課程 在學中



**黃盛皓(Sung Ho HWANG)** 準會員  
1968年 1月 10日生  
1991年 2月: 成均館大學校 工科大學 電子工學科(工學士)  
1991年 3月~현재: 成均館大學校 大學院 電子工學科 碩士課程 在學中



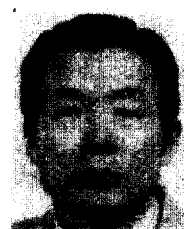
**宋周彬(Joo Bin SONG)** 正會員  
1960年 11月 20日生  
1982年 2月: 成均館大學校 工科大學 電子工學科(工學士)  
1984年 2月: 成均館大學校 大學院 電子工學科(工學碩士)  
1990年~현재: 成均館大學校 大學院 電子工學科 博士課程 在學中  
1984年~현재: ETRI 전송시스템 연구실 선임 연구원



**李鍾弦(Jong Hyun LEE)** 正會員  
1959年 2月 16日生  
1981年 2月: 成均館大學校 工科大學 電子工學科(工學士)  
1983年 2月: 成均館大學校 大學院 電子工學科(工學碩士)  
1989年~현재: 成均館大學校 大學院 電子工學科 博士課程 在學中  
1983年~현재: ETRI 전송시스템 연구실 선임 연구원



**林海鎮(Hae Jin LIM)** 正會員  
1953年 12月 21日生  
1977年 2月: 成均館大學校 物理學科 電子工學科(學士)  
1979年 2月: 成均館大學校 大學院 電子工學科(工學碩士)  
1989年 3月~현재: 成均館大學校 大學院 電子工學科 博士課程 在學中  
1983年 3月~현재: 국립삼척산업대학 전자공학과 부교수



**朴炳哲(Byung Chul PARK)** 正會員  
1930年 4月 30日生  
1957年 9月: 서울大學校 工科大學 通信工學科(工學士)  
1975年 2月: 仁荷大 大學院 電氣工學科(工學博士)  
1980年 9月: 日本 東京大學 外國人研究員(1年間)  
1972年 3月~現在: 成均館大學校 電子工學科 教授