

# 급속 열처리 공정에 의한 초박막 재산화 질화산화막의 유전 특성

正會員 李 龍 宰\* 正會員 安 點 榮\*

## Dielectrical Characteristics of Ultrathin Reoxidized Nitrided Oxides by Rapid Thermal Process

Yong Jae LEE\*, Jeom Young AHN\* *Regular Members*

**要 約** 초박막 재산화 질화산화막을 1050°C-1100°C 온도에서 20, 40초 동안 산소 분위기에서 램프 가열 방법의 급속 열처리 공정에 의해 형성 시켰다. 초박막의 전기적 특성은 누설전류, 항복전압, 시간종속 항복과 F-N 관통을 분석 하였다. 질화와 재산화 조건에 따른 전하포획의 의존성 즉 고전계 스트레스에 유기되는 항복전하량( $Q_{BD}$ ) 증가 여부와 평탄대역 전압이동( $\Delta V_{FB}$ )을 연구하였다. 분석 결과에 의하면, 급속 열처리 재산화시 유전적 성질이 상당히 개선되었고, 항복전하량은 증가되었으며, 평탄대역전압은 감소 되었다.

**ABSTRACT** Ultrathin Reoxidized Nitrided Oxides were formed by lamp-heated rapid thermal annealing in oxygen at temperatures of 1050°C-1100°C for 20, 40 seconds. The electrical characteristics of ultrathin films were evaluated by leakage current, breakdown voltage, TDDB, FN tunneling. Nitridation and reoxidation condition dependence of charge trapping properties, i.e., the flat band voltage shift ( $\Delta V_{FB}$ ) and the increase of charge-to-breakdown ( $Q_{BD}$ ) induced by a high field stress, were studied. As the results of analysis, rapid thermal reoxidation was achieved striking improvement of dielectric integrity, the charge to breakdown was increased and flat band voltage shift was reduced.

### I. 서 론

반도체의 미세공정 기술의 발달과 더불어 장비의 첨단화가 가속됨에 따라 집적도가 증가되면서, 단위 소자의 크기도 축소되면서 실리콘 반도체의 MOS 트랜지스터의 채널길이가  $1/4\mu\text{m}$  기술이 거의 확립되었으며, 따라서 게이트의 절연층 두께도 수십Å 정도와 높은 유전율과 양호한 절연성 물질이 요구되고 있다.<sup>(1, 2)</sup> 한편 설계 및 제작에서 치수 감소에 수반되는 유전체 두께는 가령 적층 게이트 구조의 EPROM, EEPROM 등의 소자에서는 비휘발성 기억을 위해 가장 중요 과제이며, 기억소자 셀에서는 적은 면적에서 큰 용량의 커패시터가 요구되는데

이는 고유전율의 유전체와 이 유전체를 게이트 절연층으로 사용할때 낮은 누설전류와 낮은 결합 밀도와 hot 캐리어 효과에 제한성에 대한 접근 구조인 재산화에 의한 산화막 / 질화막 / 산화막의 ONO구조가 보고되고 있다.<sup>(3, 4)</sup> 질화산화막은 산화막과 질화막에 비해서 유전상수가 크고 비교적 낮은 결합 밀도와 방사능에 의한 손상에 대해 저항성이 높으며, 불순물 확산시 장벽 역할을 하며, 높은 전장이 인가될때 양호한 계면 상태의 장점이 있다.<sup>(5)</sup> 그러나 전자의 트랩이 많아서 전하 포획이 많아지고, 고정 전하의 양이 많아서 문턱전압이 높아지기 때문에 소자 특성이 불안정한 단점들이 있다.<sup>(6)</sup>

본 연구에서는 이런 점들을 비교적 많이 줄인 질화산화막을 급속 열처리 공정으로 다시 산화시킨 재산화 질화산화막을 성장 시켜 PIS 구조의

\* 東義大學校 電子工學科

Dept. of Electronic Eng. Donggeui Univ.

論文番號 : 91-111 (接受1991. 8. 12)

이 논문은 1990년도 교육부지원 한국학술진흥재단의 지방대육성 학술연구조성비에 의하여 연구되었음.

소자를 제작하여 이 소자들의 유전 특성에 따른 전류-전압, 항복특성, 누설전류 및 정전류 스트레스 하에서 시간 종속 유전 항복 등을 측정하여 소자의 신뢰성, 전하의 포획 특성, 평탄대역 전압 이동과 전도현상 등을 분석 하고자 한다.

## II. 소자 제작

기판은 면저수가 (100), 비저항이  $18\Omega\text{-cm}$  인 P형 6인치 실리콘 웨이퍼를 사용하여, 초기 세척 공정을 거친 후 급속 열처리 장치내에 넣었다. 초기 산화막을 산소 분위기에서  $1050^{\circ}\text{C}$ , 10초 동안 성장시켰으며, 이때 두께는 약  $23\text{\AA}$  이 형성되었다.

급속 열처리 산화막(RTC) 소자는 이 초기 산화막 위에 다결정 실리콘 전극을 형성시킨 구조이고, 질화산화막(NO) 소자는 급속 열처리 산화막위에 질화막을 각각  $40, 60, 80\text{\AA}$ 으로 분리시켜 저압 CVD 장치로 흡착시킨후 이 박막위에 다결정 실리콘 전극을 만든 구조이다. 재산화 질화막(ONO) 구조는 초기 박막위에 질화막을  $40, 60, 80\text{\AA}$ 으로 형성시킨 박막을 다시 재산화하기 위해 산소분위기  $1100^{\circ}\text{C}$ 에서 20초( $\text{ONO}_I$ )와 40초( $\text{ONO}_H$ )로 나누어 공정을 한 후 전극을 형성하였다.

## III. 소자의 특성 측정 및 고찰

### 1. 소자 측정 시스템

제작한 소자의 전기적 특성을 측정하기 위한 측정 시스템을 그림2와 같이 구성하였으며, 전류-전압 특성은 파라미터 분석기(HP 4145B)를 이용하여 측정하였으며, HP-IB 인터페이스 카드를 통하여 IBM-PC에 전달이 되어 프로그램에 의하여 제어되게 하였다.

이때 파라미터 분석기에 측정된 데이터는 IBM-PC 에 전달이 되어 프로그램에 의하여 전류-전압 특성 및 전하 포획 현상을 분석하였

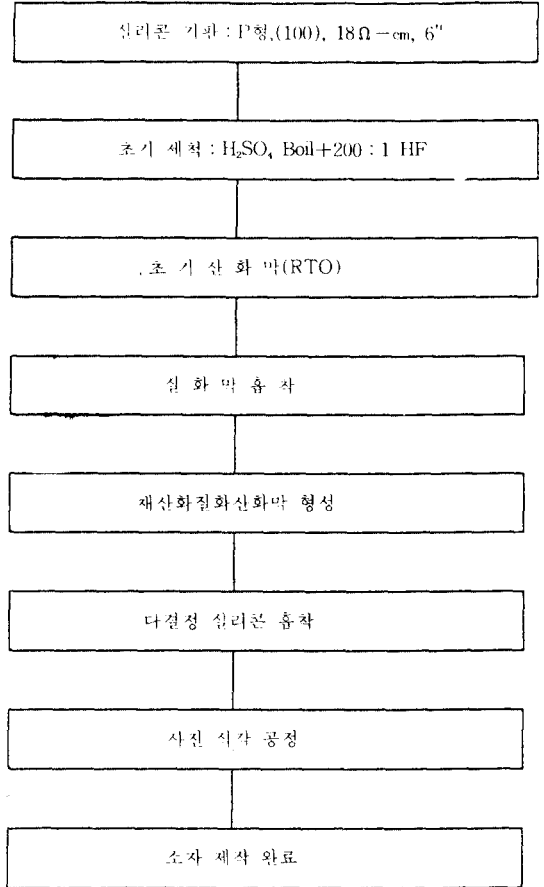


그림 1. 재산화 질화산화막의 PIS 소자 제작 흐름도  
Fig. 1. The flowchart of PIS devices fabrication with ONO

다. 전하 포획 및 계면 특성 분석을 위하여 정전류 스트레스는 전류 소오스를 통하여 인가되게 하였으며, 시간종속 유전항복(TDDB : Time

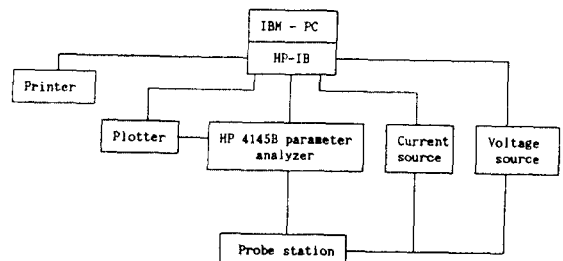


그림 2. 소자 측정 시스템  
Fig. 2. Measurement system of devices

Dependent Dielectric Breakdown) 특성은 파라미터 분석기를 이용하여 측정되게 하였다.

### 2. 누설전류 특성

제작한 소자의 절연막 종류에 따라 급속열처리 산화막(RTO), 질화산화막(NO), 재산화 질화산화막(ONO)을 갖는 소자의 전류-전압 특성이 그림 3이며, 이 결과에서 ONO절연층의 I-V 특성 곡선은 RTO와 거의 유사하나 누설전류가 조금 많은 것을 보여 주지만 RTO 절연층에 비하여 누설전류가 많이 흐르는 것을 알 수 있다.

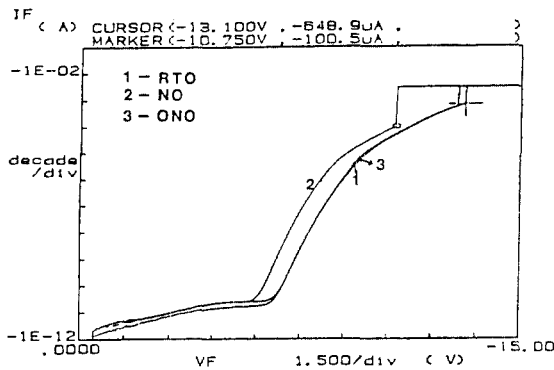


그림 3. RTO, NO 및 ONO의 전류 전압 특성  
Fig. 3. I-V characteristics of RTO, NO and ONO

그림 4는 질화막 두께 변화에 따른 누설전류로 질화막이 80nm인 소자가 가장 양호 하며, 재산화 시간이 20초 보다 40초 동안의 공정이 더 좋은 결과를 보이며, RTO와 NO 보다 ONO 절연층 박막이 전반적으로 양호한 결과로 나타났다. ONO막 중에서 중간층인 질화막의 두께가 두꺼울수록 누설전류 결과는 양호하지만 단위 커패시턴스값이 작은것을 의미 하기 때문에 문턱 전압이 높아지고, 작은 전하량으로 인하여 넓은 면적을 요구하기 때문에 소자에서 질화층을 두껍게 할수는 없다. 그림 4로 부터 NO와 ONO박막의 누설전류가 형성되는 현상과 ONO의 동일 조건에서 질화 시간이 많을수록 누설전류가 많아

짐을 보여준다. 이런 현상은 크게 2가지로 나누어 분석할 수 있다.

첫째는 질화시간이 증가되거나 질화가 많이 될수록 NH가 열분해 될때 생성된 H, OH, NH 등의 수소를 포함한 반응들이 산화층내로 침투하면서 중간갭의 트랩을 증가시켰기 때문일 것이다. 이는 동일 질화조건에서 ONO막이 NO막에 비하여 누설전류가 적은 것으로 부터 알수 있으며 NO막을 재산화 시키면 수소 원자가 밖으로 확산되어 실제 ONO막에는 수소원자가 NO막보다 적게된 것으로 생각할 수 있다.

둘째는 질화가 많이 되면 질화원자가 산화층으로 많이 침투되어 실리콘-산화막 계면에 비조성비 구조(Si-O<sub>x</sub>-N<sub>y</sub>)를 형성하게 되어 스트레스 유발로 인한 결함이 생겨서 누설전류 증가의 원인이 된것으로 생각된다.<sup>(7)</sup>

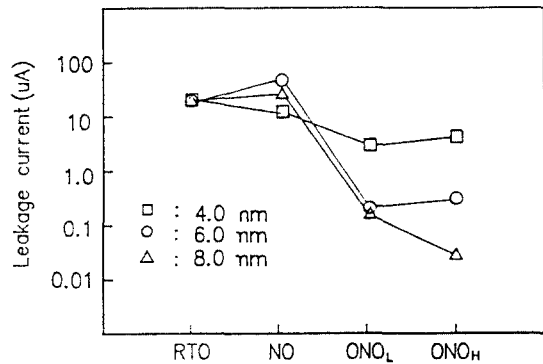


그림 4. 질화막 두께에 따른 누설전류  
Fig. 4. Leakage current according to nitride thickness

### 3. 항복 전압 특성

그림 3으로부터 RTO, ONO 절연층 구조의 항복 전압은 비슷하나 NO 절연층 보다 큰것을 알수 있는데, 이 현상이 바로 NO박막이 질화 과정에서 생긴 H, OH, NH등의 반응기들이 산화막 속으로 침투하여 산화막 내에 많은 결함을 만들고 또한 산화막-실리콘 계면에서 Si-O<sub>x</sub>-N<sub>y</sub> 형태의 복잡한 비조성비 구조를 형성하여 스트레스에 의한 결함이 많이 형성되기 때문으로

생각된다.<sup>(6)</sup> 또한 각 절연층의 신뢰성을 분석하기 위하여 시간 종속 유전항복 특성을 측정할 결과는 각 소자에 정전류 4mA/cm<sup>2</sup>을 인가하고 게이트와 기판 사이의 전압을 측정하여 게이트 전압이 급격히 떨어지는 지점의 시간을 측정함으로써 박막이 항복에 도달하는 전하량(Q<sub>BD</sub>)을 구하였다. 그림 5에서 정전류를 인가한 시간에 따라 게이트 전압이 조금 증가한 이유는 박막내의 전자 포획양에 비례하기 때문이다. 항복전계는 RTO와 ONO가 비슷하였으나 항복전하량에서 ONO 박막이 가장 큰것으로 부터 ONO 박막의 전자트랩이 가장 적은 것으로 사료되며 ONO막이 신뢰성에서 가장 양호한 것으로 평가된다.

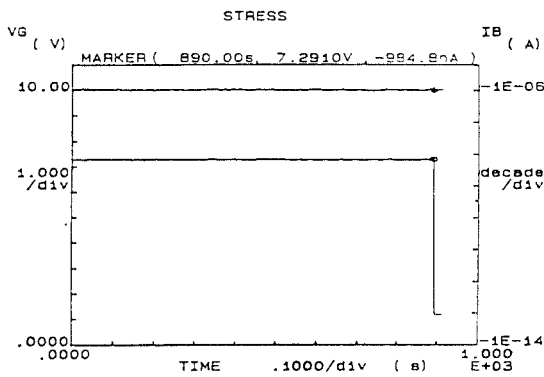


그림 5. 재산화 질화산화막의 TDDB 결과  
Fig. 5. TDDB results of reoxidized nitrided oxides

#### 4. 전하 포획 특성

박막속의 전하 포획 분석 방법은 정전류 스트레스 하에서 전류-전압 특성의 변화를 분석하는 방법과 C-V특성의 변화를 분석하는 2가지 방법이 있다. I-V 특성 방법은 높은 전계에서 포획 특성을 분석하는 것이고, 커패시턴스 전압 특성으로 부터 분석하는 방법은 평탄대역 전압 변화를 측정하여 낮은 전계에서 트랩핑 특성을 분석하는 방법이다. 그림 6은 정전류 스트레스 하에서 항복에 이르는 시간을 각 박막별로 측정하고 인가된 전류에 대한 항복전하량(Q<sub>BD</sub>)은 식 1로 주어진다.

$$Q_{BD} = A \cdot \int J dt = A \cdot J \cdot t_{BD} = I \cdot t_{BD}(c) \quad (1)$$

이때 적분 구간은 0에서 t<sub>BD</sub>초까지 이며, t<sub>BD</sub>는 절연파괴가 일어날때 까지의 시간이다. 즉 C-V 특성으로 부터 공정과정에서 만들어진 포획양을 구할 수 있으며, I-V 특성에서 부터 이 포획은 스트레스 인가 동안 만들어진 계면 포획을 구할 수 있게된다. 여기에서는 정전류를 20μA를 600초 동안 인가하고 I-V 특성의 변화로 부터 박막내의 전하 트랩핑을 분석하여 트랩의 밀도를 구하고자 하며, 이는 Hori의 2단계 모델에 의하여 정상적으로 분석하고자 한다.<sup>(7, 8)</sup>

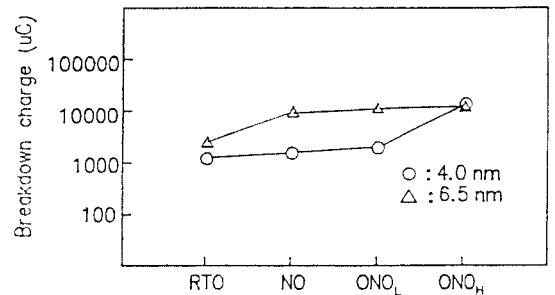


그림 6. RTO, NO 및 ONO의 항복 전하량  
Fig. 6. Breakdown charge of RTO, NO and ONO

암모니아가 열분해 되면서 N, OH, H, NH등의 반응기들이 생성되는데 질소는 실리콘-산화막 경계까지 산화막 속으로 침투하여 결함이 형성되어 고정전하와 중간궤 계면 상태의 밀도가 증가하게 된다. 따라서 반응기들이 계면에 많아지면 결함이 많아지고 재산화 과정이나 열처리 과정으로 결함이 감소되므로 고정전하와 계면상태 밀도는 질화시간과 온도 및 공정 조건에 따라 다른 값을 갖게 되므로 2단계 모델로 이 현상을 설명할 수 있다. 결함 상태의 체적 밀도 N(x, t)는 전류와 거리 함수로 나타낼 수 있다.

$$\frac{\partial N(x, t)}{\partial t} = p \frac{\partial I(x, t)}{\partial t} - K_a \cdot N(x, t) \quad (2)$$

여기에서  $x$ =표면에서 부터 거리

$t$ =질화시간

$p$ =질소원자 하나가 침투될때 결합 생성 확률

$K_a$ =열처리 공정에서 비례상수

식2을 확산 방정식과 경계조건을 도입한 최종적인 거리와 시간의 전류식은 다음 식3으로 고온에서는 질화시간이 짧을수록 고정 전하값이 크고 온도가 낮을 경우는 질화시간이 길수록 고정 전하값이 크게 된다. 또 질화과정에서 온도가 증가되거나 질화 시간이 길어지면 산화막 속으로 질소의 반응기의 침투는 단조롭게 증가하게 될 것이다.

그림 5는 ONO 박막의 정전류 하에서 다결정 전극 전압의 변화를 나타낸 것으로, 다결정에 (+)전류를 인가 하였으므로 기판의 전자가 F-N 관통을 하면서 박막의 트랩에 포획되어 다결정 전극 전압이 양의 방향으로 증가하게 된다. 이 결과에 의해 박막에 전자가 포획되어 나타남 특성이다. 이 트랩 밀도를 구하기 위하여 다결정 전압 변화를 측정할 결과 0.03V이며, 이 결과로 트랩 밀도를 구하면 약  $7.7 \times 10^{10} \text{cm}^{-2}$ 이다.

### 5. 전도 현상 분석

재산화 질화산화막의 전류 형성은 전자와 정공의 관통에 의한 F-N 관통에 제한되기 때문에 제작한 PIS 구조의 에너지 대역 모델을 그림 7에 제시하여, 순방향에서 유전체 박막 내부의 트랩들에 정전류 스트레스가 인가될때 트랩에 전자들이 채워지지만 않고 일단 트랩에 전자가 포획되면서 부근의 전장이 증가되어 이로 인해 다른 트랩들이 발생되면서 이런 현상이 반복되는 정계환 메카니즘에 의해서 항복이 일어날때 까지 스트레스가 가해지는 시간과 함께 트랩 발생 비율이 더욱 증가된다. 새로운 전자 트랩의 발생으로 산화막 결합이 변형되거나 파괴된 Si-O 결합들이 가능성이 크며, 재산화 질화산화막일 경우 내부의 수소기, 수산기들이 끊어질때 절연 파괴가 일어나게 된다.

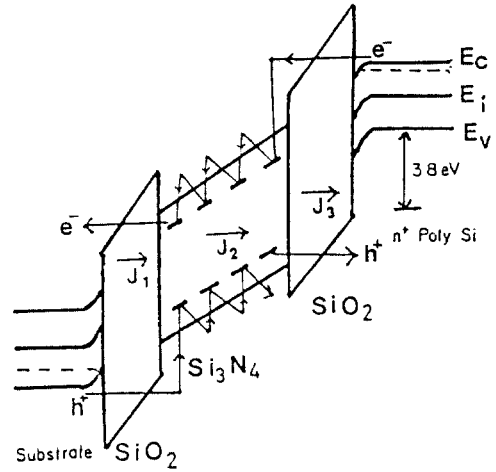


그림 7. ONO 절연층의 PIS 구조의 순방향 에너지 대역도.  
Fig. 7. Forward energy band diagram of PIS structure with ONO insulator

소자의 인가 전압에 따른 전자 관통에 의한 전류는 전자가 삼각형 모양의 전위장벽을 터널링 하여 다결정 전극으로 주입되는 성분으로 전자에 의한 전류의 크기는 WKB 근사방법으로 구할 수 있는데 이 식은 다음과 같다.<sup>7)</sup>

$$J = \frac{(q^3 E^2 / 8\pi h \Phi_B) \exp[-4(2m_e^* / m)^{1/2} \Phi_B^{3/2} / 3hq^{-1/2} E]}{\quad} \quad (3)$$

여기에서  $E$ : Si-SiO<sub>2</sub> 계면에서 전계의 세기  
 $m_e^*$ ,  $m$ : 전자의 유효질량, 질량  
 $\Phi$ : 전자 혹은 정공의 장벽 높이

실리콘과 산화막 계면에서 전자의 트랩이 많아지면 계면에서 전자의 전계 세기가 감소되고, 이로 인해 F-N 관통이 감소하여 식3의 전류의 세기는 작아질 것이며, 절연층 내에서 포획된 전자량( $N_t$ )이 계면에서 부터  $x$ 만큼 떨어진 위치에서의 존재는 F-N관통시간 동안 변하게 된 전계는 식4로 나타낸다.<sup>7, 8)</sup>

$$E(t) = E_0 - q \cdot N_t / E_0 x (1 - x / t_0 x) \quad (4)$$

여기에서  $E_0$  : 초기의 전계  
 $t_{ox}$  : 절연층 두께

식 3과 식 4를 고려한 이론적 결과와 실험적 결과인 그림 4로부터 추출한 값을 그림 8에 나타내었는데 이 결과의 기울기로 부터 전자들이 주입되는 다결정 전극과 유전체 막 사이의 에너지 장벽 높이( $\Phi$ )를 구한 결과 RTO, NO, ONO는 각각 3.2eV, 2.97eV, 3.10eV로 나타났다. 이는 계산된 에너지 장벽들로부터 질화막이 재산화에 의해서 산화막 표면의 질소가 산소로 치환되어 에너지 장벽 높이가 증가되는 것을 알 수 있었다.

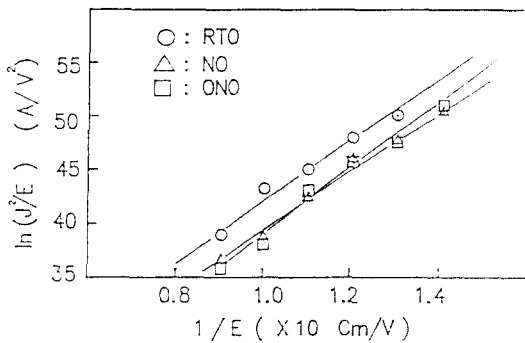


그림 8. F-N 관통 분석 결과  
 Fig. 8. Analysis results of F-N tunneling

#### IV. 결 론

질화막의 재산화 과정에서 반응기들이 낮은 전압에서 절연 파괴에 이르는 직접적인 원인이었고, 큰 에너지를 갖는 캐리어들에 의해 수소, 수산기들의 결합 상태가 떨어지면서 트랩으로 작용하는 것을 알 수 있었다. 암모니아(NH<sub>3</sub>)가 열분해되면서 질소 원자가 산화막 속으로 침투하므로 재산화 질화산화막(ONO)을 금속일처리 산화막(RTO), 질화산화막(NO)의 전도 현상을 RTO와 같이 F-N 관통에 의해 해석이 가능하였으며, 전류 특성으로부터 RTO와 ONO의 전위 장벽 높이는 약 3.20eV, 3.10eV로 비슷하였으나 NO막의 전위장벽은 약 2.97eV로 낮았다. 재산화가 많이 되면

누설전류가 높게되고, 결합이 많아지면서 트랩의 밀도도 높아짐을 알 수 있었다. F-N 관통의 전위장벽 높이와 항복전계는 RTO와 ONO막막이 비슷한 값을 보였으나 시간중속 유전항복(TDDB) 특성에서 ONO막막의 항복전하량(Q<sub>bd</sub>=19.2C/cm<sup>2</sup>)이 가장 높았으며, 전하 트랩 밀도는 약 7.7×10<sup>16</sup>cm<sup>-2</sup>로 가장 낮았다. 이 결과로부터 질화 산화막을 재산화함으로써 형성된 재산화 질화산화막의 전기적 특성은 양호함을 보여 주었다.

#### 참 고 문 헌

1. S.Mori et al "Polyoxide Thinning Limitation and Superior ONO Interpoly Dielectric for Nonvolatile Memory Devices" IEEE Trans Electron Devices, Vol. 38, No.2, pp.270-277, Feb. 1991.
2. I.S.Cable et al "Impurity Barrier properties of Reoxidized Nitrided Oxide Films for use with P<sup>+</sup> Doped Polysilicon Gates" IEEE Electron Devices Lett, Vol. 12, No.3, pp. 128-130, MAR. 1991.
3. B.S.Doyle, G. J. Dunn "Dynamic Hot Carrier Stressing of Reoxidized Nitrided Oxide" IEEE Electron Devices Lett, Vol. 12, No.2, pp. 63-65, FEB. 1991.
4. C. Hu, et al "Hot electron induced MOSFET degradation Model, monitor and improvement" IEEE Trans. Electron Devices, Vol. ED 32, pp.375-385, 1985.
5. A.T.Wu et al "Gate Bias Polarity Dependence of charge Trapping and Time Dependent Dielectric Breakdown in Nitrided and Reoxidized Nitrided Oxides"IEEE Electron Devices Lett, Vol. 10, No.10 pp. 413-415, OCT. 1987.
6. M.M. Mosleht et al. "Rapid Thermal Nitridation of SiO<sub>2</sub> for Nitrided Thin Dielectrics" Appl Phys. Lett., Vol.47, No.10, pp. 1113-1115, Nov. 1985.
7. T. Hori et al. "Charge Trapping Properties of Ultrathin Nitrided Oxides Prepared by Rapid Thermal Annealing" IEEE Trans. Electron Devices, Vol. 35, No.7, pp. 904-910, July, 1988.
8. G.Q. Lo, D.L.Kwong "The Use of Ultrathin Reoxidized Nitrided Gate Oxide for Suppression of Boron Penetration in BF<sub>3</sub>-Implanted Polysilicon Gated P-MOSFET'S" IEEE Electron Devices Lett, Vol. 12, No. 4, pp. 175-177, APR. 1991.



安 点 榮 (Joem Young AHN) 正會員  
1964年 2月: 韓國航空大學 電子工學科  
卒業  
1979年 2月: 東亞大學校 大學院 電子工  
學科(工學碩士)  
1986年 8月: 東亞大學校 大學院 電子工  
學科(工學博士)  
現在: 東亞大學校 工科大學 電子工學科  
副教授

※ 主關心分野: Signal processing, Speech analysis and syn-thesis



李 龍 宰 (Yong Jae LEE) 正會員  
1974年 3月~1981年 1月: 慶北大學校  
工科大學 電子工學科 卒業  
1981年 3月~1983年 2月: 延世大學校  
大學院 電子工學科(工學碩士)  
1983年 3月~1986年 8月: 延世大學校  
大學院 電子工學科(工學博士)  
1983年 3月~1984年 7月: 三星半導體研  
究所 研究員

1985年 3月~1988年 2月: 韓國電子通信研究所 集積回路 開發  
部 先任研究員

1988年 3月~現在: 東義大學校 工科大學 電子工學科 助教授

※ 主關心分野: Semiconductor devices process and design modeling, refractory metal silicide.