

AlGaAs /GaAs HBT CML 논리 회로 설계

正會員 崔 炳 夏\* 正會員 金 學 善\* 正會員 金 殷 魯\* 正會員 李 亨 宰\*

Design of AlGaAs /GaAs HBT CML Logic Circuit

Byung Ha Choi,\* Hak Sun Kim,\* Eun Ro Kim,\* Hyung Jae Lee\* *Regular Members*

要 約

AlGaAs /GaAs HBT를 이용한 고속 디지털 시스템에 사용 될 CML OR /NOR 논리 게이트를 설계하였다. HBT 모델링은 직접 추출법, Gummel-Poon 모델을 혼합한 형태로 등가회로를 얻었으며 PSPICE를 이용한 시뮬레이션 결과, 전달지연시간이 25ps로써 차단 토글주파수가 20GHz에 이르는 초고속특성을 가지고 기 보고된 HBT의 ECL<sup>[2]</sup>이나 MESFET SCFL<sup>[19]</sup>에 비하여 noise margin 이 커서 입력변동에 의한 잡음에 강하며 fan-out 특성이 우수함을 확인하였다.

ABSTRACT

AlGaAs/GaAs HBT OR/NOR gate, which can be used for high speed digital system, was designed. Equivalent circuit parameters of HBT were obtained from Gummel-Poon's model and direct extraction method. Simulation results with PSPICE showed that propagation delay time and cutoff toggle frequency of designed gate were 25ps and 20GHz, respectively. the designed gate exhibited superior properties to the recently reported HBT ECL<sup>[2]</sup> and MESFET SCFL<sup>[19]</sup> when considering the fan-out characteristics and noise margin.

I. 서 론

위성의 이용이 보편화 되면서 유한한 대역폭을 공유하는 방식이 연구되고, 주파수의 영역을 확장하고자 하는 욕구는 광대역 소자 및 회로의 필요성을 점차 가중시키고 있다. Si이나 Ge을 독자적으로 사용함에 따르는 공정의 단순화 및 회로 설계의 용이점에도 불구하고, 광대역을 위한 화합물 반도체의 이용에 관심을 두게 된 것은 1960년대부터 이었으며, 마이크로 웨이브에서는 이미 MESFET, HBT 등을 중심으

로 상당한 진전을 이룩하였다. MESFET는 오랜 연구로 인하여 디지털 IC, 아날로그 IC, MMIC뿐만 아니라 이미 밀리미터파로의 진입이 확인되었다<sup>[25]</sup>. 그러나 소자 자체의 우수함에도 불구하고 공정상의 어려움이나 회로 설계상의 제약으로 일반 아날로그 회로나 디지털 회로의 설계에 이용은 매우 적었다.

본 논문에서는 HBT에서 가장 일반적인 AlGaAs /GaAs HBT(Heterojunction Bipolar Transistor)를 이용한 CML(Current Mode Logic)을 설계, GaAs MESFET로 구성된 SCFL(Source Coupled FET Logic)과 비교하였다.

MESFET는 GaAs의 높은 전하이동도 및 고출력과 저잡음의 장점을 가지고 고속, 저전력회로에 사용되어 특히 NMOS 회로기법을 응용한 많은 분야에서

\*韓國航空大學 航空電子工學科  
Dept. of Avionics Eng., Hankuk Aviation University  
論文番號 : 92-51(接受1992. 1. 24)

일반화 되어가고 있는 추세이며, HBT는 Kroemer에 의해 제안<sup>1)</sup>되었고, MBE<sup>2)</sup>, MOCVD<sup>3)</sup>의 공법에 의하여 제작이 이루어지고 있다. AlGaAs/GaAs HBT는 BJT(Bipolar Junction Transistor)와 같은 구조와 동작원리를 갖고 있으며 Base의 에너지 갭이 작게 함으로 인하여 에미터 주입의 높은 효율, 낮은 베이스 저항, 베이스 주행시간 단축, 저온에서의 우수한 동작 능력등에서 상당히 탁월함이 입증되었다<sup>4)</sup>며, 또한 베이스에 비해 에너지 간극(gap)이 더 큰 이미터를 사용하여 BJT에서의 문제점인 정공전류를 줄여 줌으로써 고속, 고이득 효과를 얻을 수 있다<sup>5)</sup>.

격자 정합이 우수한 결정성상을 얻을 수 있는 AlGaAs/GaAs로 구성된 HBT는 제작기술상의 난점도 있지만, 에너지 간극이 큰 AlGaAs를 이미터로 사용함으로써 베이스로 사용되는 GaAs의 도핑 농도를 줄이지 않고서도 이미터 주입 효율을 높일 수 있기 때문에 많이 사용되고 있다<sup>6)</sup> [15].

이러한 특성의 HBT를 사용한 디지털 IC 설계에 필요한 게이트에 관한 연구는 극히 미미하지만 MESFET logic은 DCFL, SCFL, BFL등 이미 여러 가지의 논리회로가 개발되어 최근에는 컴퓨터에도 상당히 많이 이용되고 있다<sup>7)</sup> [21][22][23][24].

따라서 본 논문은 HBT 논리회로의 기초인 OR/NOR 게이트를 설계하여 기발표한 MESFET SCFL<sup>19)</sup>과 속도, 전력, 잡음등을 비교하였다.

## II. AlGaAs/GaAs HBT 모델링

HBT는 베이스의 도핑농도가 높으므로 BJT에 비하여 이미터로의 주입 효율이 높으며 이는 고속 동작에 큰 영향을 미친다. 또한 이미터를 이중접합으로 형성함으로써 베이스로부터의 정공전류를 차단하여 이미터-베이스의 도핑 농도비(比)에 관계 없이 큰 전류 이득을 얻을 수 있으며, 베이스 폭을 대단히 얇게 할 수 있어 전자의 통과시간을 줄일수 있고, 단위 면적당 전류 구동 능력이 우수하다. 따라서 fan-out 특성이 양호하여 마이크로웨이브 회로와 초고속 디지털 회로에 적합하다.

이러한 HBT의 특성을 이용하여 디지털 IC나 아날로그/마이크로웨이브 MMIC를 설계, 제작하기 위해서는 정확한 모델링이 선행되어야 한다.

기존의 BJT를 사용한 설계를 위하여 PSPICE에

서 채택하고 있는 모델은 Ebers-Moll의 것과 Gummel-Poon의 것들이다<sup>8)</sup>. 그러나 이들은 HBT의 특성을 나타내는 데에는 여러면에서 실제와 다르게 나타난다.

기본적인 Ebers-Moll 모델(EM1)은 세가지의 모델 파라미터  $I_s$ ,  $\beta_F$ ,  $\beta_R$ 로써 동작 특성을 설명한다. 그림1의 등가 모델에서 전류 전압식은

$$I_c = (I_{CC} - I_{EC}) - \frac{I_{EC}}{\beta_R} \quad (1)$$

$$I_c = -\frac{I_{EC}}{\beta_F} - (I_{CC} - I_{EC}) \quad (2)$$

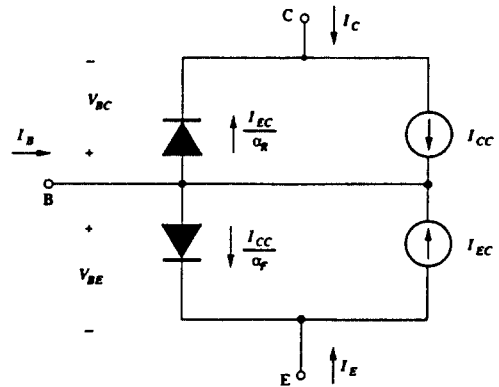


그림 1. EM 1 모델  
Fig. 1. Em 1 model

이 되어 트랜지스터의 직렬 저항 및 외부 단자와의 연결 저항 등이 제대로 도입되지 않아 BJT나 HBT의 동작에 정확하게 맞지 않는다. 이러한 단점을 극복하기 위하여 EM 2에서는 부유저항(parasitic resistance)  $r_e'$ ,  $r_b'$ ,  $r_c'$ 을 도입하였는데, 이때 반도체의 내부저항과 외부저항의 전압강하 효과가 동일하지 않다는 점을 반영하지 못하고 있다.

컬렉터와 기판간의 커패시턴스  $C_{cs}$ 는 BJT의 경우에는 매우 중요하지만 AlGaAs/GaAs HBT의 경우에는 기판 자체가 반질연성으로 무시될 수 있다. 이러한 상황은 SPICE에 내장된 Gummel-Poon 모델에서 많이 고려 되었다.

그러나 Gummel-Poon 모델에서도 베이스 변조 특성이 HBT와는 상당한 차이를 나타내고 있으며,  $I_B$ 와  $I_C$ 의 비례 관계에 따라서 3개의 영역으로 구분하

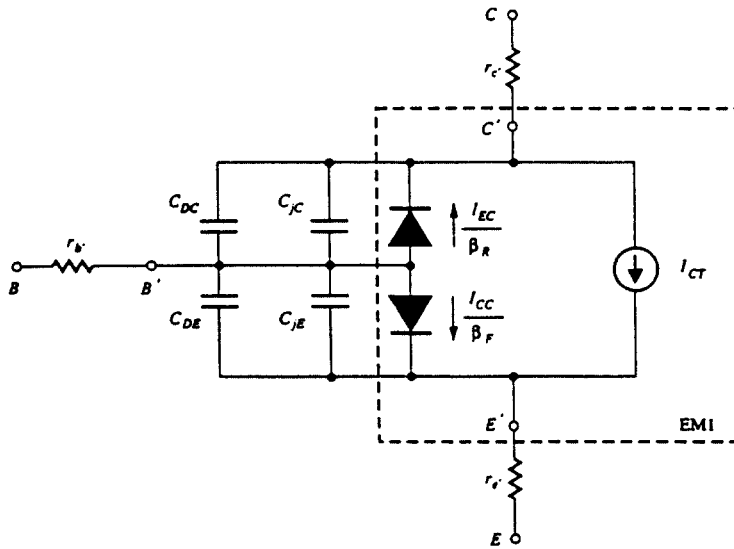


그림 2. EM 2 모델  
Fig. 2. EM 2 model

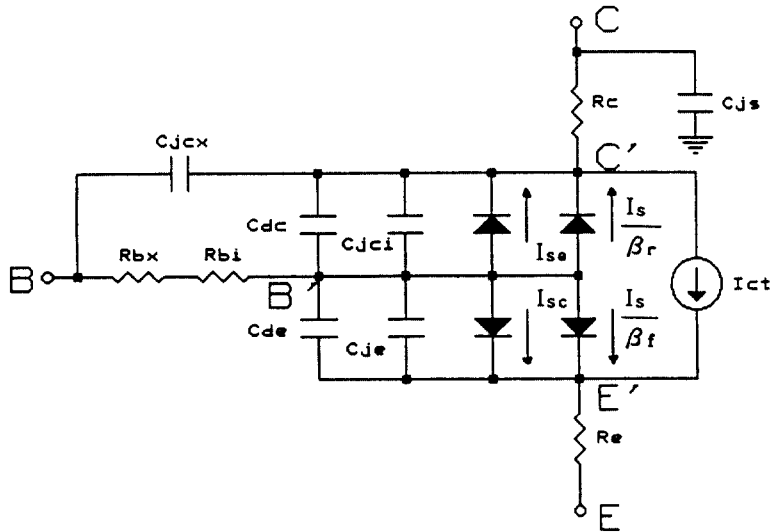


그림 3. Gummel-Poon 모델  
Fig. 3. Gummel-Poon model.

므로 전체적인 회로 설계시에 문제점으로 지적되고 있다<sup>[7]</sup>.

이러한 문제점을 해결하고 기존의 SPICE를 이용한 회로설계를 위해서 AlGaAs / GaAs HBT의 실제 특성에 맞도록 외부 회로를 구성하여 최적화시키는 방법이 시도되고 있다<sup>[8]</sup>. 이는 기존의 시뮬레이터들이 HBT의 정확한 모델링을 내장하고 있지 않기 때문이

다. 이 방법은 실제 제작된 HBT의 특성을 측정하여 기본적인 dc 파라미터를 추출한 후 dc 특성이 일치하면 고정시키고 여러 주파수대에서 S 파라미터를 측정하여 ac 파라미터를 추출하는 방식을 채택하고 있다.

본 논문에서 사용한 그림 4에 나타난 AlGaAs / GaAs HBT 등가회로에서 QHBT Gummel-Poon

모델에 의한 것이며, 외부 회로는 직접 추출법에 의하여 측정 데이터와 일치시키는 소자들이다. 사용된 파라미터의 값은 TRW 연구소에서 제작된 실제 데이터에서 추출된 것이다. 특히 쇼트키 다이오드 DHBT를 컬렉터와 베이스에 역방향으로 연결한 것은 일반 BJT 보다 스위칭 시간이 매우 짧은 HBT의 특성을 나타내고, 베이스의 큰 유입 전류를 해결하여 축적전하를 없애 줌으로써 스위칭 타임을 약 1/2로 줄일 수 있게 된다<sup>10)</sup>.

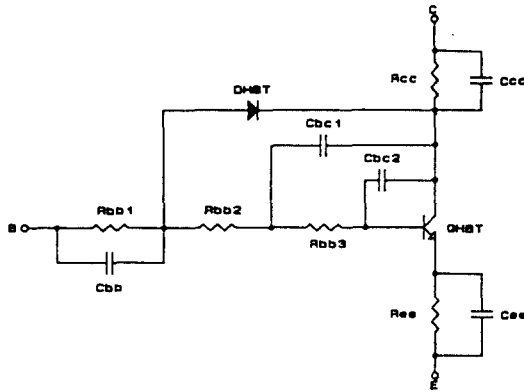


그림 4. AlGaAs/GaAs HBT의 PSPICE 모델  
Fig. 4. PSPICE model of AlGaAs/GaAs HBT.

위의 모델링에서 일반적으로 사용되는  $3 \times 10 \mu\text{m}^2$ 의 면적을 갖는 AlGaAs/GaAs HBT의 최적화 파라미터와 쇼트키 다이오드의 파라미터, 외부 회로의 파라미터를 표 1, 2, 3에 나타내었다. 그림 4의 모델링과 표 1, 2, 3의 파라미터를 사용하여 PSPICE를 이용한 시뮬레이션 결과 전류-전압 특성 곡선을 그림 5에 나타내었다.

표 1. QHBT의 DC 파라미터  
Table 1. DC parameter of QHBT.

파라미터	명칭	파라미터 값
transportation saturation current	$I_s$	$8 \text{ E } 24$
forward current emission coefficient	$N_F$	1.179
b-e leakage saturation current	$I_{SE}$	$30 \text{ E } 21$
b-c leakage emission coefficient	$N_E$	1.6
forward current gain	$\beta_F$	169
reverse current gain	$\beta_R$	0.1
forward early voltage	$V_A$	150[V]
b-c built-in potential	$V_{JC}$	1.21[V]
b-e built-in potential	$V_{JE}$	1.7[V]
b-e 0-bias depletion capacitance	$C_{JE}$	17[fF]
0-bias base resistance	$R_B$	34[Ω]
collector ohmic resistance	$R_C$	6[Ω]

표 2. Diode 파라미터  
Table 2. Parameter of diode(DHBT).

파라미터	명칭	파라미터 값
Saturation current	$I_s$	$1\text{E-}24[\text{A}]$
Parasitic res.	$R_s$	0.7[Ohms]
Emission coeff.	$N$	1.7
Grading coefficient	$M$	0.5
Junction potential	$V_j$	1.7[V]

표 3. 부가 회로의 파라미터  
Table 3. Parameters of subcircuit.

$R_{cc}$	4[Ω]	$C_{bb}$	18[fF]
$R_{bb1}$	9[Ω]	$C_{bc1}$	3[fF]
$R_{bb2}$	12[Ω]	$C_{bc21}$	3[fF]
$R_{bb3}$	9[Ω]	$C_{cc}$	37[fF]
$R_{ee}$	3[Ω]	$C_{ee}$	114[fF]

이외에도 직접 계산에 의해 파라미터를 추출하는 direct modeling 방법도 제시된 바 있으며<sup>11)</sup>, 특수한 목적을 위한 HBT의 모델링에 관한 논문도 발표되었다<sup>12)</sup>.

### III. GaAs MESFET SCFL 인버터 설계

#### 3-1. SCFL 특성

기본적인 SCFL(Source Coupled FET Logic) 인버터의 구조는 그림 6과 같다. 입력 단자는 FET<sub>1</sub>의 게이트이고 출력 단자는 FET<sub>6</sub>과 FET<sub>7</sub>의 드레인이 된다. 기준전압  $V_{ref}$ 는 FET<sub>2</sub>의 게이트에 가해진다. FET<sub>1</sub>의 게이트 전압  $V_G$ 가  $V_{ref}$ 와 같으면 같은 양의 전류가 FET<sub>1</sub>과 FET<sub>2</sub>에서 FET<sub>5</sub>로 흐르게 된다. 만약 입력 전압이  $V_{ref}$ 보다 높으면 전류의 대부분은 FET<sub>1</sub>을 통해서 흐르며 반대의 경우에는 FET<sub>2</sub>를 통한다. 그러므로 기준전압  $V_{ref}$ 는 임계전압을 결정해 주며 출력 전압 스윙폭은 저항값  $R_{c1}$ ,  $R_{c2}$ 와 전류에 의해 결정된다.

SCFL의 특징은 온도특성이 매우 넓은 범위에 걸쳐 안정하며, 동작점과 출력 전압 폭은  $V_{ref}$ 와 게이트의 폭을 조절하여 최적화 할 수 있다. 또한 fan-out이 크고, fan-in의 증가는 전달특성상에 천이영역을 감소시켜 변환이득을 증가시키며, 방전전류가 FET의 포화 영역의 전류에 의하므로 방전시간이 비교적 짧다. 이러한 특성의 SCFL회로를 고속으로 동작시키고자 하면 다음과 같은 조건을 고려하여 회로를 설계하여야 한다.

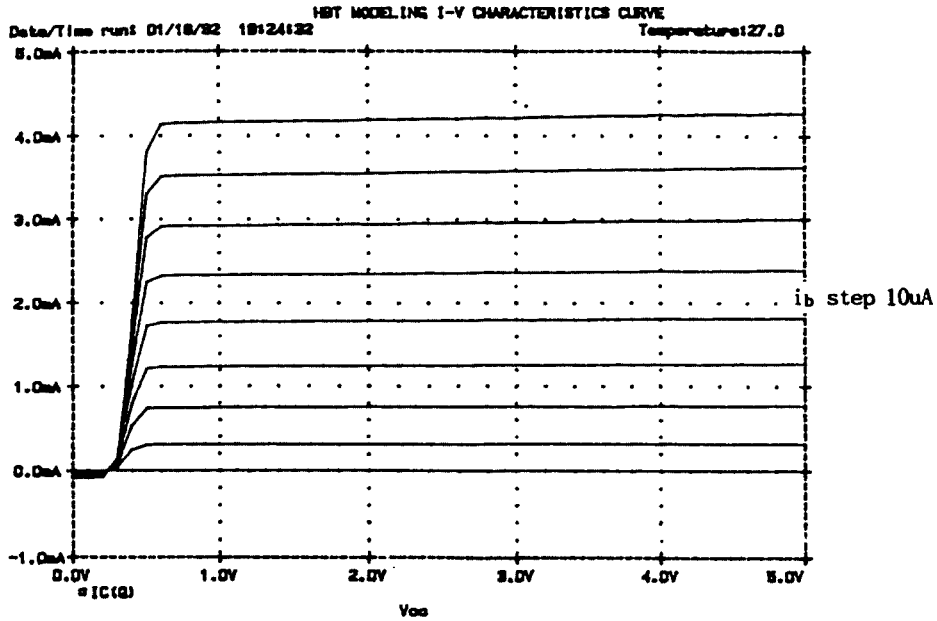


그림 5. 시뮬레이션에 의한 I-V 특성곡선  
Fig. 5. I-V characteristic curve by simulation.

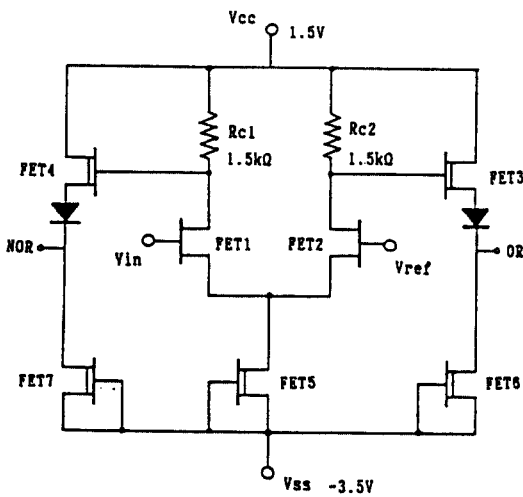


그림 6. 설계된 GaAs MESFET SCFL 회로  
Fig. 6. Designed SCFL with GaAs MESFET.

$$V_{TH} > 1.5V_{sw} + V_r + V_{ref} \quad (\text{FET}_1, \text{FET}_2) \quad (3)$$

$$V_{TH(sf)} > -V_r \quad (\text{FET}_3, \text{FET}_4) \quad (4)$$

$$V_{TH(cs)} > V_{cs} - V_{ref} + V_{Gs2(on)} \quad (\text{FET}_5, \text{FET}_6, \text{FET}_7) \quad (5)$$

여기서  $V_{sw}$ 는 FET<sub>1</sub>의 드레인 전압폭,  $V_r$ 은 Rc<sub>1</sub>, Rc<sub>2</sub>에 걸리는 전압,  $V_{ref}$ 는 기준 전압,  $V_{TH}$ 는 임계전압,  $V_{Gs(on)}$ 는 입력이 low일때 FET<sub>2</sub>의 게이트-소오스 전압이다.

식 (3), (4), (5)로부터  $V_{ref}$   $V_{TH}$ 의 관계를 나타내면 그림 7과 같다.

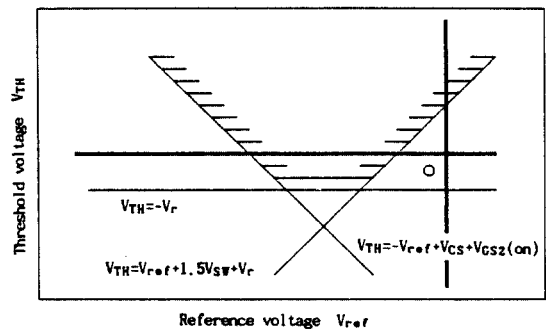


그림 7. 고속 동작시 임계전압의 범위  
Fig. 7. Region of threshold voltage (high speed operation).

이때의 transition 주파수는 다음과 같이 구해진다. h 파라미터 중 h<sub>21</sub>은

$$h_{21} = \frac{gm \ j\omega C_{gd}}{\omega^2 C_{gs} R_i + j\omega(C_{gs} + C_{gd})} \quad (6)$$

이며, 만약  $\omega^2 C_{gs} R_i \ll \omega(C_{gs} + C_{gd})$  이고,  $gm \gg \omega C_{gd}$  이면

$$|h_{21}| \approx \frac{gm}{\omega(C_{gs} + C_{gd})} \quad (7)$$

이다.  $h_{21} =$  이면

$$f_T \approx \frac{gm}{2\pi(C_{gs} + C_{gd})} \quad (8)$$

이 된다.

### 3-2. SCFL 인버터의 설계

최근에 발표되는 회로에 쓰이고 있는 MESFET 파라미터를 살펴보면 대부분이 게이트 길이를 마이크로미터 이하로 하고 있으나, 제작과의 연계성을 고려하여  $1\mu m$ 를 사용한 파라미터를 이용하였다. 주요한 파라미터의 도출식은 다음과 같다.

$$I_{DS} = \beta(V_{GS} - V_{DS})^2 (1 - \lambda v_{DS}) t_{nah}(\alpha V_{DS})$$

$$I_{GS} = I_s \{ \exp[(V_{GO} - V_{SO}) / V_{TH}] - 1 \}$$

$$I_{GD} = I_s \{ \exp[(V_{GD} - V_{DO}) / V_{TH}] - 1 \}$$

$$C_{GS} = 2\epsilon_s L W / [a(x+y)]$$

$$C_{GD} = \pi \epsilon_s W \quad ; y \leq 1$$

$$C_{GD} = (\pi/2) \epsilon_s W [1 - 2 \tan^{-1} \sqrt{(y^2 - 1) / \pi}] \quad ; y > 1$$

$$R_D = K_C / n + a W + L_{DG} / [q \mu_n (a - a^8) W]$$

$$R_G = \rho_m W / 3L_{tm}$$

$$\beta = \mu_n W / 2aL$$

$$V_{PO} = q N_D / 2\epsilon$$

$$V_{TH} = V_{bi} - V_{PO}$$

여기서,

$$\beta = \text{transconductance}$$

$$\lambda = \text{채널 변조도}$$

$$\alpha = \tanh \text{ 상수}$$

$$V_{TH} = K T / q$$

$$x = [V_{bi} - (V_{GO} - V_{SO})] / V_P$$

$$y = [V_{bi} - (V_{GO} - V_{DO})] / V_P$$

$$a_s = \sqrt{(2\epsilon_s V_{EB} / qn)}$$

L : 게이트 길이

W : 게이트 폭

$\rho_m$  : 금속의 저항률

$t_m$  : 금속의 두께

$\mu$  : 저전계 이동도

$\epsilon$  : 유전율

VPO : Pinch-off 전압

VBi : Built-in 전압이다.

설계에서 사용된 파라미터를 표 4에 나타내었다. 설계시 회로의 간소화를 위해 저항의 수를 줄이고  $V_{SS}$ 의 값을 조절하였다. 시뮬레이션에 사용한 파라미터들은 [12], [13] 등의 분석 결과를 토대로 하여 산출하였으며, PSPICE 시뮬레이션에 의하여 최적화하였다.

표 4. 인버터 회로에 사용한 VESFET의 파라미터  
Table 4. MESFET parameter for SCFL inverter.

FET Number	Gate Width( $\mu m$ )	Gate Length( $\mu m$ )	Bata (mA/V)	Rs(RD) ( $\Omega$ )	Cgs(CGD) (pF)
1	10	1	3.01	50	17
2	10	1	3.01	50	17
3	30	1	2.13	125	13
4	30	1	2.13	125	13
5	10	1	2.13	125	13
6	10	1	2.13	125	13
7	10	z1	2.13	125	13

Resistors	Voltage Source		Diode Parameters	
Rc1	1.5K $\Omega$	Vcc	1.5V	Is . 1.75e-13a
Rc2	1.5K $\Omega$	VSS	-3.5V	Vbi . 0.74 eV
		Vref	0V	Rs 50 $\Omega$

## IV. AlGaAs/ GaAs CML 논리회로 설계

### 4-1. 최적 설계 조건

HBT를 이용한 논리 게이트에서는 BJT의 ECL과 CML이 거의 같은 개념으로 쓰이는 것과는 달리, CML은 전류의 통로를 바꾸어 주는 전류 스위치의 구조를 바탕으로 하여 요구되는 논리 기능에 알맞게 이들 스위치를 직렬 또는 병렬로 연결한 상태를 말한다.

디지털 논리회로에 사용되는 HBT 소자의 지연시간은

$$\tau_s = \frac{5}{2} R_b R_c + \frac{R_b}{R_c} \tau_b + (3C_c + C_L) R_L \quad (9)$$

로 표시되는데 [7], 이때의  $R_b$ 는 전체 베이스 저항이며,  $C_c$ 는 베이스와 컬렉터의 용량이며,  $\tau_b$ 는 베이스를 통과하는 전자의 이동시간이다. 위의 식에서  $1/(2\tau_s) = f_{max}$ 에 의하여 최대주파수  $f_{max}$ 와  $\tau_b$ 는 상관 관계를 갖게 됨을 알 수 있다.  $R_L$ 과  $C_L$ 은 부하저항과 부하용량이다.

CML을 설계할 때 고속 특성에서 가장 중요한 전파 지연 시간은 다음 식에 의하여 정의된다[14].

$$\begin{aligned} \tau_D = & K_{01}\tau_F + R_L(K_{02}C_{JC1} + K_{03}C_{JCX} + K_{04}C_{JE} + K_{05}C_{JS} + K_{06}C_L) \\ & + R_B(K_{07}C_{JC1} + K_{08}C_{JCX} + K_{09}C_{JE} + K_{10}C_D + K_{11}C_{JS} + K_{12}C_L) \\ & + R_C(K_{13}C_{JC1} + K_{14}C_{JCX} + K_{15}C_{JE} + K_{16}C_D + K_{17}C_{JS} + K_{18}C_L) \\ & + R_E(K_{19}C_{JC1} + K_{20}C_{JCX} + K_{21}C_{JE} + K_{22}C_D + K_{23}C_{JS} + K_{24}C_L) \end{aligned} \quad (10)$$

여기서,  $C_{JC1}$ 는 진성 컬렉터 접합 용량,  $C_{JCX}$ 는 외인성 컬렉터 접합 용량,  $R_L$ 은 회로의 부하저항,  $C_D$ 는 베이스와 이미터 접합의 확산 용량이며,  $R_B$ ,  $R_C$ ,  $R_E$ 는 각각 베이스, 컬렉터, 이미터의 저항이다.

이에 사용되는 CML의 주파수 보정계수는 표 4와 같다.

표 4. 시정수와 대응하는 주파수 보정계수

Table 4. Frequency compensation coefficient corresponded with time constant.

K <sub>i</sub>	Term	CML	K <sub>i</sub>	Term	CML
K <sub>01</sub>	$\tau_F$	1.16	K <sub>13</sub>	R <sub>C</sub> C <sub>JC1</sub>	2.71
K <sub>02</sub>	R <sub>L</sub> C <sub>JC1</sub>	2.52	K <sub>14</sub>	R <sub>C</sub> C <sub>JCX</sub>	2.86
K <sub>03</sub>	R <sub>L</sub> C <sub>JCX</sub>	2.55	K <sub>15</sub>	R <sub>C</sub> C <sub>JE</sub>	0.15
K <sub>04</sub>	R <sub>L</sub> C <sub>JE</sub>	0.33	K <sub>16</sub>	R <sub>C</sub> C <sub>D</sub>	0.30
K <sub>05</sub>	R <sub>L</sub> C <sub>JS</sub>	0.70	K <sub>17</sub>	R <sub>C</sub> C <sub>JS</sub>	0.92
K <sub>06</sub>	R <sub>L</sub> C <sub>L</sub>	0.65	K <sub>18</sub>	R <sub>C</sub> C <sub>L</sub>	0.27
K <sub>07</sub>	R <sub>B</sub> C <sub>JC1</sub>	3.42	K <sub>19</sub>	R <sub>E</sub> C <sub>JC1</sub>	3.89
K <sub>08</sub>	R <sub>B</sub> C <sub>JCX</sub>	0.26	K <sub>20</sub>	R <sub>E</sub> C <sub>JCX</sub>	3.74
K <sub>09</sub>	R <sub>B</sub> C <sub>JE</sub>	1.01	K <sub>21</sub>	R <sub>E</sub> C <sub>JE</sub>	0.35
K <sub>10</sub>	R <sub>B</sub> C <sub>D</sub>	1.30	K <sub>22</sub>	R <sub>E</sub> C <sub>D</sub>	0.79
K <sub>11</sub>	R <sub>B</sub> C <sub>JS</sub>	0.25	K <sub>23</sub>	R <sub>E</sub> C <sub>JS</sub>	0.72
K <sub>12</sub>	R <sub>B</sub> C <sub>L</sub>	0.40	K <sub>24</sub>	R <sub>E</sub> C <sub>L</sub>	0.84

CML의 지연시간을 구하기 위하여 식(9)에 표 4의 계수를 대입하여 정리하면

$$\begin{aligned} \tau_M = & 1.16\tau_F + 3.41R_B C_{JC1} + 1.01R_B C_{JE} + \\ & 2.6R_{BrF} / R_L + 2.52R_L C_{JC1} + 0.65R_L C_L \\ & + 0.033R_L C_{JE} + 3.89R_E C_{JC1} \end{aligned} \quad (11)$$

로 나타난다. 이 때의 각 파라미터를 대입하여 계산

하면 25.4 ps를 얻을 수 있다. 그러나  $R_L$ 의 값을 최적화하면 더 지연시간이 적은 CML 설계가 가능하다. 식(11)을  $R_L$ 에 관하여 편미분하여 극대값을 구하면,  $\partial\tau_M / \partial R_L = 0$ 에서

$$R_{L,OPT} = \sqrt{\frac{2.6R_{BrF}}{(2.52C_{JC1} + 0.65C_L + 0.33C_{JE})}} \quad (12)$$

가 된다. 따라서 최적 설계를 위해서는  $R_L$ 값과 여러 가지 소자 파라미터에 대한 검토가 필요하다.

#### 4-2. 인버터 설계

AlGaAs / GaAs HBT는 고이득으로 구동능력이 크고, 회로의 배선용량 등의 영향이 적어서 고속 디지털 IC에 적합하다[7]. 회로 설계시에는 기존의 BJT 회로와 동일하게 사용되나 베이스-이미터 접합의 built-in 전압이 다르므로 이를 고려한 설계가 필요하다.

단일 CML인 버터인 경우는 MESFET SCFL에서의 level shifter 단을 제거한 구조로서 회로는 간단하지만 입력과 출력의 레벨 차이로 인하여 사용면에서 별도의 level shifter가 필요하다. 그러나 지연 시간이 짧아지는 장점이 있다.

본 연구는 상용가능한 논리 게이트의 설계시 MESFET SCFL과 HBT CML의 비교에 중점을 두고 있으므로 level shifter까지 포함한 논리 게이트를 설계하였다. 설계한 HBT 인버터(또 OR / NOR 게이트)의 회로도들 그림 8에 나타내었다. H1과 H2는 driver로써 사용되었으며  $V_{in} > V_{ref}$ 인 조건에서는  $R_1$ 을 통하는 전류가 주전류이므로 Q의 출력이 low이면 Q의 출력은 high이며  $V_{in} < V_{ref}$ 인 경우에는 반대가 된다. H<sub>6</sub>는 I<sub>1</sub>+I<sub>2</sub>를 일정하게 하는 전류원의 역할을 하며 H<sub>5</sub>와 H<sub>7</sub>은 저항과 같은 용도를 사용된다. D<sub>1</sub>~D<sub>4</sub>는 level shifter로서  $V_{in}$ 과  $V_{out}$ 의 레벨을 일치시키기 위하여 쓰여진다. 출력의 스윙폭은 R<sub>1</sub>과 R<sub>2</sub> 및 다이오드를 흐르는 전류에 의하여 조정할 수 있다.

이 회로는 전류 구동으로서 fan-out이 다른 종류의 디지털 게이트보다 우수하며 전류원의 최적 설계에 의하여 잡음이 매우 강하다는 특징을 가지고 있다[2]. 또한 HBT의 특성인 베이스 입력의 변화에 덜 민감하여 크기가 작은 잡음의 입력은 출력에 영향을 주지 않는다[2]. 또한 HBT의 특성인 베이스 입력의 변화에 덜 민감하여 크기가 작은 잡음의 입력은 출력에 영향을 주지 않는다[14].  $V_{ref}$ 는 3.6V를 사용하였는데, 이는 H<sub>6</sub>이 전류원으로서 동작하도록 하여 HBT의

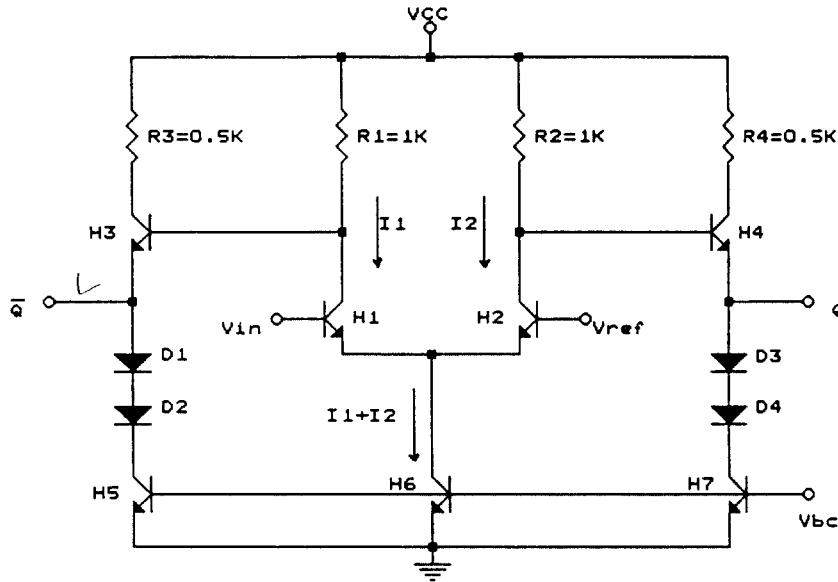


그림 8. 설계한 HBT 인버터 회로  
Fig. 8. Designed HBT inverter.

$V_{BE}$ 가 1.5V 정도에 가까워야 동작하는 특성을 이용하기 위한 것이다.

### V. 결과 및 검토

GaAs MESFET SCFL 인버터의 시뮬레이션 결과를 그림 9에 나타내었다.

시뮬레이션 결과 입력  $V_{PP}$ 가 1V일때 출력이 1V이므로 전압 스윙 폭이 대단히 크다. 따라서 전압 제어용 DIC로서 레이저 다이오드와 여분의 buffer가 없이 직접 연결이 가능하므로 광통신에 응용될 수 있을

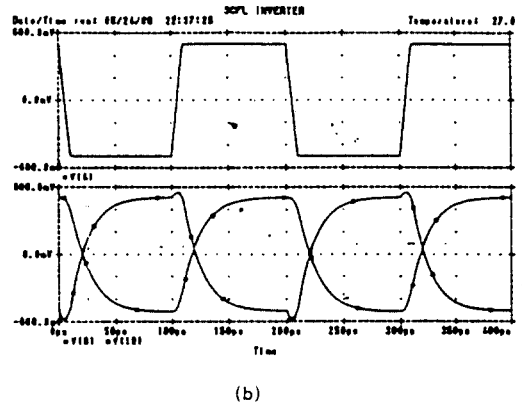
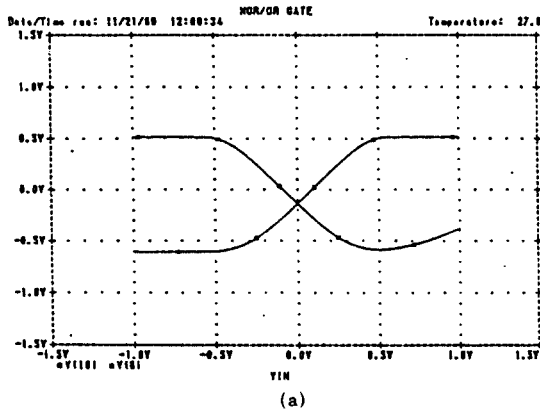
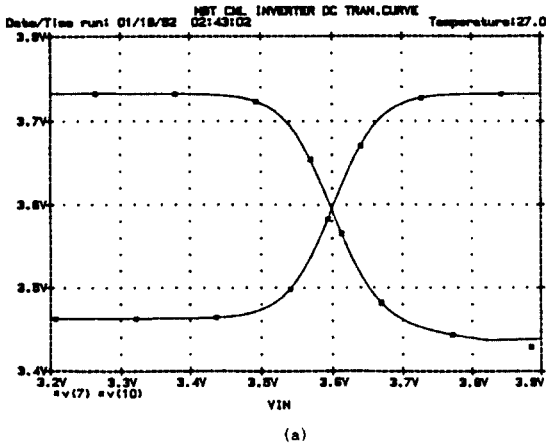


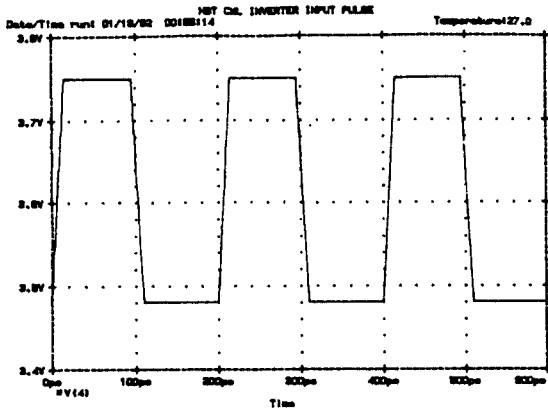
그림 9. 설계된 GaAs MESFET SCFL의 특성  
(a) 전달 특성 곡선 (b) 입출력 특성  
Fig. 9.Characteristics for designed GaAs MESFET SCFL.  
(a) transfer curve (b) input-output waveform

것이다. 그러나 지연시간이 30ps이며 상승시간과 하강시간이 30ps로써 길기 때문에 초고속용으로는 부족하며, 2개의 전원( $V_{CC}$ ,  $V_{SS}$ )을 사용하여야 잡음의 영향을 최소화 할 수 있었다. 그러나 전력 소모가 3.5mW로써 매우 작아 LSI용에 적합하리라 사료된다.

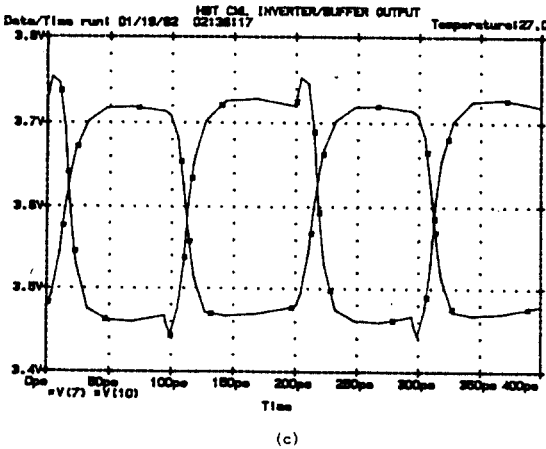




(a)



(b)



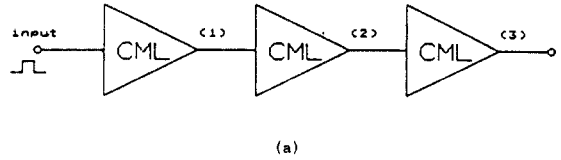
(c)

그림 10. HBT 인버터의 특성

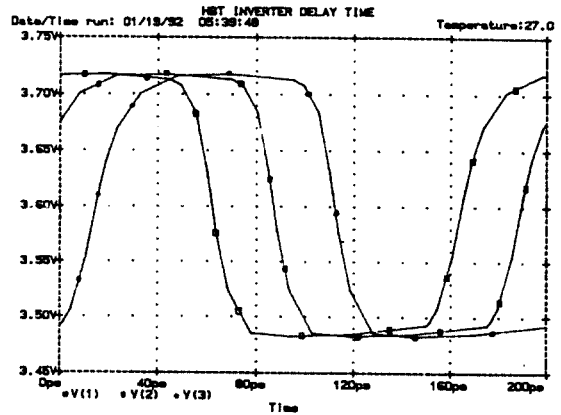
Fig. 10. Characteristics for HBT inverter

(a) transfer curve (b) input (c) output

AlGaAs / GaAs HBT를 이용한 인버터의 시뮬레이션 결과를 그림 10에 나타내었다. 또한 지연 시간을 측정하기 위하여 그림 11과 같이 구성하여 측정된 파형을 나타내었다.



(a)



(b)

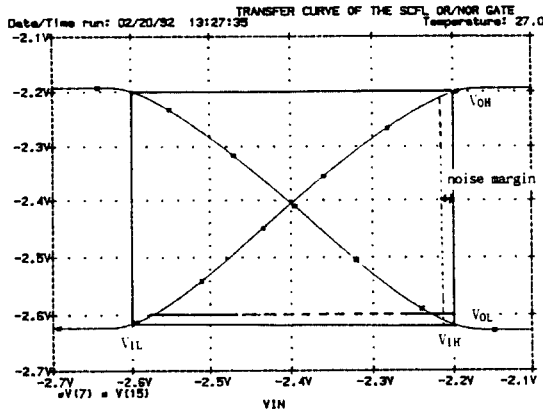
그림 11. 지연 시간 측정

(a) 지연시간 측정 회로 (b) 시뮬레이션 결과

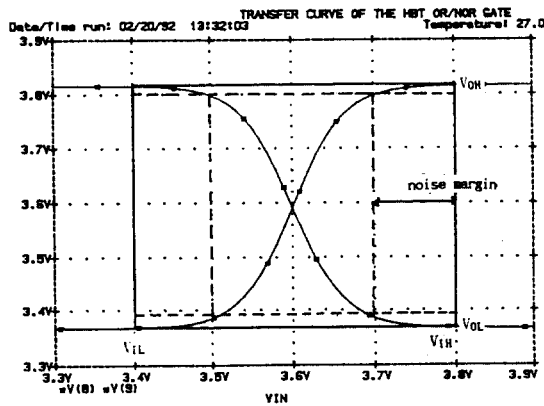
Fig. 11. Measurement of delay time.

(a) measurement circuit (b) simulation result

설계된 CML 논리회로는 SCFL에 비하여 스윙폭이 작은 것을 볼 수 있다. 이는 MESFET의 경우 공핍형 모드를 사용하여 저항 소자를 제거하기가 용이하여 칩의 면적을 줄일수 있으나, HBT의 경우 베이스와 이미터 사이에 약 1.5V 정도의 순방향 전압이 가해져야 하므로 저항의 사용이 불가피하여 칩의 면적을 고려하여 저항값을 적게 사용하였기 때문이다. 출력에서의 spike는 누설 전류에 의한 영향으로써 전압 제어 소자인 MESFET 보다 HBT의 이득 특성이 좋음에 기인한다. 그러나 지연 시간 측정 결과 25ps로써 SCFL에 비하여 우수함을 확인할 수 있고, 상승 시간과 하강 시간이 짧아 차단 토글 주파수  $f_T$ 가 매우 크게 됨을 알 수 있다. 또한 잡음의 영향을 측정하기

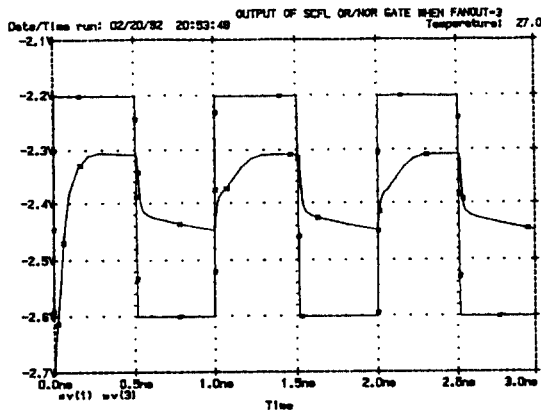


(a)

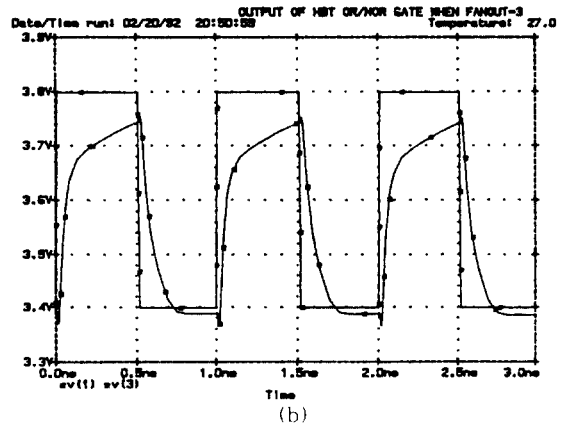


(b)

그림 12. 입-출력 특성 곡선에 의한 잡음여유  
(a)MESFET SCFL (b)HBT CML  
Fig. 12. noise margine in in-output curve.  
(a)MESFET SCFL (b)HBT CML



(a)



(b)

그림 13. Fan-out=3일 때의 출력 파형  
(a)MESFET SCFL (b)HBT CML  
Fig. 13. output waveform in fan-out=3.  
(a)MESFET SCFL (b)HBT CML

위하여 동일 입력에 대한 출력특성을 시뮬레이션 한 결과 그림 12에서와 같이 잡음 여유가 SCFL에 비하여 CML이 큼을 확인 하였다. 또한 링 발진기를 구성하여 시뮬레이션한 결과 동일하게 fan-out을 3개 연결하였을 때의 출력이 그림 13에서와 같이 fan-out 특성이 SCFL에 비해 매우 우수함을 알 수 있다. 그러나 신류 제어에 의한 전력 소모는 12.7mW로써 SCFL에 비하여 매우 크다는 것을 알 수 있다.

## VI. 결 론

AlGaAs/GaAs HBT를 사용하여 CML OR/NOR 논리회로를 설계하여 이에 상응하는 GaAs MESFET SCFL 인버터와 비교하였다.

파라미터 직접 추출법과 Gummel-Poon 모델을 이용한 등가모델을 이용하여 PSPICE로 시뮬레이션한 결과, 본 논문에서 설계한 AlGaAs/GaAs HBT CML OR/NOR 게이트는 동일 입·출력시 잡음 여유가 SCFL에 비하여 매우 커서 입력 변동에 따르는 잡음의 영향을 최소화 할 수 있으며, fanout 특성이 우수하여 대형 디지털 시스템의 구현시에 유리하며 전달지연시간이 25ps로써 차단 주파수가 높으므로 고속 디지털 시스템 설계시 사용될 수 있을 것이다.

그러나 전류원을 위한 여분의 전원이 필요하고 전력, 집적도면에서는 MESFET가 적합하므로 회로 설계시 상호 보완관계를 갖는 혼합형 설계법에 관한 연구가 필요하다.

참 고 문 헌

1. John Kemps et al., "1.5Gbit/s GaAs multiplexer and demultiplexer forge fast fiber-optic links," *Electronics Design*, vol.34, no.2, 107-110, Jan. 1988.
2. K.C.Wang, P.M.Asbeck, G.J.Sullivan et al., "High-speed MSI current mod logic circuits implemented with heterojunction bipolar transistors," *IEEE GaAs IC Symposium*, pp. 159-162, 1986.
3. H. Kroemer, "Theory of a wide-gap emitter for transistors", *Proc. IRE*, vol.45(11), pp. 1535-1537, 1957.
4. A. Pruijboom, Jan W.Slotboom et al., "Heterojunction bipolar transistors with SiGe base grown by molecular beam epitaxy," *IEEE Electron Devices Letters*, vol.12, no. 7, July 1991.
5. Masanori Inada, et al., "AlGaAs/GaAs heterojunction bipolar transistor with small size fabricated by a multiple self-alignment process using one mask," *IEEE Trans, Electron Devices*, vol. 36, no. 6, pp. 1026-1035, 1989.
6. Gummel, H.K., and Poon, H.C, "An integral charge control model of bipolar transistors," *Bell Sys. Tech. J.*, vol. 49, pp. 827-852, 1970.
7. Stephen I.Long et al, Gallium Arsenide digital integrated circuit design, McGraw-Hill, 1990.
8. C.T.Matsuno, A.K.Sharma and A.K.Oki," A large signal HSPICE model for the heterojunction bipolar transistor," *IEEE Tran. Microwave Theory and Techniques*, vol. 37, no. 9, Sep. 1989.
9. Ben G. Streetman, Solid state electric devices, Prentice-Hall, 3rd ed., 1990.
10. Damian Costa, William U.Liu and James S. Harris, Jr., "Direct extraction of the AlGaAs/GaAs heterojunction bipolar transistor small signal equivalent circuit," *IEEE Tran, Electron Devices*, vol. 38, no. 9, Sep. 1991.
11. J.S.Yuan," Modelling the current dependent FT for AlGaAs/GaAs hetero-junction bipolar transistor design," *Solid State Electronics*, vol. 34, no. 10, pp. 1103-1107, 1991.
12. S.E.Sussman-Fort et al., "A SPICE model for enhancement and depletion mode GaAs FET's," *IEEE Trans. on Microwave Theory and Techniques*, vol. MTT-34, no.11, pp. 1115-1118, Nov. 1986.
13. M.S.Shur," Analytical models of GaAs FET's *IEEE Trans. on Electron Devices*, vol. ED-32, no.1, pp.70-72, Jan. 1985.
14. Wen Fang. "Accurate analytical delay expressions for ECL and CML circuits and their applications to optimizing high-speed bipolar circuits", *IEE J. Solid-State Circuits*, vol. 25, pp. 572-583, 1990.
15. M.E.Kim, J.B.Camou et al., "GaAs/Al<sub>0.3</sub>Ga<sub>0.7</sub>As heterojunction bipolar transistors and integrated circuits with high current gain for small device geometries", *IEEE GaAs IC Symposium*, pp.163-166, 1986.
16. 김학선, 최병하, 이형재, "기가주파수대 멀티플렉서 설계에 관한 연구," *한국통신학회 논문지*, vol. 15, no. 2. 1990.
17. S.Katsu and et al., "A source coupled FET logic-A new current mode approach to GaAs logics," *IEEE Trans, on Electron Devices*, ED-32, no.6, pp.1114-1118, Jan.1985.
18. M.Idda and et l., "Analysis of high speed GaAs source coupled FET logic circuits," *IEEE Trans. on Microwave Theory and Tech.*, vol.MTT-32, no.1, pp. 5-10, Jan. 1984.
19. The T.Vu and et al., "The performance of source coupled FET logic circuits that use GaAs MESFETs," *IEE J. of Solid State Circuits*, vol.23, no.1, pp.267-287, Jan.1988.
20. S.I.Long and et al., "MSI high speed low power GaAs integrated circuit using schottky diode FET logic," *IEEE Trans. on Microwave Theory and Tech.*, vol. MTT-28, no.5, pp. 466-472, May. 1980.
21. N.Hashizume and et al., "Schottky-barrier

coupled schottky-barrier gate GaAs FET logic," Inst. Phys. Conf. Ser. no. 63:chap. 11 Int. Symp. GaAs and Related compounds, Japan, pp. 557-562, 1981.

22. P.Mellor and et al., "Capacitor coupled logic using GaAs depletion mode FET's," Electronics Letters, vol.16, no.19, pp.749-750, Sep. 1980.

23. A.Peczalski and et al., "Design Analysys of GaAs direct coupled field effect transistor

logic," IEEE Trans. on Coputer-Aided Design, vol.CAD-5, no.2, pp.266-273, Apr.1986.

24. 이형재 등, "고속 GaAs 직접 논리 gate 회로 연구," 한국통신학회논문지, vol.12, no.3, pp. 292-297, Jun. 1987.

25. G.W.Wang Milton Feng, C.L.Lau, Ito, and Thomas R.Lepkowski, "High-performance millimeter-wave ion implanted GaAs MESFET's," IEEE electrom device letters, vol.10,no.2, pp.95-97, Feb.1989.

崔炳夏(Byung Ha Choi)

正會員

1945년 6월 10일생

1969년 2월 : 한국항공대학 항공전자공학과 졸업  
1983년 2월 : 건국대학교 대학원 전자공학과 석사과정졸업 (공학석사)

1987년 : 통신기술사 취득

1991년 : 한국항공대학 박사과정 수료

※주관심분야 : 화합물 반도체를 이용한 초고주파 회로설계, 이중접합 트랜지스터 시뮬레이터 설계 등임.

金學善(Hak Sun Kim) 正會員

1959년 6월 3일생

1986년 2월 : 한국항공대학 전자공학과 졸업(공학사)

1990년 2월 : 한국항공대학 대학원 전자공학과 졸업(공학석사)

1990년 3월~현재 : 한국항공대학 대학원 전자공학과 박사과정 재학중



1990년 3월~현재 : 대전공업대학 강사

※주관심분야 : 화합물 반도체 회로 설계 및 시뮬레이션으로써 Analog IC, MMIC, ASIC 설계와 시뮬레이션 기법등임.



金殷魯(Eun Ro Kim) 正會員

1968년 1월 16일생

1990년 2월 : 한국항공대학 전자공학과 졸업(공학사)

1992년 2월 : 한국항공대학 대학원 전자공학과 졸업(공학석사)

1992년 3월~현재 : 국방과학연구소 연구원

※주관심분야 : 화합물반도체 회로설계 및 센서응용회로임.



李亨宰(Hyung Jae Lee) 正會員

1933년 3월 20일생

현재 : 한국항공대학 교수