

레이아웃 변화에 대한 CMOS의 래치업 특성 연구

正會員 孫 鐘 亨* 正會員 韓 百 亨**

A Study of CMOS Latch-Up by Layout Dependence

Jong Hyoung Son*, Baik Hyung Han** *Regular Members*

要 約

본 논문은 latch-up의 가능성을 최소화하는 여러가지 방법 중 공정이나 재질 변경에 의한 방법이 아닌, mask의 layout 변경에 의한 latch-up 최소화 방법에 대하여 기술하였다. 기존의 공정이나 재질 변경에 의한 방법이 어려운 공정이나 특수 시설 사용을 전제로하고 있는 반면, mask의 layout 변경에 의한 방법은 기존의 공정을 그대로 사용할 수 있는 장점을 갖고 있다.

layout 변경에 의한 latch-up 최소화 방법 수행을 위하여 substrate의 N⁺와 S-W 접합(substrate-well 접합) 사이의 거리를 a, S-W 접합에서 well의 P⁺까지의 거리를 b로 하여 a와 b가 다른 6개의 latch-up model과 guard ring 구조를 갖는 3개의 latch-up 모델을 만들어 latch-up 관련 변수에 대하여 비교 검토 하였다.

substrate wafer로서 9.5 Ω -cm의 비저항을 갖는 P형 반도체를 사용하였으며 이후 공정은 0.8 μ m CMOS 표준 공정을 사용하였다. 결과로써 접합의 깊이 4.5 μ m, 평면저항 800 Ω /□의 N-well을 만들었으며 접합의 깊이(X_j)가 0.3 μ m이고 평면 저항이 각각 95 Ω /□ 및 45 Ω /□의 P⁺층과 N⁺층을 만들었다.

측정 결과로 측면구조 바이폴라 트랜지스터의 전류증폭률 β_n 및 수평구조 트랜지스터의 전류증폭률 β_p 가 a와 b에 반비례하고 있음을 확인할 수 있었으며 shunt 저항 R_s 및 R_w와 유지전류 I_h가 a와 b에 대체로 비례함을 알 수 있었다. 터미널 전압 V_t는 layout의 변화에 무관하였다. 한편 guard ring은 latch-up의 가능성을 줄이는 데 있어서 상당한 효과가 있었음이 실험을 통하여 확인되었다. guard ring이 없는 경우에 비하여 공통 에미터 전류증폭률의 곱($\beta_n \cdot \beta_p$)이 31% 감소하였으며 유지 전류(I_h)가 약 25% 향상됨을 확인할 수 있었다.

ABSTRACT

This paper deals with a detailed analysis of CMOS latch-up dependancies on the layout and geometrical demensions on the mask using same materials and same processes. For this purpose, six different layout models depending upon the N⁺/P⁺ spacing and three different guard ring models

* 데이터 퀘스트 韓國支社長
 ** 漢陽大學校 物理學科 教授
 論文番號 : 92-90(接受1992. 8. 22)

have been designed, fabricated, and tested. As a result, common emitter current gain, shunt resistance, and holding current versus N^+ / P^+ spacing have been measured and analyzed experimentally. Also the fact that guard ring is effective in reducing the latchup possibility has been verified through this study.

I. 서 론

CMOS 회로의 전력 소모가 적고 동작 속도가 빨라 VLSI /ULSI 시대로 접어들면서 더욱 각광을 받기 시작하였다. 그러나 CMOS 소자는 그의 독특한 구조로 인한 latch-up 문제가 있어 회로설계시 이를 항상 염두에 놓지 않으면 안되는 단점도 동시에 갖고 있다. 더욱이 CMOS 회로의 latch-up 가능성은 회로의 집적도가 높아지고 소자의 크기가 작아짐에 따라 더욱 높아져 sub-micron 시대로 접어들면서 더욱 심각한 문제로 등장하게 되었다.

latch-up이란 bulk CMOS에 기생하는 PNPN 구조가 낮은 임피던스 상태로 되어 PNPN 구조로 많은 전류가 흐르는 상태를 의미하는데, latch-up을 일으키는 조건으로서 Estreich^[1]는 다음의 세가지 조건을 제시하였다.

- 1) 트랜지스터의 전류이득률($\beta_n \cdot \beta_p$)이 1보다 커야 한다.
- 2) 두개의 트랜지스터가 모두 활성화 되도록 바이어스 되어야 한다.
- 3) latch-up 상태에서 계속해서 유지전류(I_h) 이상 전원이 공급되어야 한다.

CMOS회로의 latch-up 문제에 대한 연구는 CMOS 소자 개발 초기부터 매우 활발히 진행되어 왔다. 위의 세 가지 조건 중 최소한 한 가지를 만족시키지 않는 방향으로 많은 연구가 진행 되어왔는데 바이폴라 트랜지스터의 기능을 약화시키거나 두개의 트랜지스터가 동시에 활성화 되지 않도록하는 방법들이 주류를 이루고있다. 그 대표적인 방법으로는 epi wafer를 사용하는 방법^[2], buried layer를 사용하는 방법^[3], guard ring을 이용하는 방법^[4], gold doping^[5]이나 중성자를 방사시키는 방법^[6], trench를 이용하는 방법^{[7][8]}, 등이 있는데 그 대부분이 공정이나 재질의 변화에 의한 방법이다. 그런데 공정이나 재질 변경에 의한 latch-up 회피방법은 반드시 어려운 공정을 전제로하고 있어 이를 상품화할 시 어려운 공정 채택으로 인한 수율 저하 문제와 직면하게되는 단점

을 갖게 된다. 따라서 본 논문에서는 공정이나 재질을 변화시키지 않고 mask 상에서 layout 만을 변경시켜 latch-up의 가능성을 줄이고자 하였으며 이에 대한 구체적인 방법으로,

- 1) substrate의 N^+ 와 S-W 접합(substrate-well 접합)사이의 거리를 a, S-W 접합에서 well의 P^+ 까지의 거리를 b로 하여, a와 b의 변화에 대한 latch-up 파라미터와의 상관관계를 도출하고자 하였으며,
- 2) a와 b사이에 P^+ guard ring과 N^+ guard ring을 넣에 각각의 경우에 대한 guard ring의 효과에 대해 분석 검토코자 하였다.

본 연구는 2장에서 latch-up에 관한 이론을 다루었으며 3장에서는 실험모델제작 4장에서는 실험결과 측정 및 분석을 5장에서는 본 연구의 결론을 도출하였다.

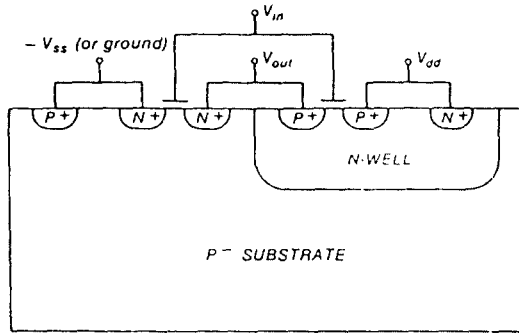
II. latch-up 이론

2.1 집중 정수 모델

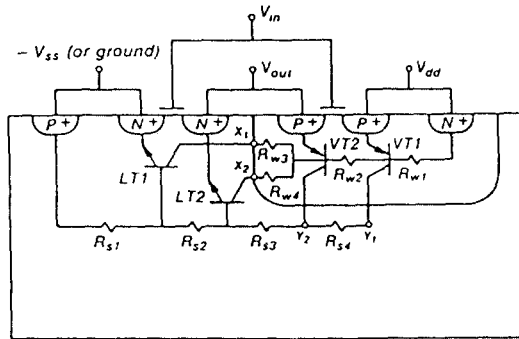
bulk CMOS는 (그림1)과 같이 NMOS와 PMOS로 구성되어 있기 때문에 $P^+ - N - P^- - N^+$ 로 이어지는 기생바이폴라의 구조를 동시에 갖고 있다. 이런 구조는 (그림2)와 같이 $P^+ - N - P^-$ 로 이어지는 수직구조 트랜지스터(PNP)와 $N^+ - P^- - N$ 으로 이어지는 수평구조 트랜지스터(NPN)의 결합으로 생각할 수 있다.

(그림2)를 다시 등가회로로 나타내면 (그림3)과 같다.

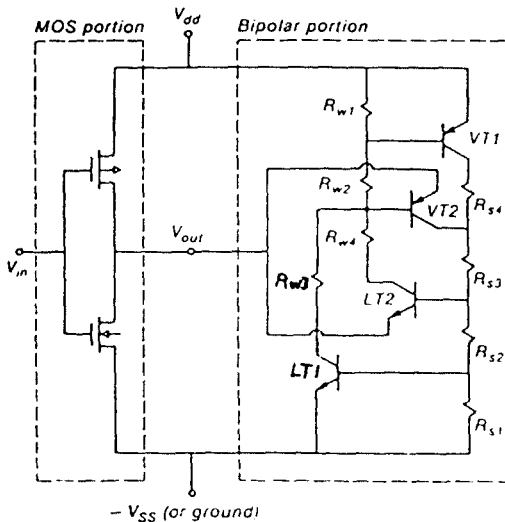
그런데 여기서 V_{out} 가 V_{dd} 일 경우에는 LT2에는 아무런 전류가 흐르지 않는다. 따라서 이 경우 LT2가 무시될 수 있다. 또 VT2에 전류가 흐른다 해도 VT2의 에미터 단자가 PMOS와 연결되어 있는 관계로 P 채널 FET를 통하여 전류를 공급 받게 된다. 따라서 VT2는 VT1에 비하여 latch-up을 일으킬 확률이 훨씬 적어진다. 같은 이유로 V_{out} 가 0인 경우에는 VT2가 무시되며 LT2는 LT1에 비하여 훨씬 더 적은



(그림1) N-well CMOS의 단면도
(Fig.1) Cross section of N-well CMOS

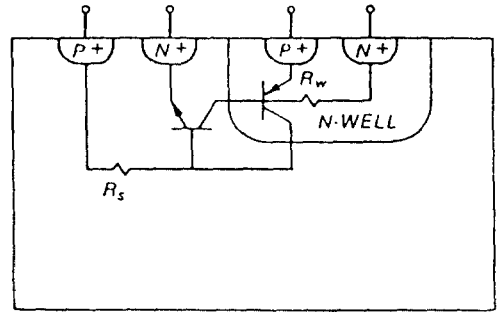


(그림2) N-well CMOS의 바이폴라구조
(Fig.2) Parasitic bipolar portion of CMOS

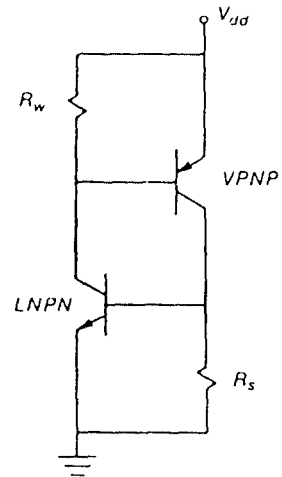


(그림3) CMOS 인버터의 등가회로
(Fig.3) Complete circuit schematic for N-well CMOS inverter

latch-up 가능성을 갖는다. 따라서 latch-up을 고찰하는데 있어서는 latch-up의 특성을 파악하는데 가장 중요한 (그림4)와 (그림5)의 4-terminal 구조가 사용된다. 여기서 R_s 는 NPN의 에미터-베이스간 저항이며 R_w 는 PNP의 에미터-베이스간 저항을 의미한다. 또 VPNP는 수직구조의 PNP 트랜지스터를 의미하며 LNPN은 수평구조의 NPN 트랜지스터를 의미한다.



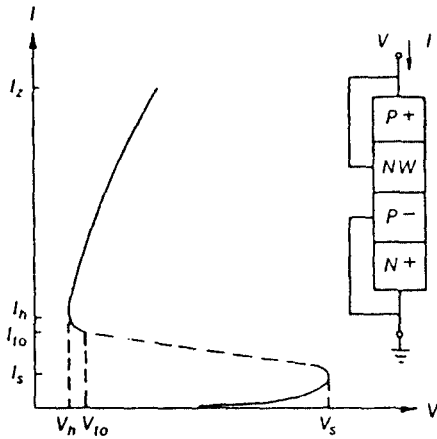
(그림4) PNPN 구조에 기생하는 바이폴라 성분
(Fig.4) Parasitic bipolar portion of 4-terminal PNPN



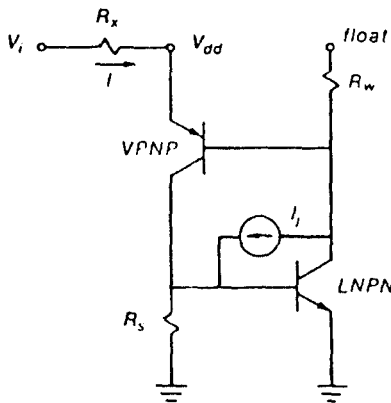
(그림5) PNPN 구조에 대한 등가회로
(Fig.5) Lumped element model for PNPN structure

(그림5)에서 $R_w=R_s=0$ 일 경우의 I-V 특성은 그림(6)과 같다. 여기서 (V_t, I_t) 는 터미널 전압과 터미널 전류를 의미하며 (V_h, I_h) 는 유지전압과 유지전류를

(V_{to} , I_{to})는 각각 turn-off 전압과 turn-off 전류를 의미한다. 그런데 점(V_t , I_t)와 점(V_h , I_t)는 CMOS의 latch-up 특성을 나타내는 매우 중요한 의미를 갖는다. 점(V_t , I_n)는 차단영역으로 불리지는 높은 임피던스 영역으로부터 부성저항 영역으로의 전이점을 나타내며 점(V_h , I_h)는 다시 부성저항 영역에서 낮은 임피던스 영역 즉, 개방 영역으로의 전이점을 나타낸다.



(그림6) PNPN의 I-V 특성
(Fig.6) PNPN I-V characteristics



(그림7) N-well이 floating된 PNPN의 집중정수 모델
(Fig.7) Lumped element model for PNPN with a floating N-well

2.2 회로해석

회로해석을 간편히 하기 위하여 R_w 의 한쪽 단자를 개방하고 V_{DD} 에 외부저항 R_x 를 (그림7)과 같이 연결한 후 V_i 를 가한다고 가정하자.

두개의 트랜지스터가 동작하기 전까지 V_i 는 대부분 두 트랜지스터의 C-B 접합에 역바이어스 상태로 걸리게 된다. V_i 를 증가시키면 N-well과 substrate 사이의 역전압이 증가하여 avalanche breakdown이 일어나게 되는데 이때 VPNP가 동작되고 C-B 접합 사이에 I_j 전류가 흘러 R_s 를 통하게 된다. V_i 를 계속 증가시키면 I_j 의 증가로 R_s 양단전압이 증가되며 LNPN이 동작하게 된다. 이때 I_{bn} 의 작은 변화는 PNP의 컬렉터 전류를 변화시키게 되며 이때 PNP의 컬렉터 전류 I_{cp} 는 식(1)로 표시된다.

$$\Delta I_{cp} = \beta_p (\Delta I_j + \beta_n \Delta I_{bn}) \quad (1)$$

여기서 β_p, β_n 은 각각 PNP, NPN 트랜지스터의 공통 에미터 전류증폭률, I_{bn} 은 NPN의 베이스 전류, I_{cp} 는 PNP의 컬렉터 전류를 나타낸다. 그런데 I_{cp} 의 작은 변화는 다시 NPN의 베이스 전류를 변화시킨다. 이때 변화된 NPN의 베이스 전류를 $\Delta I_{bn}'$ 라 하면 $\Delta I_{bn}'$ 는 식(2)로 표시된다.

$$\Delta I_{bn}' = k (\Delta I_j + \Delta I_{cp}) \quad (2)$$

$$\text{여기서 } k = \frac{G_{bn}}{G_{bn} + 1/R_s} \quad (3)$$

(G_{bn} 은 NPN의 베이스-에미터간 콘덕턴스)

따라서 (그림7)의 loop gain은

$$\frac{\Delta I_{bn}'}{\Delta I_{bn}} = k \left[(1 + \beta_p) \frac{\Delta I_j}{\Delta I_{bn}} + \beta_n \beta_p \right] \quad (4)$$

회로의 loop gain이 1보다 커질 경우 회로는 불안정해진다.

$$\beta_n \beta_p + (1 + \beta_p) \frac{\Delta I_j}{\Delta I_{bn}} \geq \frac{1}{k} \quad (5)$$

그런데 실제 latch-up 상태에서는 ΔI_j 항이 무시된다. latch-up 상태에서는 I_j 로 전류가 흘러들어가지 않기 때문이다. 따라서 latch-up 시에는 다음식이 만족되어야 한다.

$$\beta_n \beta_p \geq \frac{1}{k} \quad (6)$$

여기서 R_s 가 클 경우 식(6)은 $\beta_n \beta_p \geq 1$ 이 되며 R_s 가 작을 경우에는 k 가 0에 접근하여 $\beta_n \beta_p$ 가 다소 크더라도 R_s 값 여하에 따라 latch-up 여부가 결정됨을 알 수 있다. 역으로 R_s 의 한쪽 단자를 개방하고 R_w 를 V_{dd} 에 연결한 경우에는 R_w 값에 따라 latch-up이 설정된다.

그런데 latch-up 상태가 계속되기 위해서는 전원이 유지전압(I_h) 이상으로 전류를 흘려 주어야 하는데 유지전압 (I_h)는 두개의 트랜지스터가 모두 포화 영역에서 동작하므로 I_h 는 다음식으로 표현된다.

$$I_h = \frac{\beta_p(\beta_n + 1)I_{rw} + \beta_n(\beta_p + 1)I_{rs}}{\beta_p \beta_n - 1} \quad (7)$$

여기서 I_{rw} 및 I_{rs} 는 각각 R_w 및 R_s 에 흐르는 전류로 다음과 같다.

$$I_{rw} = \frac{V_{BEP}}{R_w} \quad (8)$$

$$I_{rs} = \frac{V_{BEN}}{R_s} \quad (9)$$

(V_{BEP} 및 V_{BEN} 은 각각 PNP 및 NPN 트랜지스터의 에미터-베이스간 전압)

또 공통에미터의 전류증폭률 β 가 식(10) 및 식(11)로 표시되므로 β_n 및 β_p 가 NPN 및 PNP 트랜지스터의 베이스 폭에 관계됨을 알 수 있다^[10].

$$\frac{1}{\beta} = \frac{1}{2} \frac{(W_B)^2}{(L_{pB})^2} + \frac{N_{DB}W_B}{D_{pB}} \frac{D_{nE}}{N_{AE}W_E} + \frac{N_{DB}W_B}{D_{pB}} \frac{W_{EB}/\tau_0}{2n_i e^{qV_{EB}/2kT}} \quad (10)$$

$$\frac{1}{\beta} = AW_B^2 + BW_B \quad (11)$$

여기서

$$A = \frac{1}{2(L_{pB})^2} \quad B = \frac{N_{DB}}{D_{pB}} \left(\frac{D_{nE}}{N_{AE}W_E} + \frac{W_{EB}/\tau_0}{2n_i e^{qV_{EB}/2kT}} \right)$$

따라서 mask의 layout 변화는 전류증폭률 β 를 변화시키며 shunt 저항 R_s , R_w 를 변화시킨다. R_s , R_w 는 β_n , β_p 와 함께 latch-up의 특성을 나타내는 중요한 파라메타로서 공정이나 재질에 의해서도 변화되지만 layout에 따라서도 변화됨을 알 수 있다(표1 참조).

따라서 latch-up의 가능성을 줄이는 방법으로 a와 b의 변화에 대한 R_s , R_w , β_n 및 β_p 와의 상관관계를 찾아내는 것이 중요하며 그의 가장 정확한 접근을 위하여 실물제작을 통한 실험 방법을 채택하였다. 실물제작에 관한 사항은 제3장에서 다루었다.

III. CMOS latch-up

3.1 mask 설계

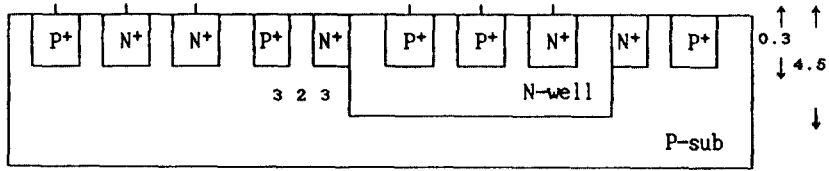
latch-up이 layout에 따라 어떻게 달라지는지를 실험하고자 substrate의 N^+ 에서 N-well까지의 거리를 a, N-well에서 P^+ 까지의 거리를 b로하고 guard ring이 있는 경우와 없는 경우를 선택하여 (표2)와 같은 9개의 latch-up 모델을 설계하였다. (그림8)과 (그림9)는 각각 latch-up 모델의 측면도와 평면도를 나타낸다.

3.2 웨이퍼 가공

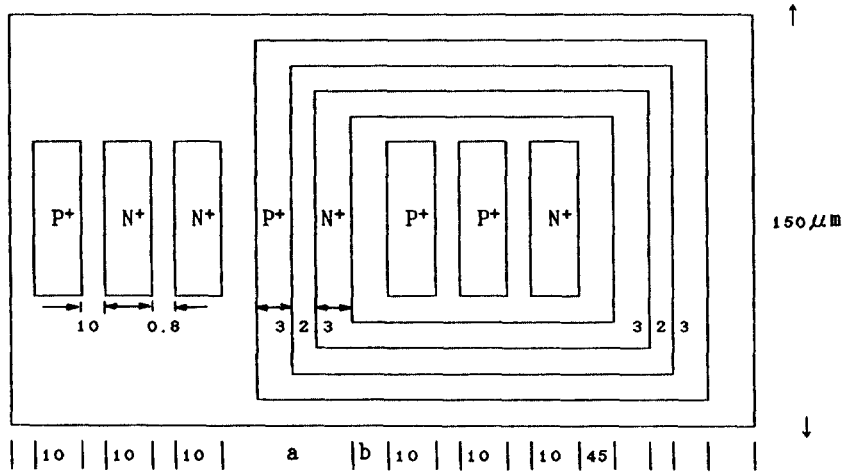
(그림8)의 결과를 얻기위하여 다음의 공정과정을 채택하였다.

(표 1) latch-up의 가능성을 최소화하는 방법
(Table 1) CMOS technologies for latch-up suppression

	공정 및 재질상의 변화	Layout 변경
R_s, R_w 작게	1. parasitic 영역의 불순물 농도 증대 2. epi wafer 사용 3. buried layer 공정삽입 4. retrograde 형의 불순물농도	1. $P^+ - N^+$ 거리축소 (그러나 β 가 증가)
β_n, β_p 작게	1. gold doping 2. 중성자 방사 3. schottky-barrier 4. trench 형의 분리방법 사용	1. base폭 증대 2. guard ring 사용



(그림8) 측면도
(Fig.8) Cross section



(그림9) 평면도
(Fig.9) Mask layout

(표 2) layout 변경에 따른 latch-up 모델
(Table 2) Various latch-up models

layout	dimension		guard ring		비 고
	a(μm)	b(μm)	P+	N+	
L ₁	8.0	1.0	×	×	guard ring 없음
L ₂	6.0	1.0	×	×	·
L ₃	4.5	1.0	×	×	·
L ₄	3.5	1.0	×	×	·
L ₅	6.0	2.0	×	×	·
L ₆	6.0	0.0	×	×	·
L ₇	10.0	1.0	○	○	N ⁺ 및 P ⁺ guard ring 모두 있음
L ₈	10.0	1.0	○	×	P ⁺ guard ring만 있음
L ₉	10.0	1.0	×	○	N ⁺ guard ring만 있음

- 1) substrate-substrate로 6인치 P형 <100> 타입 웨이퍼 사용.
(ρ : 9.5 Ω -cm, boron의 농도: $1.5 \times 10^{15} \text{Cm}^{-3}$)
- 2) well - 4.5 μm 깊이로 phosphorous를 주입하기 위하여 이온 주입기 사용(125 KeV, 1.3E13) 후, drive-in(1154 $^{\circ}\text{C}$ 에서 654분).
(R_s : 800 Ω /□)
- 3) gate - 산화막 공정: 850 $^{\circ}\text{C}$ 에서 20분(두께: 200 \AA)
폴리실리콘 deposition: 640 $^{\circ}\text{C}$ 에서 25분(두께: 2000 \AA)
- 4) N⁺ layer - 0.3 μm 깊이로 As 주입(이온주입기: 80 KeV, 5.0E15)
- 5) P⁺ layer - 0.3 μm 깊이로 BF₂ 주입(이온주입기: 80KeV, 3.0E15)
- 6) metal - sputtering으로 MoS₂/Al를 차례로 증착(600 \AA /7500 \AA)
- 7) H₂ anneal - 400 $^{\circ}\text{C}$ 에서 30분

IV. 실험결과 측정 및 분석

4.1 측정결과 측정

3장에서 제작된 9개의 latch-up 모델에 대하여 NPN 및 PNP 트랜지스터의 전류증폭률 β_n, β_p 및 shunt 저항 R_s 와 R_w 가 측정되었으며 터미널 전압 V_t 와 유지전류 I_h 가 측정되었다. 각각의 측정방법은 다음과 같다.

β_n, β_p : β 값이 최대치가 되도록 I_c 전류가 1mA일 때의 β 값을 구하였다. Tektronix 사의 curve

tracer model 370을 사용하였다.

R_s, R_w : (그림 9)에서 P-substrate의 P⁺와 N⁺, N-well의 P⁺와 N⁺ 양단에 역바이어스를 걸고 I-V curve의 기울기에 의해 sheet resistance를 구하였으며 substrate의 P⁺에서 well까지의 거리 및 well의 N⁺에서 well까지의 거리를 계산하여 R_s 및 R_w 를 구하였다(부록 1참조).

V_t, I_h : curve tracer(Tektronix model 370)에 plotter(HP model 7475A)를 연결하여 실측치를 구하였다.

I_h^{**} : 식(7)에 의하여 유지전류를 계산하였으며 이를 I_h^{**} 로 표시하였다.

delta: 실측치 I_h 와 계산치 I_h^{**} 와의 차이를 비교하였다.

각각의 latch-up 모델에 대한 측정결과는 다음과 같다.

한편 guard ring의 효과에 대하여 보다 면밀히 검토하고자 모델 L₇, L₈, L₉와 모양이 같지만 guard ring이 없는 가상의 모델 L₁₀을 만들어 β_n 과 β_p 를 구하였다. 식(11)과 (12)의 L₁, L₂로부터 A와 B를 구하고 식(14)에 의하여 L₁₀의 β_n ($\beta_n=1.15$)을 산출하였다.

$$8.8^2 A + 18.8B = \frac{1}{1.28} \quad (12)$$

$$16.8^2 A + 16.8B = \frac{1}{1.44} \quad (13)$$

$$\beta_n = \frac{1}{20.8^2 A + 20.8B} \quad (14)$$

(표 3) 측정된 latch-up 파라메타

(Table 3) Test result for each latch-up parameter

type	a(u)	b(u)	β_n	β_p	R_s	R_w	V_t	I_h	I_h^{**}	delta	$\beta_n \cdot \beta_p$
L1	8.0	1.0	1.28	25.2	517	212	15.8	6.3	7.5	1.7	32.2
L2	6.0	1.0	1.44	25.1	491	212	15.1	6.0	7.3	1.8	36.0
L3	4.5	1.0	1.57	24.8	471	212	14.9	5.9	7.1	1.7	39.0
L4	3.5	1.0	1.74	24.5	457	212	14.1	5.8	7.0	1.7	42.6
L5	6.0	2.0	1.46	23.6	491	219	16.1	6.0	7.1	1.7	34.3
L6	6.0	0.0	1.46	26.0	491	205	12.3	6.0	7.4	1.6	37.9
L7	10*	1*	0.73	27.6	544	212	14.0	8.5	9.6	1.6	20.1
L8	10*	1	0.73	27.9	544	212	13.3	8.5	9.7	1.7	20.3
L9	10	1*	0.72	27.6	544	212	14.7	8.5	9.7	1.7	19.7

그런데 수직구조 트랜지스터의 전류증폭률 β_p 는 a와 거의 무관하므로 L_1 의 β_p 와 같다고 볼 수 있고 R_s 와 R_w 도 L_9 과 같으므로 L_{10} 에 대한 β_n , β_p , R_s , R_w , I_n **는 각각 1.15, 25.2, 544 Ω , 212 Ω , 7.8mA가 된다.

4.2 실험결과 분석

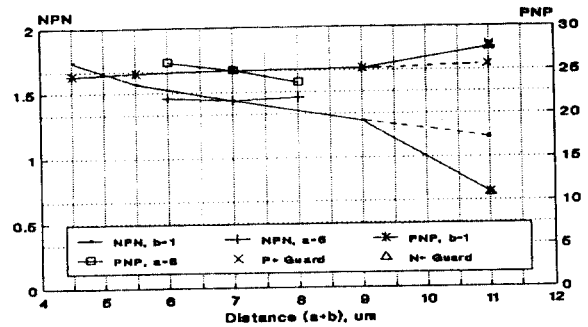
substrate의 N⁺에서 S-W 접합까지의 거리 a가 작아지면 작아질수록 측면구조 트랜지스터의 전류증폭률 β_n 이 급격히 증가하였으며 β_p 는 약간 감소하는데 그쳤다(그림10). β_n 이 급격히 증가한 이유는 수평구조 트랜지스터의 베이스 폭이 줄어들었기 때문이며 β_p 가 별로 변하지 않은 이유는 수직구조 트랜지스터의 베이스 폭이 a와 무관하기 때문으로 풀이된다. 반대로 a를 고정시키고 b를 변화시킬 경우 β_n 과 β_p 는 반대의 현상이 일어났다. 따라서 a의 변화는 수평구조 트랜지스터의 전류증폭률을 변화시키고 b는 수직구조 트랜지스터의 전류증폭률과 관계가 있음이 확인되었다.

한편 guard ring이 있는 경우는 없는 경우에 비하여 β_n 이 약 38% 낮아졌으며 β_p 는 약간 상승하였다. P⁺ guard ring과 N⁺ guard ring의 차이는 나타나지 않았다. 또 P⁺ guard ring과 N⁺ guard ring 모두를 채택한 경우에도 같은 결과가 나왔다. 이는 guard ring을 취하는 방법으로 구태어 N⁺와 P⁺ 모두를 택할 필요가 없음을 의미하며 편리한 대로 P⁺나 N⁺중 하나만 선택하여 사용하여도 같은 효과가 있음을 의미한다.

(그림 11)에 ($\beta_n \cdot \beta_p$)와 (a+b)와의 상관관계를 그래프로 나타내었다. ($\beta_n \cdot \beta_p$)가 거리 (a+b)에 대체로 반비례함을 보여준다. guard ring이 있는 경우가 없는 경우보다 31% 낮은 값이 측정되었다.

(그림 12)는 거리 (a+b)가 작아짐에 따라 R_s 및 R_w 가 따라서 작아짐을 보여주고 있다. (그림 13)은 거리 (a+b)에 대한 터미널 전압의 변화를 도해하였는데 상관관계가 별로 없음을 보여주고 있다.

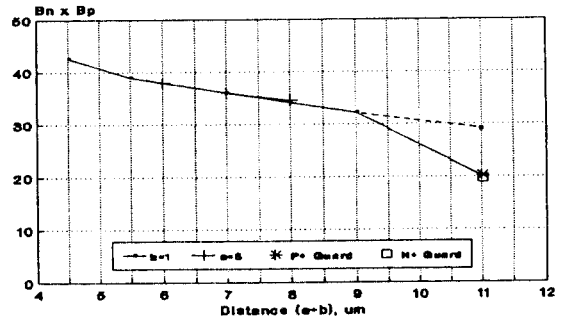
한편, 유지전류 I_n 는 a가 감소함에 따라 급격히 줄어들었으나 b의 변화에 대해서는 그리 민감하지 않았다(그림14). mask의 layout 변화에 대하여 수직구조 트랜지스터 보다는 수평구조 트랜지스터의 특성이 훨씬 더 민감하게 반응하는 것으로 풀이된다. guard ring의 효과는 유지전류를 높이고자 하는 의도에도 잘 부합하여 guard ring이 없는 경우보다 유지전류가 약 25% 더 증가되었다.



(그림 10) mask layout 변화에 의한 전류증폭률 (β_n, β_p) 변화

(점선은 guard ring이 없는 경우의 예상치)

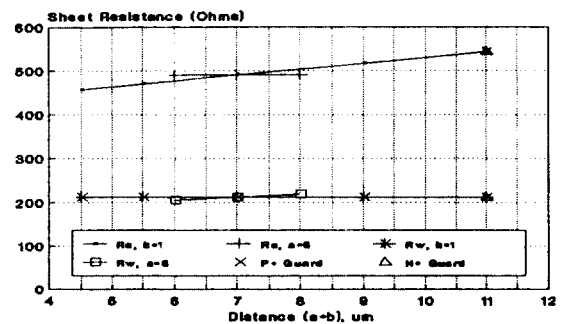
(Fig. 10) Common emitter current gain as a function of N⁺ - P⁺ spacing



(그림 11) mask layout 변화에 의한 (β_n, β_p) 변화

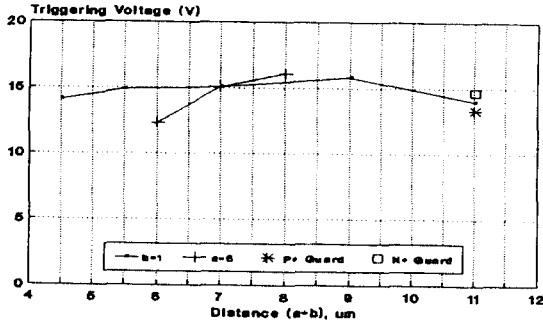
(점선은 guard ring이 없는 경우의 예상치)

(Fig. 11) (β_n, β_p) as a function of N⁺ - P⁺ spacing

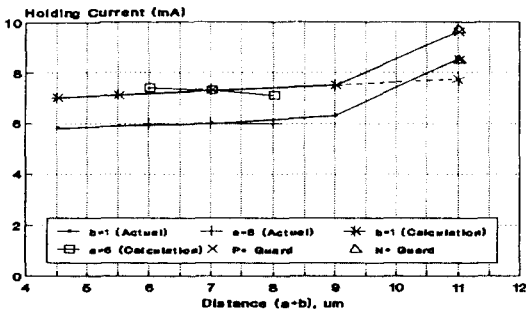


(그림 12) mask layout 변화에 의한 shunt 저항의 변화

(Fig. 12) Shunt resistance as a function of N⁺ - P⁺ spacing



(그림 13) mask layout 변화에 의한 터미널전압의 변화
(Fig.13) Terminal voltage as a function of N⁺-P⁺ spacing



(그림 14) mask layout 변화에 의한 유지전류의 변화
(점선은 guard ring이 없는 경우의 예상치)
(Fig.14) Holding current as a function of N⁺-P⁺ spacing

V. 결 론

mask의 layout에 따라 측면구조 트랜지스터의 전류증폭률(β_n), 수직구조 트랜지스터의 전류증폭률(β_p), shunt 저항(R_s) 및 (R_w), 유지전류(I_h)가 따라서 변화했다. 거리 a와 b가 작아짐에 따라 β_n 과 β_p 가 증가하였으며 R_s , R_w , 및 I_h 는 작아졌다. 터미널전압 V_t 는 layout에 무관하였다.

유지전류 I_h 는 a가 감소함에 따라 급격히 줄어들었으나 b의 변화에 대해서는 그리 민감하지 않았다. mask의 layout 변화에 대하여 수직구조 트랜지스터 보다는 수평구조 트랜지스터의 특성이 훨씬 더 민감하게 반응하는 것으로 풀이 된다.

한편 guard ring은 latch-up의 가능성을 줄이는데 상당히 도움을 주는 것으로 판명되었다. guard ring이 없는 경우에 비하여 ($\beta_n \cdot \beta_p$)가 31% 낮아졌으며 유지전류(I_h)가 25% 증가되었다.

guard ring으로서 P⁺나 N⁺ 또는 P⁺와 N⁺ 모두를 동시에 사용하는 세가지 방법에 대하여 검토하였으나 별 차이가 없었다. 회로 설계상 유리한 한 가지 방법을 사용해도 같은 효과가 있음이 입증되었다.

그러나 mask의 layout 변경에 의한 latch-up 회피 방법은 a와 b가 커짐에 따라 latch-up 가능성이 줄어들게 되므로 latch-up을 줄이기 위해서는 chip size를 가급적 크게 만들어야 하는 문제가 있다. chip size를 크게 할 경우에는 수율이 저하되거나 단위면적당 chip 생산량이 적어져 생산 원가를 높이는 문제를 초래하게 된다. 따라서 latch-up의 최적조건은 latch-up이 일어나지 않는 범위내에서 a와 b를 줄여야 하는데 회로의 응용조건 여하에 따라 이를 절충하여 사용하여야 한다.

(부록 1) R_s 및 R_w 측정 방법

(그림8)에서 substrate의 P⁺와 N⁺ 사이에 역바이어스를 걸고 breakdown시의 기울기의 역수를 취하여 P⁺에서 N⁺까지의 저항을 구하였다. 이때 266.7 Ω 이 측정되었으며 P⁺에서 N⁺까지의 거리 20 μm 폭이 150 μm 이므로 역으로 평면저항을 구하면, 평면저항(R_s / \square)은

$$R_s / \square = 266.7\Omega \times \frac{150\mu\text{m}}{20\mu\text{m}} = 2.0\text{K}\Omega$$

그런데 R_s 는 폭 150 μm 길이는 (30.8+a)로 되어 a가 8 μm 일때 R_s 는 517.4 Ω 같은 방법으로 R_w 는

$$R_w / \square = 133.3\Omega \times \frac{150\mu\text{m}}{20\mu\text{m}} = 1.0\text{K}\Omega$$

$$R_w = 1.0\text{K}\Omega \times \frac{30.8+b}{150}$$

여기서 b=1 이면, $R_w=211.9\Omega$

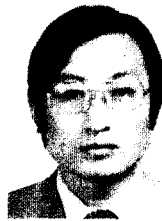
참 고 문 헌

1. D.B. Estreich, "The physics and modeling of latch-up and CMOS integrated circuits" Ph.D. dissertation, Stanford Univ., Nov. 1980.

2. U. Schwabe, H. Herbst, E. J. Jacobs, and D. Takacs "N-and P-well optimization for high-speed n-epitaxy CMOS circuits" IEEE Trans. Elec. Dev., ED-30, pp.1339-1344, Oct. 1983.
3. J. Manoliu, F. H. Tseng, B. J. Woo, and T. J. Meier, "High density and reduced latch-up susceptibility CMOS technology for VLSI" IEEE Electron Dev. Letters, EDL-4, pp.233-235, July 1983.
4. R. Menozzi, L. Selmi, E. Sangiorgi, G. Crisenza, T. Cavioni, and B. Ricco, "Layout dependence of CMOS latch-up" IEEE Trans, Electron Dev. Vol.35, No.11, 1988.
5. W. Dawes, Jr. and G. Derbenwick, "Prevention of CMOS latch-up by gold doping" IEEE Trans. Nucl. Sci., Ns-23, pp. 2027-2030, Dec. 1976.
6. J.R. Adams and T.R. Sokel, "Neutron irradiation for prevention of latch-up in MOS integrated circuits," IEEE Trans. Nucl. Sci., Ns-25, pp.5069-5073, Dec. 1979.
7. T. Yamaguchi, S. Morimoto, H. Park, and G. Eiden, "Process and device performance of sub-micron-channel CMOS devices using deep-trench isolation and self-aligned TiSi₂ technologies," IEEE Trans, Electron Dev. Vol. ED-32, No-2, Feb. 1985.
8. S. Bhattacharya, S. Banerya, J. Lee, A. Tash, and A. Chatterjee, "Design issues for achieving latchup-free, deep trench-isolated, bulk, non-epitaxial, submicron-CMOS, IEEE IEDM 90-185 pp.8.3.1-8.3.4, 1990.
9. R. Troutman, "Latch-up in CMOS technology," Kluwer Academic Publishers, pp.14, 1986.
10. A. Grove, "Physics and technology of semiconductor devices," Library of Congress Catalog Card Number : 67-17340, pp.220.



孫 鐘 亨 (Jong Hyoung Son) 正會員
 1949年 4月 8日生
 1973年 2月 : 한양대학교 전자과 졸업
 1981年 2月 : 한양대학교 전자과 공
 학석사 학위 취득
 1975年~1987年 : 삼성사 및 삼성
 반도체 근무
 현재 : 데이터퀘스트 한국지사장



韓 百 亨 (Baik Hyung Han) 正會員
 1938年 8月 21日生
 1963年 2月 : 한양대학교 물리학과
 졸업
 1965年 2月 : 한양대학교 물리학과
 이학석사학위 취득
 1972年 : St. Louis Univ. 이학박사
 학위 취득

1972年~1974年 : St. Louis Univ. 연구원
 1974年~1977年 : 중앙대학교 물리학과 조교수
 1977年~1986年 : 한양대학교 전자공학과 교수
 1986年~현재 : 한양대학교 물리학과 교수
 ※ 주관심분야는 에너지밴드구조 계산, transport physics, submicron device의 모델링 및 시뮬레이션 등임.