

VLSI 구현을 위한 연속시간 GYRATOR 필터회로 설계에 관한 연구

正會員 金 石 鎬* 正會員 趙 成 翊* 正會員 鄭 遇 烈**
正會員 鄭 鶴 起*** 正會員 鄭 炅 澤*** 正會員 李 鍾 寅***

A Study on the Design of Continuous-Time GYRATOR Filter for VLSI

Seok-Ho Kim*, Seong-Ik Cho*, Woo-Yeol Jeong**,
Hak-Keo Jung***, Kyung-Taek Chung***, Chong-In Lee*** *Regular Members*

요 약

본 논문에서는 읍셋 전압을 이용하여 선형범위를 증가시킨 MOS 트랜스컨덕터로 자이레이터를 구성하고, VLSI에 적합하도록 수동회로망을 구성하는 부유인덕터, 부유저항, 집지저항을 자이레이터로 모의하였다. 또한 설계 예로써 자이레이터를 이용하여 바터워스 필터를 설계하였으며, 트랜스컨덕터의 출력저항의 비이상성에 기인된 주파수천이의 특성을 보상하여 필터를 구현하였다.

ABSTRACT

In this paper, the GYRATOR circuit is designed by the highly linear MOS transconductor with the gain factor controllable by offset voltage, and the floating inductor, the floating resistor and the grounded resistor are simulated by the GYRATOR for VLSI. And for the design example, Butterworth filter is designed using this GYRATOR, and is compensated by the frequency transformation for the frequency shift that due to non-ideal output impedance of transconductor.

1. 서 론

음성대역 신호처리용 필터로 디지털 필터와 스위치드-커패시터(SC) 필터가 많이 사용되고 있으나, 고주파신호 처리에 대한 필요성의 증가로 인하여 연속

시간(continuous time) 필터에 관한 연구가 활발히 진행되고 있다. 연속시간 필터는 샘플링된 데이터를 처리하는 디지털 및 SC 필터에서 입력 신호의 주파수 폭을 제한하기 위해 사용하고 있는 anti aliasing 필터나 출력의 이산신호가 가지는 고주파성분을 제거하기 위한 smoothing 필터로도 이용 되어지고 있다.^[1-3]

연속시간 필터로는 트랜스컨덕터(transconductor)

* 全北大學校 電氣工學科

** 圓光大學校 電子工學科

*** 群山大學校 電子工學科

論文番號 : 94-9

와 콘덴서를 이용한 OTA 필터, 선형 저항을 이용한 MOSFET-C 필터, 자이레이터(GYRATOR) 필터 설계법 등을 들 수 있다. 자이레이터 필터 설계법은 R·L·C 필터 함수로부터 구한 수동소자값을 이용하여 직접 집적화에 용이한 능동회로망으로 모의할 수 있을 뿐만 아니라, 수동 제자형 회로망이 가지는 소자치 변동에 따른 저감도 특성이 모의된 후에도 유지될 수 있다는 장점을 가진다.^[1, 8]

그러므로 본 논문에서는 자이레이터 회로를 고주파 회로에 적용할 수 있도록 트랜스컨덕터 회로와 콘덴서로 구성하고, 자이레이터로 모의할 수 없는 부유 인덕터, 부유 저항, 접지된 저항을 트랜스컨덕터 회로로 구성하여 복종단 제자형 지역필터를 설계하고자 한다. 또한 트랜스컨덕터 출력저항의 비이상성에 기인된 필터 특성의 오류에 대한 보완책을 제시하고자 한다.

II. 트랜스컨덕터를 이용한 자이레이터 회로

수동소자를 이용하여 구성된 필터와 같은 아날로그 회로를 집적회로화 할 경우 저항과 인덕터는 온도 변화에 대한 감도 및 많은 소요면적, 자기 포화화 같은 단점으로 인하여 다른 모의 소자의 변환이 필수적이라 할 수 있다. 이러한 소자의 변환법중 자이레이터 모의방법에 의하여 수동제자형 회로망을 능동회로망으로 변환할 경우 개별 수동소자를 능동소자로 직접 변환할 수 있으며, 수동회로망이 가지는 소자치 변동에 따른 저감도 특성을 그대로 유지시킬 수 있다는 장점을 가진다.

자이레이터는 수동 무손실·무축적 2단자망으로 식(1)과 같이 어드미턴스로 정의되며, 그림1과 같은 심볼로 표시된다.^[5~8]

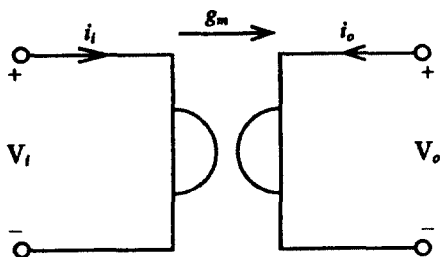


그림 1. 자이레이터의 심볼
Fig 1. Symbol of GYRATOR

$$\begin{bmatrix} i_i \\ i_o \end{bmatrix} = \begin{bmatrix} 0 & g_m \\ -g_m & 0 \end{bmatrix} \begin{bmatrix} V_i \\ V_o \end{bmatrix} \quad (1)$$

자이레이터는 MOSFET를 이용하여 설계된 트랜스컨덕터 회로를 이용하여 구성할 수가 있으며, 트랜스컨덕턴스 g_m 은 식(2)와 같이 정의 된다.^[12]

$$g_m = \Delta i_o / \Delta V_i \quad (2)$$

MOS가 포화영역 ($|V_{GS} - V_T| \leq |V_{DS}|$)에서 동작할 때 드레인 전류 i_D 는 식(3)과 같으며, 장채널의 경우는 channel-length modulation의 영향을 무시할 수 있으므로 식(4)와 같이 사승(square-law)특성을 보이게 된다.

$$i_D = \frac{K}{2} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}) \quad (3)$$

$$i_D = \frac{K}{2} (V_{GS} - V_T)^2 \quad (4)$$

여기서, $K = \mu C_{ox} W/L$ 이고 W 는 채널 폭, L 은 채널 길이, μ 는 캐리어 이동도, C_{ox} 는 단위 면적당 게이트 산화물의 캐패시턴스, λ 는 channel-length modulation parameter, V_T 는 문턱전압(threshold voltage)를 의미한다.

식(4)와 같은 사승특성에 의하여 기인된 MOS의 비선형성을 개선하기 위하여

- 1) cross coupled source-follower pair^[11]
- 2) 비포화 영역에서 동작하는 MOS 회로와 folded differential pair와의 결합^[2]
- 3) differential pair with resistance source degeneration^[10].
- 4) bias offset 전압을 이용^[11, 12]

등의 방법이 제시되었으며, 1), 2)에서 제시된 방법으로는 선형특성이 balanced 입력에 대해서만 유지되고, 3)의 경우는 작은 입력 범위로 선형 영역이 제한되며, 4)의 경우는 넓은 입력신호의 범위에서 트랜스컨덕턴스의 선형성이 유지된다.

bias offset 전압을 이용한 트랜스컨덕터 회로는 그림2와 같으며, 모든 트랜지스터가 포화영역에서 동작하므로 square-law 특성이 적용되어 입력신호($V_i = V_L - V_R$)에 대하여 출력전류 i_L 과 i_R 을 식(5)로 나타낼 수 있다.

$$i_L = i_{D1} + i_{D4} = \frac{K}{2} (V_L - V_T)^2 + \frac{K}{2} (V_R - V_R - V_T)^2$$

$$\begin{aligned}
 &= I_{SS} + \frac{K}{2} V_B V_i \\
 -i_R &= -(i_{D2} + i_{D3}) = -\frac{K}{2} (V_R - V_T)^2 - \frac{K}{2} (V_L - V_B - V_T)^2 \quad (5) \\
 &= -I_{SS} + \frac{K}{2} V_B V_i
 \end{aligned}$$

선곡선과 주파수특성은 그림3과 같으며, 이때 MOS $M_1 \sim M_8$ 의 크기는 모두 $W = 3\mu\text{m}$, $L = 50\mu\text{m}$ 이고, 옴셋전압 V_B 는 1.8V, 제어전압 V_{C1} 은 2.85V, V_{C2} 는 -0.8V를 인가하여 시뮬레이션을 하였다. 그림3(a)의 전달특성으로부터 입력신호의 전압범위를 +1V ~ -1V로 할 경우 $V-I$ 특성은 선형성이 유지됨을 알 수

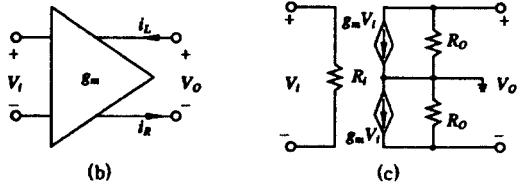
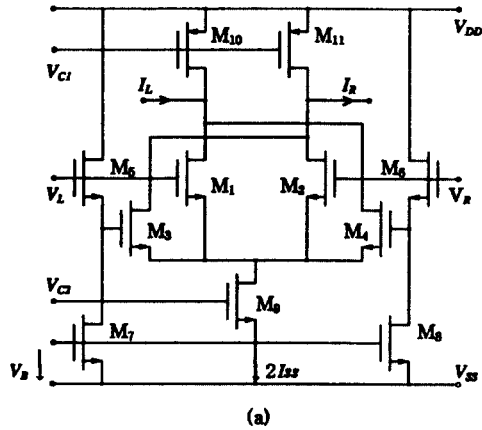


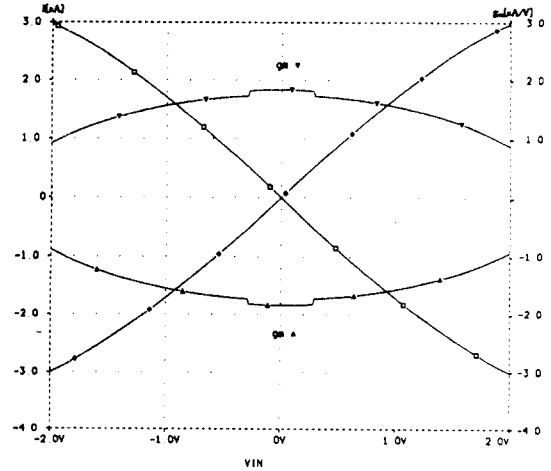
그림 2. 선형 특성을 가진 트랜스컨덕터 회로
 (a) 회로도 (b) 트랜스컨덕터 심볼 (c) 등가회로
 Fig 2. Linear transconductor circuit
 (a) Circuit (b) Symbol of transconductor
 (c) Equivalent circuit

그림2에서 트랜스컨덕터가 선형성의 특성을 유지하기 위해서는 모든 트랜지스터가 포화 영역에서 동작하여야 하므로 제한된 입력신호의 범위와 차동입력, 차동출력에 대한 g_m 은 식(6)과 같다.

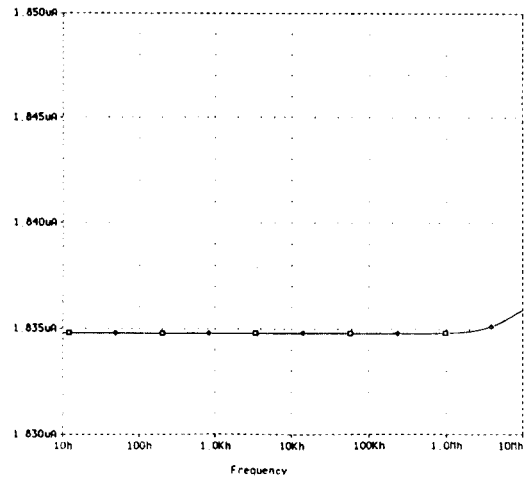
$$|V_i| < \sqrt{\frac{2I_{SS}}{K} - \frac{3}{4} V_B^2} - \frac{V_B}{2} \quad (6)$$

$$g_m = \frac{K}{2} V_B$$

트랜스컨덕터 회로를 SPICE 시뮬레이션한 $V-I$ 특



(a) $V-I$ 특성
 (a) $V-I$ characteristics



(b) 주파수 특성
 (b) Frequency characteristics

그림 3. 트랜스 컨덕터 회로(그림 2)의 SPICE 특성곡선
 Fig 3. Characteristics of transconductor(Fig.2) simulated by SPICE

있으며, 그림3(b)의 주파수 특성으로부터 사용 주파수 범위가 10MHz이상임을 알 수 있었다. 그러나 MOS의 특성상 사용전압 범위에서 트랜스컨덕턴스 g_m 은 선형오차가 존재하지만 필터를 구성했을 때, 상기와 같은 g_m 변화에 따른 필터특성의 변화는 시뮬레이션 결과에서 무시할 수 있다.

III. 자이레이터에 의한 수동소자 모의

트랜스컨덕턴스를 이용하여 자이레이터를 설계하고자 할 경우에는 두개의 트랜스컨덕터를 그림4와 같이 상호 연결한 2단자망으로 구성할 수 있다. 이 회로망은 한쪽의 단자쌍에 용량성 부하(커패시터)를 연결하였을 때 다른 단자쌍에서 유도성 부하(인덕터)와 같은 특성이 나타나게 된다.

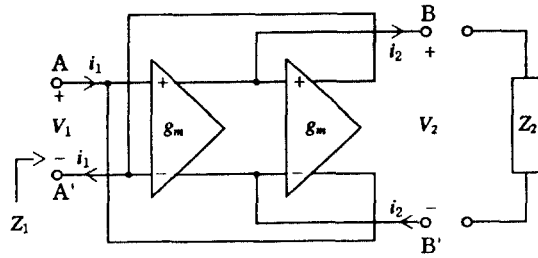


그림 4. 트랜스컨덕터를 이용한 자이레이터 회로
Fig 4. GYRATOR circuit using transconductor

그림4에서 입력 전류(출력전향)를 무시하면 단자에서의 방정식은

$$\begin{aligned} i_1 &= -g_m V_1 \\ i_2 &= g_m V_1 \end{aligned} \quad (7)$$

이 되며, V_1/i_1 을 $-1/g_m (= R_0$: transresistance)로 대체하면 식(8)과 같다.

$$V_1/i_1 = -R_0^2 (i_2/V_2) \quad (8)$$

식(8)에서 $-V_1/i_1$ 를 BB' 단자에 연결된 부하 임피던스 Z_2 로, V_2/i_2 를 AA' 단자에서 본 입력 임피던스 Z_1 으로 대체할 수 있으므로

$$Z_1 = R_0^2/Z_2 \quad (9)$$

이 되며, 이 자이레이터 회로에서는 AA'에서 본 임피던스는 BB' 단자에서의 임피던스 역수에 전단 치환의 제곱을 곱한 것과 같게 된다.

BB' 단자에 리액턴스 $X_1 (= 1/j\omega C)$ 를 가진 콘덴서를 연결하면 식(9)로부터

$$\begin{aligned} Z_1 &= j\omega C R_0^2 = j\omega L_s \\ L_s &= R_0^2 C \end{aligned} \quad (10)$$

가 되어 BB' 단자에서의 리액턴스는 식(10)의 값을 가진 인덕터의 리액턴스와 같게 된다.

그러나 수동계자형 회로망을 구성하는 소자들은 부유인덕터 및 부유 저항 등으로 구성되므로 자이레이터와 콘덴서로써 대체될 경우, 트랜스컨덕터 입력 단으로부터 접지로의 dc path가 없으므로 불안정이나 래치업(latch-up)이 발생할 수 있으므로 각각의 자이레이터는 공통의 임-출력 노드를 가져야 된다.

부유인덕터를 모의할 수 있는 회로는 그림5의 경우이며, 이 회로는 트랜스컨덕터의 출력 저항과 기생 커패시터를 무시한다면, 부유인덕터(L_s)를 자이레이터와 콘덴서($= R_0^2 C$)로 대체할 수 있게 된다.

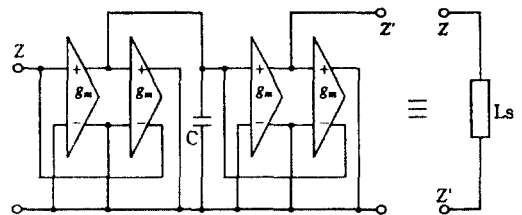


그림 5. 부유 인덕터의 모의
Fig 5. Emulated circuit of floating inductor

접지된 저항의 경우 단자 방정식은

$$\begin{aligned} i_1 &= g_m V_1 \\ V_1/i_1 &= 1/g_m = R_0 \end{aligned} \quad (11)$$

와 같고, 모의된 회로는 그림6과 같다.

부유 저항의 경우 모의 회로는 그림7과 같으며, 단자 방정식은

$$i_1 = -i_2$$

$$(V_1 - V_2) / i_1 = 1 / g_m = R_g \quad (12)$$

로 되어 부유저항이 트랜스저항 R_g 로 모의 된다.

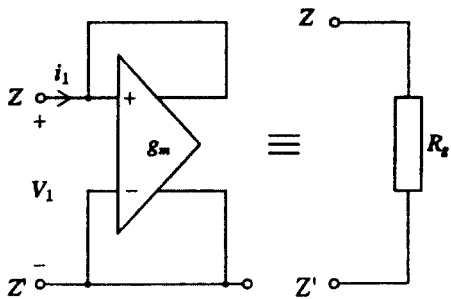


그림 6. 접지된 저항의 모의
Fig 6. Emulated circuit of grounded resistor

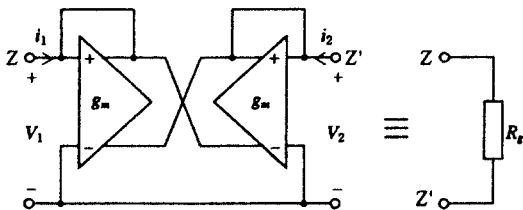


그림 7. 부유 저항의 모의
Fig 7. Emulated circuit of floating resistor

IV. 자이레이터 필터 설계

자이레이터 필터는 복종단 제자형 수동필터의 구성요소인 수동소자를 자이레이터 모의 소자인 그림5, 6, 7로 대체함으로써 실현할 수 있다. 필터 설계 spec을 표1로 설정하고, [13]으로부터 구한 규준화($\omega_c = 1 \text{ rad/sec}$)된 필터 함수 $H(s)$ 는 식(13)과 같고, 수동복종단 제자형 회로망은 그림8과 같다.

표 1. 필터의 설계 사양
Table 1. Specification of filter design

필터함수	Butterworth
차수	5차
필터 형식	적역통과
통과대역 감쇄율(A_p)	3 [dB]
차단주파수(f_c)	200 [KHz]

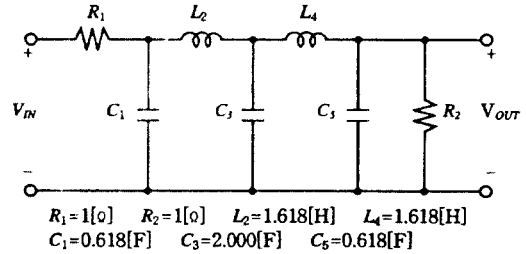


그림 8. 수동복종단 필터 회로망($\omega_c = 1 \text{ rad/sec}$)
Fig 8. Doubly terminated passive filter network($\omega_c = 1 \text{ rad/sec}$)

$$H(s) = \frac{1}{s^5 + 3.2360680 s^4 + 5.2360680 s^3 + 5.2350680 s^2 + 3.2360680 s + 1} \quad (13)$$

규준화된 그림8의 소자들은 차단주파수가 200KHz 이고, 설계된 트랜스컨덕터의 g_m 이 $1.835 \mu A/V$ ($R_g = 545K \Omega$)이므로 임피던스 스케일링 인자(S_z)과 주파수 스케일링 인자(S_f)에 의하여 식(14)와 같이 변환되어야 한다.

$$R_i' (i=1, 2) = R_i S_f$$

$$C_i' (i=1, 3, 5) = \frac{C_i}{S_f S_z} \quad \left| \begin{array}{l} S_f = 2\pi \cdot 200 \cdot 10^3 \\ S_z = R_g = 545K \Omega \end{array} \right. \quad (14)$$

$$L_i' (i=2, 4) = \frac{L_i S_z}{S_f}$$

또한, 부유인덕터와 L값은 자이레이터에 의해 능동소자로 식(15)에 의해 변환되며, 자이레이터 필터를 구성하는 커패시터값은 표2의 주파수 보상 전의 값과

표 2. 자이레이터 필터를 구성하는 커패시터 소자값
Table 2. The values of capacitor composed GYRATOR filter

	주파수 보상 전	주파수 보상 후
C1'	0.902 [pF]	0.822 [pF]
C2'	2.362 [pF]	2.154 [pF]
C3'	2.920 [pF]	2.663 [pF]
C4'	2.362 [pF]	2.154 [pF]
C5'	0.902 [pF]	0.822 [pF]

같다.

$$C_i' (i=2, 4) = \frac{L_i'}{R_o^2} \quad (15)$$

식(14)와 식(15)에 의해 변환된 사이레이터 필터 회로는 그림9와 같으며, 그림9(a)는 수동 개별소자를 사이레이터 모의소자로 직접 대체한 회로도이며, 그림9(b)는 등가적인 특성을 가지도록 간략화 시킨 필터 회로도이다.

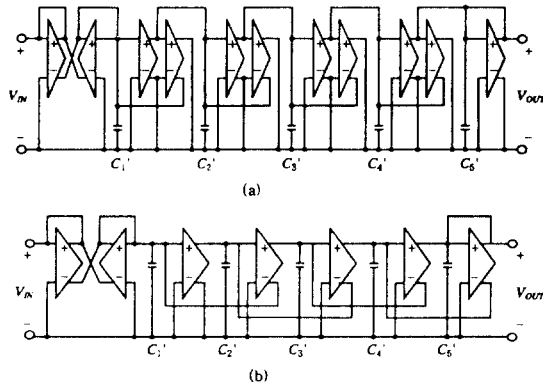


그림 9. 사이레이터 필터 회로
(a) 원회로도 (b) 간략화된 회로도

Fig 9. GYRATOR filter circuit
(a) Original circuit (b) Simplified circuit

표2에 제시한 주파수 보상을 하지 않은 필터회로의 소자값은 트랜스컨덕터의 출력저항이 무한대(∞)라는 가정에서 무한 이상적인 소자값이므로 실제의 트랜스컨덕터 출력저항에 대해서는 그림10과 같이 이들의 감소와 주파수 천이의 현상을 보이게 된다. 그림10은 트랜스컨덕터를 그림2(c)의 등가회로와 같이 이상적인 VCCS와 출력저항으로 구성하여 SPICE 시뮬레이션한 결과이다.

그림2(a)의 트랜스컨덕터(시뮬레이션 출력저항 $R_o \cong 28M\Omega$)로 구성된 그림9(b)의 사이레이터 필터를 SPICE 시뮬레이션한 크기 특성은 그림11과 같았고, 수동필터와 사이레이터 필터의 특성을 비교하기 위하여 각각의 크기특성을 보였으며, 또한 차단주파수를 비교하기 위하여 사이레이터 필터의 이득을 규준화한 특성도 제시하였다.

그림11의 특성에서 사이레이터 필터는 수동필터에

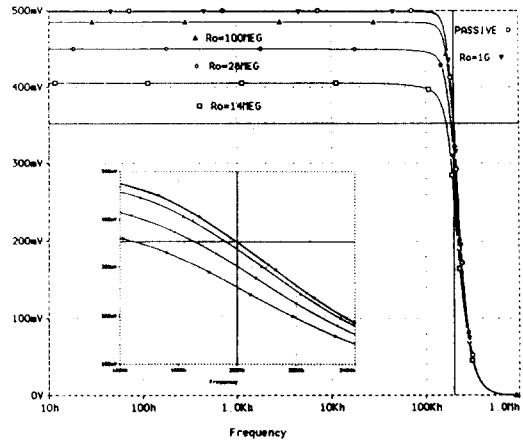


그림 10. 트랜스컨덕터 출력저항 R_o 의 변화에 따른 필터 특성
Fig 10. Characteristics of filter due to the variation of the output resistance in transconductor

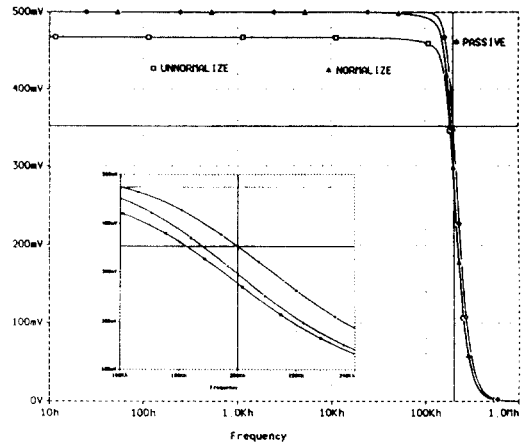


그림 11. 사이레이터 필터와 수동필터의 크기 특성 비교
Fig 11. Comparison of magnitude characteristics in the passive and GYRATOR filter

비하여 트랜스컨덕터의 출력저항으로 인하여 크기가 -6dB 에서 -6.6dB 로 감소하였으며, 차단주파수는 200KHz 에서 182.4KHz 로 천이 되었음을 알 수 있다. 이들의 감소는 증폭기를 사용하면 해결될 수 있으나, 주파수의 천이는 주파수 스케일링으로 보상하여야만 한다. 주파수 보상을 위하여 식(14)의 주파수 스케일링 인자 $S_f (= 200\text{K}/182.4\text{K} = 1.096)$ 를 사

용하여 재차 소자변환을 한 결과 표2의 소자값(주파수 보상 후)을 구하였다.

주파수 보상된 자이레이터 필터의 SPICE 시뮬레이션 특성은 그림12와 같으며, 수동 필터와 차단주파수가 같은 트랜스컨덕터를 이용한 능동 자이레이터 필터가 설계되었다.

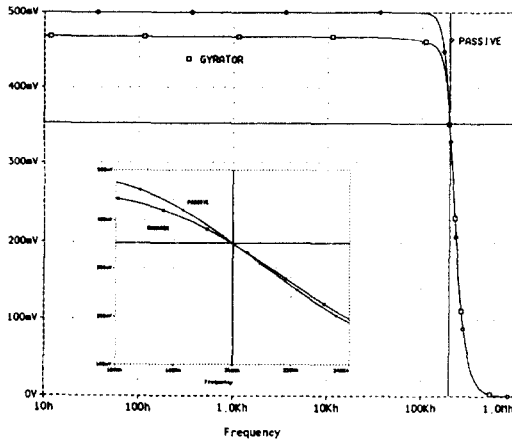


그림 12. 주파수 보상된 자이레이터 필터의 크기 특성
Fig 12. Magnitude characteristics of frequency compensated GYRATOR filter

IV. 결 론

음성대역 신호처리용으로 사용 되어지고 있는 스위치드-커패시터 필터 회로의 단점을 보완하고, 고주파수에서 사용 되어질 수 있는 연속시간 능동 자이레이터 필터를 설계하였다. 자이레이터 필터는 RLC 수동 필터회로망으로 부터 직접 능동 필터회로망으로 모의될 수 있으며, 수동복종단 제자형의 경우 소자변동에 대한 저감도 특성이 유지되는 장점을 가지고 있다.

자이레이터 필터를 집적화에 용이하도록 MOS 트랜스컨덕터와 콘덴서를 이용하여 설계하였으며, 트랜스컨덕터 회로는 $-1V \sim +1V$ 의 입력전압 범위에서 $I-I$ 선형특성이 유지되도록 bias offset 전압을 이용하였다. 설계된 트랜스컨덕터 회로의 g_m 은 $1.835\mu A/V$ 이었고, 출력저항 R_o 는 $28M\Omega$ 이며, 사용 주파수대역은 $10MHz$ 이상이었다.

또한, 수동회로망을 직접 변환하기 위하여 수동복종단 제자형 회로망을 구성하는 부유저항, 부유인덕

터, 접지된 저항을 자이레이터 회로로 모의하는 방법을 제시하였으나, 소자치 변환식은 자이레이터를 구성하는 트랜스컨덕터의 출력저항이 무한대에 이르는 이상적인 것으로 가정하여 구하였다.

설계된 트랜스컨덕터와 자이레이터 모의소자를 이용한 필터의 설계에로써 음성대역 이상의 차단주파수($f_c = 200KHz$)를 가지는 바터워스 5차 저역통과 필터를 설계하였다. 설계된 회로는 그림9와 같았고, 필터를 구성하는 소자값을 표2에 보였다. 시뮬레이션된 필터의 특성은 그림11과 같이 자이레이터 모의소자를 구성하는 트랜스컨덕터의 비이상적인 출력저항의 존재로 인하여 이득의 감소와 주파수 천이 특성을 보였다.

주파수 천이에 대한 보상으로 주파수 스케일링 인자 S 를 도입하여 표2와 같은 주파수 보상된 소자값을 구하였으며, 주파수 보상된 필터의 SPICE 시뮬레이션 특성은 그림12와 같이 수동필터와 차단주파수가 같은 크기 특성을 보였다. 그러나, 이득의 감소에 대한 보상으로 출력신호를 증폭하여야 하나 본 연구에서는 실시하지 않았다.

본 논문에서 제시한 자이레이터 필터를 이용하면 수동회로망을 구성하는 개별소자를 자이레이터 모의소자로 직접 대치함으로써 집적화에 용이한 능동 필터를 설계할 수 있으며, 음성 주파수대역 이상의 신호처리용 필터를 용이하게 설계할 수 있을 것으로 사료된다.

참 고 문 헌

1. H.Khorramabaidi and P.R.Gray, "High-Frequency CMOS Continuous-Time Filters," *IEEE J. Solid-State Circuits*, vol.SC-19, no.6, pp.939-948, Dec. 1984.
2. F.Krummenacher and N.joehl, "A 4-MHz CMOS Continuous-Time Filter with On-Chip Automatic Tuning," *IEEE J. Solid-State Circuits*, vol.SC-23, no.3, pp.750-758, Jun. 1988.
3. A.P.Nedungadi and R.L.Geiger, "High-Frequency Voltage-Controlled Continuous Time Lowpass Filter Using Linearised CMOS Integrators," *Electron Lett.*, vol.22, no.14, pp.729-730, July 1986.
4. P.M.Van Peteghem, H.M.Fossati, and S.Y. Lee, "Design of a Very Linear CMOS Transcon-

