

셀룰라 CDMA 이동통신용 레이크 수신기의 설계

正會員 鄭 雨 眞* 正會員 韓 榮 烈**

A Design of RAKE Receiver
for Cellular CDMA CommunicationsWoo Jin Jeong*, Young Yearl Han** *Regular Members*

요 약

본 논문에서는 셀룰라 CDMA 이동통신 시스템에서 다중 경로의 페이딩 채널을 보상하기 위한 레이크 수신기를 설계한다. 다중 경로 페이딩 환경에서의 임펄스 응답을 측정하기 위해 기지국에서 파일럿 채널을 통해 전송되는 short PN 부호의 부분상관함수 특성을 이용하였다. 약 $10\mu\text{s}$ 의 다중 경로 퍼짐을 보상하기 위해 12개의 역확산 경로를 사용하였으며 보상 방법에 대한 알고리즘을 제시하였다. 디지털 변환되어 입력되는 수신신호를 처리하기 위해 전 디지털화된 논리 회로를 제시하고 컴퓨터 시뮬레이션 및 타이밍 시뮬레이션에 의해 회로의 타당성을 검증한다.

Abstract

This paper describes a design of RAKE receiver for the cellular CDMA mobile communication system on the multipath fading channel. To measure impulse response on the multipath fading environment, partial correlation properties of short PN code that transmitted at a cell site through the pilot channel was used. We used 12 despread paths for compensating about $10\mu\text{s}$ multipath spread and proposed the compensation algorithms. For processing of digital converted input signal, we proposed full digitalized logics and its validity was verified by computer and timing simulation.

1. 서 론

퀄컴(Qualcomm)사가 직접 대역확산 통신(Direct Sequence Spread Spectrum)을 이용한 CDMA 시스템의 상용화 가능성 실험을 통해 그 기술의 우수성

과 약 10배에 달하는 사용자수 증가를 입증하고 EIA/TIA에서 CDMA 잠정 권고안을 발표한 이래 디지털 이동통신 방식으로서의 CDMA 기술에 대한 연구가 활발히 진행되고 있으며 국내에서도 제2 이동통신 사업자의 통신기술 방식으로 결정된바 있다. 이러한 CDMA 이동 통신 기술의 중요성이 증가하면서 기지국 장비 및 이동체 단말기를 소형화하기 위한 집적회로 기술의 개발과 독자적인 설계 능력의 확보는 차세대 이동통신의 주도권을 조기에 획득하는 가장 중요

*三星電子

**漢陽大學校 電子通信工學科

論文番號: 93235

接受日字: 1993年 12月 11日

한 관건이 되었다.

특히 CDMA 시스템과 같이 전송률이 매우 큰 통신 시스템의 경우 다중 경로에 의해 발생하는 수신신호의 감쇄를 보상하기 위해서는 레이크 수신기를 사용해야 한다. 본 논문에서는 기지국에서 송신되는 short PN 부호의 자기상관 및 부분상관 특성을 사용하여 임펄스 응답을 측정할 수 있는 레이크 수신기를 설계하였다. CDMA 이동통신에서 레이크 수신기를 설계함에 있어 임펄스 응답의 측정 방법으로는 송신자가 폭이 매우 좁은 펄스를 주기적으로 전송하는 방법이나 PN 부호 또는 프리앰블(Preamble)의 자기상관함수 특성을 사용하는 방법이 연구되어왔다. 본 논문에서 제안하는 레이크 수신기의 임펄스 응답 측정장치는 기지국에서 파일럿 채널을 통해 다른 채널

의 신호보다 강하게 전송되고 주기가 2^{16} (= 32768)으로 기지국 식별 부호로서 사용되는 short PN 부호를 사용하였다. 이 short PN 부호의 자기상관 함수 특성을 사용하면 임펄스 응답의 측정이 가능하다.

송신신호가 RF 및 IF 처리단을 거쳐 기지대역으로 변환되고 하나의 short PN 칩당 8번씩 샘플링되어 디지털 신호로 입력되면 임펄스 응답 측정장치를 통해 가장 응답이 큰 세개의 경로를 선택하여 복조에 사용하고 선택된 경로에 해당하는 지연된 short PN 부호 및 해당 부호채널의 Walsh 부호를 생성하는 레이크 수신기를 설계하였다. 수신기의 크기를 감소시키고 게이트 지연에 의한 회로의 오동작을 감소시키기 위하여 모든 논리회로는 EPLD(Erasable Programmable Logic Device)를 사용하여 구현하였으

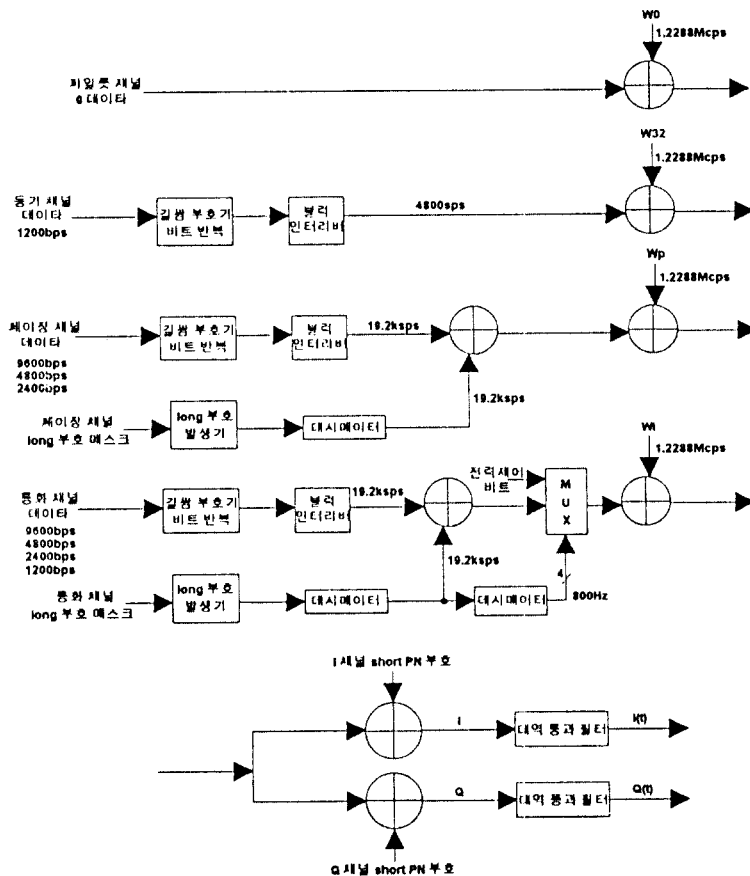


그림 1. 순방향 CDMA 채널의 구조
Fig 1. Forward CDMA channel structure

며 타이밍 시물레이션과 컴퓨터 시물레이션을 통해 설계된 회로의 논리가 타당하고 정확히 동작함을 보였다.

II. COMA 순방향 링크 송신기의 구조

EIA/TIA의 잠정 권고안에 따른 순방향 링크(forward link) 채널의 구조는 그림 1과 같다. 1200bps ~ 9600bps로 발생하는 각 채널의 정보 비트는 부호화율 1/2, 구속장(constraint length) 9인 길썬 부호화기(convolutional encoder)를 거쳐 9600bps는 한번, 4800bps의 경우 두번, 2400bps의 경우 세번, 1200bps의 경우 네번씩 동일한 비트를 반복하는 비트 반복(bit repetition) 과정을 거쳐 페이징 채널과 통화 채널은 19.2 kbps, 동기 채널은 4800bps의 데이터를 생성한다. 또한 이 데이터들은 이동 무선 채널 환경에서의 fast 페이징의 영향으로 인한 연접 오류(burst error)를 방지하기 위해 인터리빙(interleaving) 과정을 거친다. 페이징 및 통화 채널의 정보는 long PN 부호 계열로 스크램블링(scrambling) 처리되고 walsh 부호로 직교 변조 처리된다. 이어서 I, Q 채널 양측에서 각각의 short PN 부호 계열이 이원 가산된 후 각 채널에서 BPSK로 변조되 더해진다. 이 64개 부호 채널의 데이터들은 모두 가산된 후 동일한 반송 주파수로 송신된다.^[1]

순방향 CDMA 채널로 전송되는 각 부호 채널은 완전 직교 성질을 가지고 1.2288Mcps의 64-ary walsh 부호로 채널을 구분하는데 이것은 순방향 채널에서 확산 부호로서의 기능을 수행함을 의미한다. Walsh 부호를 생성하는 방법으로 본 논문에서는 hadamard-ordered 방식에 의해 발생하는 walsh 부호를 사용하였다. Hadamard-ordered 방식의 walsh 부호를 생성시키기 위한 논리식은^{[2][3]}

$$W(n, t) = \sum_{i=1}^{n-1} n_i t_{p-1+i} \\ = n_0 t_{p-1} \oplus n_1 t_{p-2} \oplus \dots \oplus n_{p-2} t_1 \oplus n_{p-1} t_0 \in \{0, 1\} \quad (1)$$

가 된다. 여기서 \sum 은 이원 가산(modulo 2 summation)이고 \oplus 은 논리적 AND를 의미한다. 또한 n 과 t 는 2^p-1 사이의 정수로 n 은 walsh 번호, t 는 몇번째 칩을 발생시킬 것인가를 의미한다. $n_i, t_j (1 \leq i, j \leq p-1)$ 는 n 과 t 를 이진수로 표현했을 때 각 비트의 값으로서

n_0 및 t_0 는 최하위 비트(LSB), n_{p-1} 및 t_{p-1} 는 최상위 비트(MSB)이다. 식 (1)을 만족하는 64-ary($p=6$) walsh 발생기 회로는 그림 2와 같다.^[2]

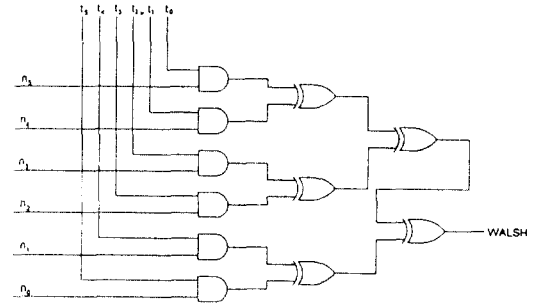


그림 2. Hadamard ordered walsh 부호 발생기
Fig 2. Hadamard-ordered walsh function generator

모든 기지국들로부터의 CDMA 신호들은 동일한 short PN 부호를 사용하여 전송되는데 각 기지국은 시간 오프셋(offset)으로 구별되는 부호 위상만을 가지며 이 오프셋은 64 short PN 칩 단위로 512개의 셀을 구별할 수 있다.^[1] Short PN 부호는 쉬프트 레지스터(shift register)의 타수가 15단으로 전체 주기가 $2^{15}-1$ ($=32767$)인 PN 부호 계열이며 PN 부호의 런(run) 특성에 의해 이 부호 계열에서 0이 연속적으로 14번 발생하는 경우는 전 주기중 오직 한번 뿐이므로 14번의 0이 연속적으로 발생한 후에 0을 하나 삽입하여 전체 주기가 2^{15} ($=32768$)인 부호로 변형하여 사용한다. Short PN 부호의 발생기 다항식(generation polynomial)은

$$P_1(x) = x^{15} + x^{13} + x^9 + x^8 + x^7 + x^5 + 1 \quad (2)$$

$$P_0(x) = x^{15} + x^{12} + x^{11} + x^{10} + x^6 + x^5 + x^4 + x^3 + 1 \quad (3)$$

이다. Short PN 부호 발생기는 선형 케환 쉬프트 레지스터(Linear Feedback Shift Register: LFSR)를 사용하여 발생기 다항식에 의해 쉽게 구성할 수 있다.^[4] 그림 3은 설계한 부호 발생기의 기능 블록도이다.

PN 발생기 쉬프트 레지스터 블록은 식 (2)와 식 (3)에 따라 쉬프트 레지스터로 구성된 부분으로 본 논문에서 제작된 시스템에서는 초기 상태를 지정할 수 있도록 하기 위하여 그림 4와 같은 레지스터를 사용하였다.

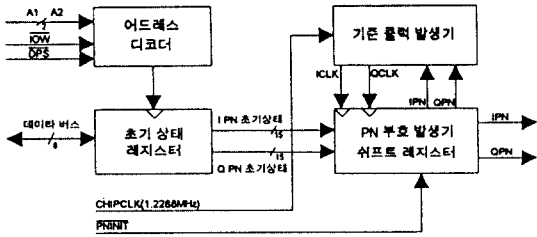


그림 3. Short PN 부호 발생기 기능 블록도
Fig 3. Functional block diagram of short PN code generator

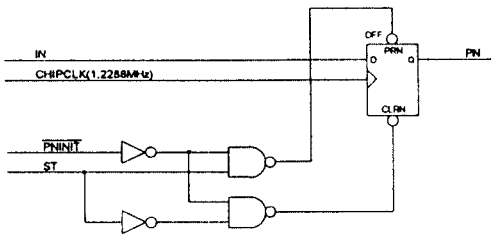


그림 4. Short PN 부호 발생기에 사용된 쉬프트 레지스터
Fig 4. Shift register used in short PN code generator

기준 클럭 발생기 블록은 변형된 부호를 생성하기 위해 0이 14번 발생한 후 0을 하나 더 삽입하는 역할을 하는 부분으로 0을 삽입하는 방법은 발생하는 PN 부호에서 연속되는 0의 갯수를 카운트함으로써 구현

가능하다. 즉, 발생하는 부호계열의 연속된 0의 갯수를 세어 그 갯수가 14가 되면 시스템 전체 기준 클럭 (1.2288MHz의 구형파)의 다음 상승에지(rising edge)를 억제하고 쉬프트를 행하지 못하도록 하여 결과적으로 14번째의 0을 한칩만큼 지연시키는 것이다. 또 발생하는 PN 부호가 1이되면 계수기가 리셋되고 다시 계수를 시작한다. 이 기준 클럭 발생기 회로도는 그림 5와 같다.

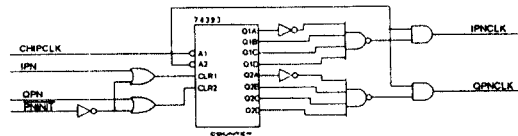


그림 5. Short PN 부호 발생기의 기준 클럭 발생 회로도
Fig 5. Schematic of reference clock generator in short PN code generator

PNINIT 신호는 short PN 부호의 주기가 26.666ms 이고 각 short PN 부호의 시작점에서 정보가 적재(load)되어야 할 경우가 많이 발생하므로 이 short PN 발생기의 시작점을 알려주는 초기화 신호로 사용된다. 그림 6은 short PN 부호 발생기의 타이밍도이다. 여기서 ICLK, QCLK의 두 클럭이 부호 발생기의 기준 클럭으로 15번째의 상승 에지가 발생하지 않았으며 0이 하나 삽입되었음을 볼 수 있다.

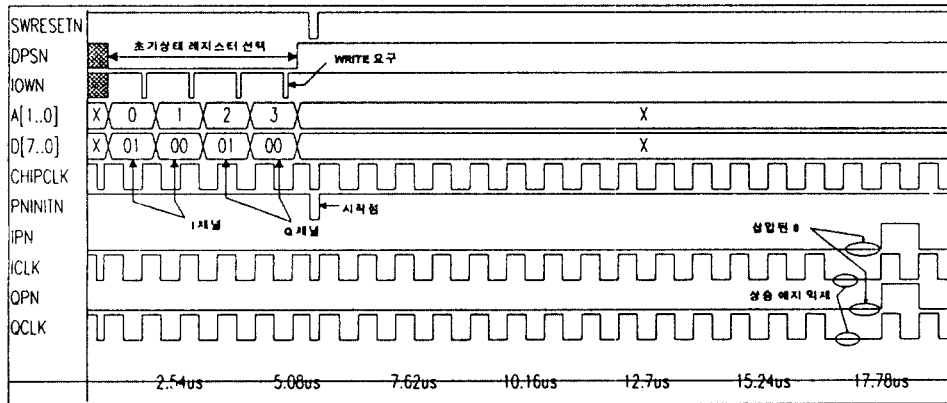


그림 6. Short PN 부호 발생기 타이밍도
Fig 6. Timing of short PN code generator

III. 레이크 수신기의 설계

1. 레이크 수신기의 구조

레이크 수신기는 대역 확산 통신에서와 같이 전송 대역폭이 coherence 대역폭보다 클 때 수파수 선택성 페이딩 채널에 사용되는 수신기로 다이버시티(diversity)의 효과를 나타낸다. 본 논문에서 설계한 레이크 수신기의 전체 기능 블록도는 그림 7과 같다.¹⁵⁾ 이 설계한 레이크 수신기는 약 10 μ s의 다중 경로를 보상하기 위해 12개의 역확산 경로(despread path)를 사용한다. 또한 초기 동기(acquisition)는 정확히 획득하였으며 지속적으로 부호 추적(code tracking)을 수행하고 있고 셀 간의 다이버시티는 행하지 않는다고 가정한다. 12개의 역확산 경로에서는 수신된 입력 신호와 각부 기준 short PN 부호 발생기에서 발생하는 부호를 부분상관시켜 임펄스 응답을 측정하고 마이크로프로세서에 보고하며 세개의 복조 경로(demodulation path)는 측정된 임펄스 응답에 따라 가장 큰 세 개의 지연 경로를 선택하여 지정된 부호 채널

의 정보 복조를 수행한다.¹⁵⁾ 이 세 개의 경로로 부터 복조된 정보는 가장 지연이 큰 경로에 따라 시간 지연되어져 더해지고 64 short PN 칩 만큼 적분된 후 하드 리미터(hard limiter)에서 임계치(threshold)와 비교되어 19.2kps의 송신 정보를 복조하게 된다. 송신 정보가 복조된 다음에는 long PN 부호가 이원 가산되고 디인터리버(deinterleaver), 복호기(decoder) 등을 통하여 전송된 음성 신호 또는 비음성 신호를 복조해 낼 수 있다.

2. PN 부호의 부분상관법에 의한 임펄스 응답 측정

페이딩 채널의 임펄스 응답 측정 방법에는 송신기에서 펄스폭이 좁은 강한 신호를 전송하고 수신기에서 이 신호를 수신하여 다중 경로의 임펄스 응답을 측정할 수 있다. 이 방법은 임펄스 전송시 매우 강한 신호가 필요한데 시스템 동작중 이러한 임펄스 신호를 전송하는 것은 설계상 어려움이 많으므로 일반적으로는 사용되지 않으며 대부분 PN 부호나 임펄스 응답 측정용 프리앰블(preamble)을 사용하여 채널의 임펄스 응답을 측정하게 된다. 본 논문에서는 임

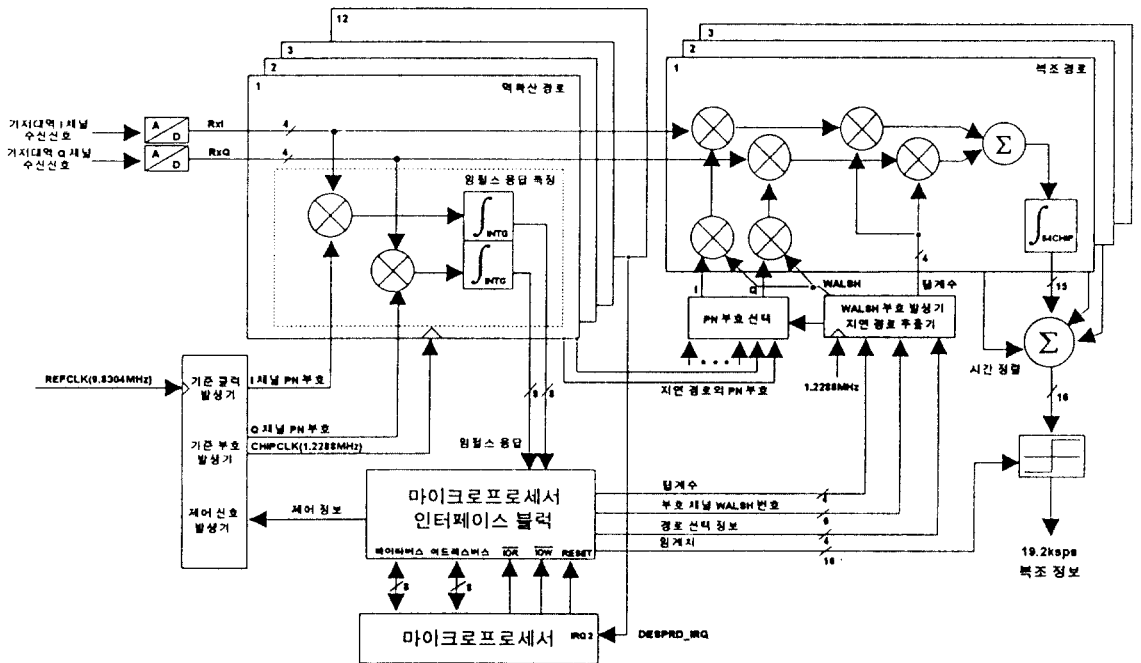


그림 7. 레이크 수신기 기능 블록도

Fig 7. Functional block diagram of RAKE receiver

펄스 응답을 측정하기 위해 파일럿 채널을 통해 다른 채널보다 강하게 전송되는 short PN 부호를 사용하는데 이 부호의 자기상관함수 특성을 이용하면 임펄스 응답 측정이 가능하다. 채널의 임펄스 응답 $h(t)$ 가 $c(t)$ 로 표현될 때 송신자가 기준 부호 $u(t)$ 를 전송하면 수신 신호는 $u(t)$ 와 $c(t)$ 의 컨벌루션이 되고 수학적으로 표현하면

$$r(t) = u(t) * c(t) \quad (4)$$

가 된다. 이 신호를 수신측에서 다시 $u(t)$ 로 상관시키면

$$u(t) * c(t) \cdot u(t) = R(\tau) * c(\tau) \approx \delta(\tau) * c(\tau) = c(\tau) \quad (5)$$

이 된다. \cdot 는 수신 신호와 $u(t)$ 의 상관을 의미하며 $R(\tau)$ 가 지연이 0일때의 임펄스이면 상관시켜 나온 출력이 바로 $c(t)$ 가 된다. 주기 2^{15} 의 short PN 부호는 엄밀한 의미에서 PN 부호가 아니므로 PN 부호의 자기상관함수 특성을 가지고 있지 않지만 이 부호의 자기상관함수는 지연이 0인 좌우 14비트의 자기상관함수값이 0이므로 이 부분을 이용하면 $1/1.2288\text{Mcps} \times 14 (= 11.39\mu\text{s})$ 까지 임펄스 응답 측정이 가능하다. 즉, 임펄스 응답 측정은 $10\mu\text{s}$ 내외까지하면 되므로 이 부호를 이용하면 다중 경로 페이딩 환경에서의 임펄스 응답을 측정할 수 있다. 그러나 전체 부호 주기를 수신 신호와 상관시키는것은 시스템의 부하를 증

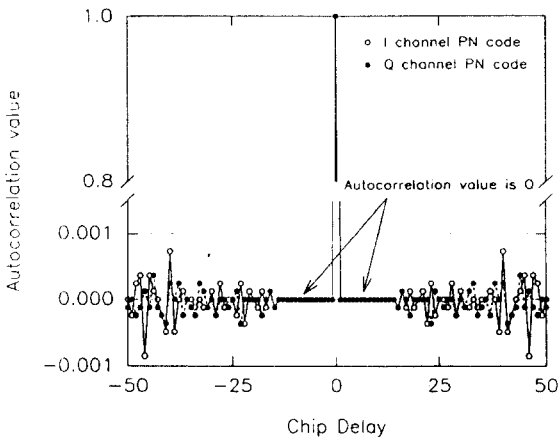


그림 8. Short PN 부호의 자기상관함수 값
Fig 8. Autocorrelation value of short PN code

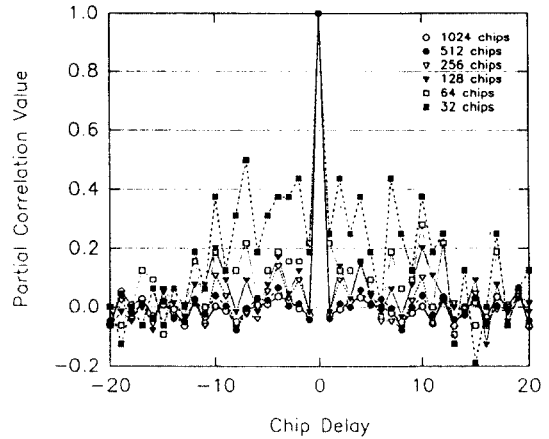


그림 9. Short PN 부호의 부분상관 값
Fig 9. Partial correlation value of short PN code

가시키는 단점이 있으므로 본 논문에서는 전체 부호 주기중 32~1024 칩만을 사용하는 부분 상관 기법을 사용한다. Short PN 부호의 자기상관특성은 그림 8과 같고 상관량이 32~1024칩인 경우의 부분상관값의 변화는 그림 9와 같다.

Short PN 부호의 부분상관 특성을 사용하여 임펄스 응답을 측정할 경우, 그림 10과 같은 특성을 가지는 채널에서 가장 강한 경로는 0, 2, 4칩의 지연을 가지는 경로이며 short PN 부호를 부분상관시켜 측정 한 임펄스 응답은 그림 11과 같다. 그림 11에서 64칩 부분상관의 경우까지는 비교적 정확히 세개의 경로를 추출할 수 있으나 상관량이 32칩인 경우의 임펄스 응답은 정확하지 못하다. 따라서 최소 64칩 이상을 상관시켜야만 정확히 경로를 추출할 수 있음을 알 수 있다. 여기서 측정된 임펄스 응답은 I 및 Q 채널의 PN 부호를 상관시킨후 $\sqrt{I^2 + Q^2}$ 을 취한 것이다. 이 측정된 임펄스 응답의 비가 복조 경로에서 곱해지는 탭 계수가 된다.

Antipodal 신호에 사용되는 임펄스 응답 측정 장치는 단일 상관기 방식이 사용되어지는데 이러한 방식의 임펄스 응답 측정 장치는 그림 12와 같다.^{[9][10]} 여기서 채널의 임펄스 응답은 $2T_b$ 구간 동안 변하지 않는다고 가정한다. 이 추정 장치는 먼저 기준 PN 부호와 수신 신호가 상관기를 거친후 일정한 구간동안 적분되어져 한 정보 비트 구간동안 지연되어진다. 실제 설계에서 임펄스 응답을 측정하기 위한 역확산 경로

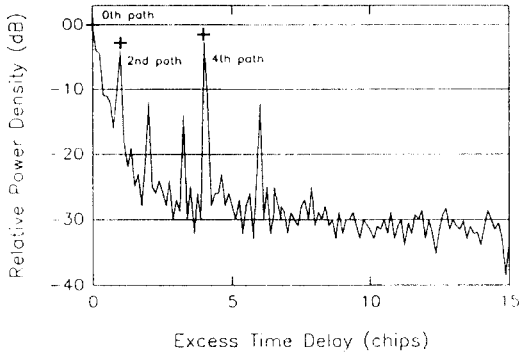


그림 10. 임의 무선채널의 채널 특성
Fig 10. Channel characteristic of a wireless channel

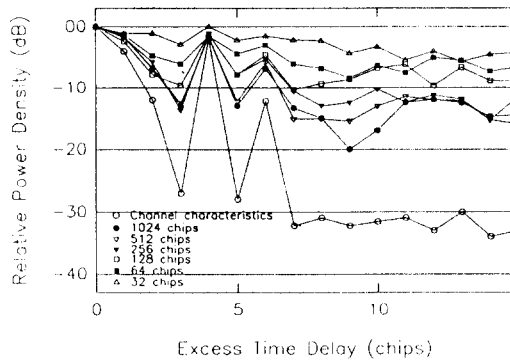


그림 11. 부분상관법에 의한 임펄스 응답의 측정
Fig 11. Measurement of impulse response using partial correlation method

는 그림 13과 같은 구조를 가진다. 전체 short PN 부호 주기 26,666ms 중에서 부호 시작점부터의 일부 부호만을 사용하여 임펄스 응답을 측정하고 이 측정된 샘플 계수는 다음 부호 시작점에서 복조에 사용되어진다.

수신기의 IF단에서 기저 대역으로 다운 컨버트(down-convert)된 수신 신호는 9.8304MHz의 클럭으로 동작하는 A/D 변환기에 의해 4비트 2의 보수 형태로 한 칩당 8번 표본화(sampling)되어 레이크 수신기의 I 및 Q 채널에 전달되며 이 입력 신호는 -8(1000) ~ 7(0111)의 범위를 가진다. 입력 신호는 모든 경로에 동일 시간에 전달되어 각 경로의 해당 지연된 short PN 부호와 상관된다. 4비트 2의 보수 형태인 입력 신호와 short PN 부호의 상관기는 입력된 신호와 1.2288Mcps의 기준 PN 부호를 곱하는 과정이다.

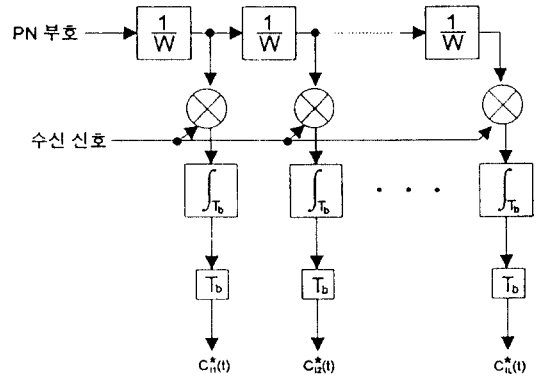


그림 12. 임펄스 응답 측정 장치 블록도
Fig 12. Block diagram of impulse response measurement circuit

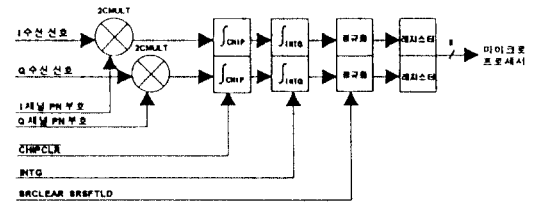


그림 13. 역확산 경로 기능 블록도
Fig 13. Functional block diagram of despreading path

이 곱셈기는 네 비트의 입력 신호와 PN 부호 1칩을 곱하는 곱셈기로써 그림 14와 같다.

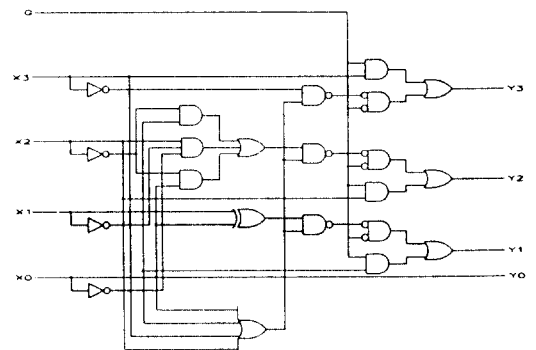


그림 14. 4비트 × 1비트 곱셈기
Fig 14. 4bit × 1bit multiplier

여기서 G 입력은 short PN 부호와 walsh 0번 부호의 곱으로서 1은 +1, 0은 -1을 곱하는 것을 의미한다. 이 논리는 G 입력에 따라 2-to-1 MUX에 의해 선택되어져 출력된다. 즉 +1을 곱하면 입력을 그대로 출력하고 -1을 곱하면 논리 회로에 의한 출력을 선택하게 된다.

Short PN 부호와 곱해진 신호는 미리 지정된 임의의 시간동안 적분되어 임펄스 응답을 측정하게 된다. 임펄스 응답 측정을 위해서 사용되는 부분상관법에서의 적분 시간은 최소 32 short PN 칩에서 최고 1024 short PN 칩으로 설정하였다. 역확산 경로에서는 두 단계의 적분을 거치는데 먼저 칩 단위의 적분기를 거치게 된다. 이것은 한 칩 당 8번 표분화되어 입력되는 신호들을 칩 단위로 적분하여 평균을 취해 처리함으로써 장치의 간소화를 꾀한 방법이다. 8개의 입력 신호를 적분하여 평균값을 취하면 4비트 2의 보수 형태를 그대로 유지한다. 평균이 취해진 값은 다시 지정된 적분량 만큼 적분을 하게 된다. 적분된량은 16비트 2의 보수이다. 임펄스 응답을 측정하기 위한 적분기는 마이크로프로세서에서 전송된 적분량만큼 적분을 수행하는데 이 적분된 결과는 16비트이지만 적분량에 따라 정규화되어 8비트로 바뀐다. 이 정규화는 적분량에 따라 표 1과 같이 결정된다.

표 1. 적분량에 따른 정규화
Table 1. Normalization by integration chip number

비트	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
적분량																		
1024	÷ 32																	
512	÷ 16																	
256	÷ 8																	
128	÷ 4																	
64	÷ 2																	
32	÷ 1																	

적분이 끝나면 적분기의 출력은 표 1에 의해 정규화를 행한다. 정규화된 응답은 인터페이스용 레지스터에 적재되고 12번째 경로의 적분이 끝나 모든 경로의 임펄스 응답 측정 동작이 끝나면 마이크로세서에 인터럽트 요구 신호를 보낸다. 이 요구를 인지한 마이크로프로세서는 12개 역확산 경로의 I, Q 각 채널의 임펄스 응답 측정값을 주기억 장치로 비교를 행하여 가장 큰 가지 세개를 선택하고 세개의 복조 경로에 할당하게 된다. 그림 15는 설계된 임펄스 응답 측정 장치에 대한 타이밍도이고 그림 16은 정규화 과정 동안의 제어 신호와 출력값의 변화에 대한 타이밍도인데 입력은 계속 7(0111)일 경우이다. 최초의 PNINIT가 발생하면 INTG 신호가 로우 레벨에서 하이 레벨로 상승하고 마이크로프로세서에서 미리 지정된 적

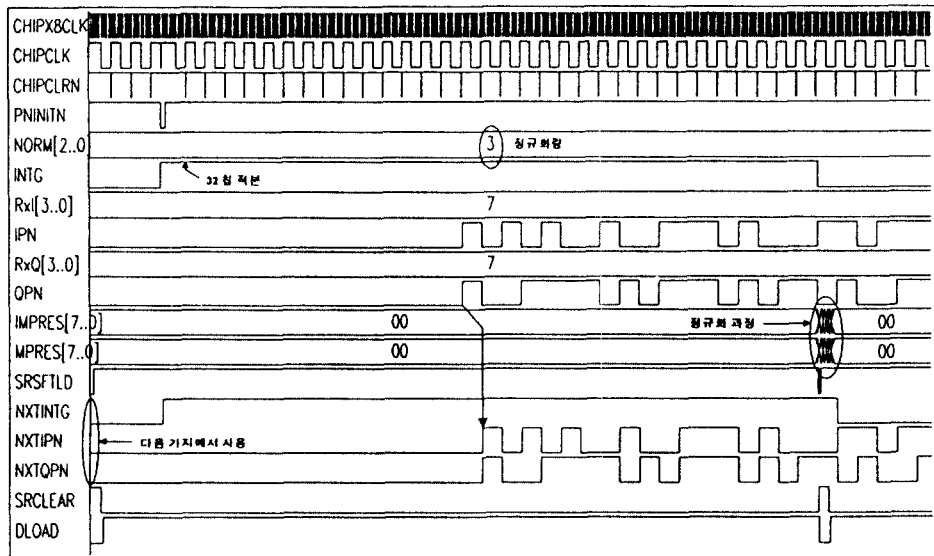


그림 15. 역확산 경로의 타이밍도
Fig 15. Timing of despreading path

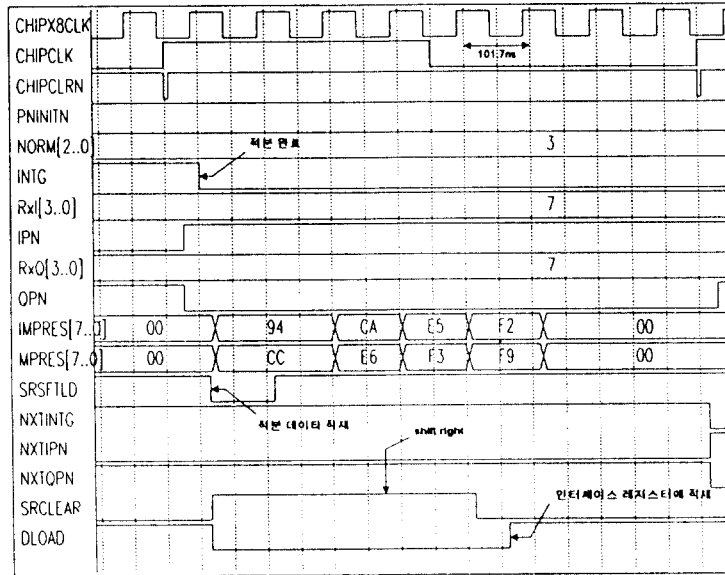


그림 16. 정규화 과정의 타이밍도
Fig 16. Timing in normalizing process

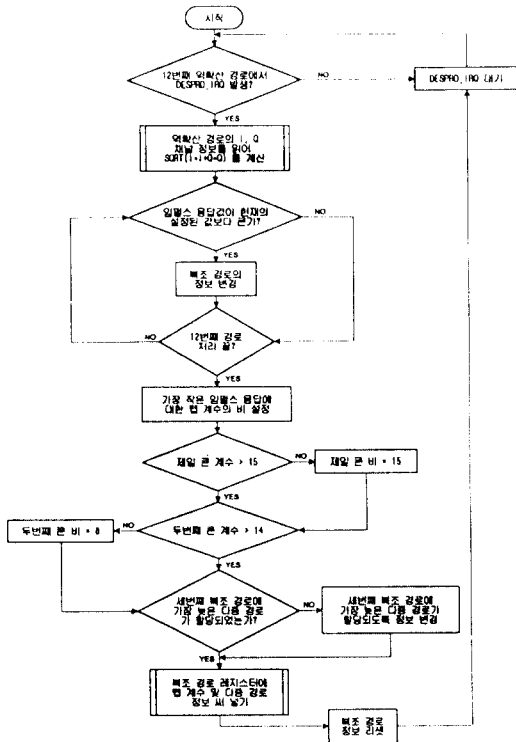


그림 17. 임펄스 응답 비교 흐름도
Fig 17. Flowchart of impulse response compement

분량만큼 하이 레벨을 유지한다. 이 INTG 신호가 하이 레벨인 동안 적분은 지속적으로 수행되고 로우 레벨로 됨과 동시에 적분기 출력 데이터를 적재하고 정규화 과정을 거쳐 원하는 임펄스 응답을 얻는다. 이 일어난 값은 인터페이스 레지스터에 적재된다. 정규화가 끝나고 데이터가 적재되면 적분기 및 정규화 회로는 리셋되고 다음의 INTG 상승 에지까지 동작하지 않으면 레지스터에 적재된 값은 마이크로프로세서의 읽기 요구(IOR)에 의해 전송된다. 12개의 경로로부터 얻어진 임펄스 응답값을 비교하기 위한 소프트웨어 처리의 흐름도는 그림 17과 같은 순서로 진행된다.

3. 데이터 복조 경로

세 개의 복조 경로는 마이크로프로세서로부터 12개의 다중 경로중에서 복조해야 할 지연 경로를 지정받아 19.2ksps의 전송 데이터를 복조한다. 복조 경로에 대한 가능 불리도는 그림 18과 같다. 지정된 경로의 데이터를 복조하기 위하여 먼저 수신 신호와 해당 경로의 지연을 가지는 short PN 부호 및 walsh 부호와 곱해진 후 역확산 경로로부터 추정된 임펄스 응답값을 곱한다. 이 곱해진 값은 역확산 경로에서와 마찬가지로 칩 단위로 적분되어서 평균값을 취하고 I

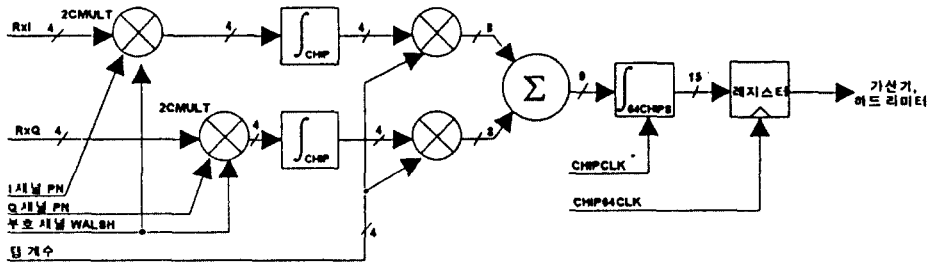


그림 18. 복조 경로의 기능 블록도
Fig 18. Functional block diagram of demodulation path

및 Q 채널에서 각 경로의 탭 계수와 곱해진 후 두 채널 값이 더해져서 walsh 부호 주기인 64칩 동안 적분된다. 적분된 값들은 가장 큰 지연을 가지는 세번째 경로의 시간정렬 정보에 의하여 동기적으로 더해지고 모두 더해진 이 값은 하드 리미터에서 16비트의 임계치(threshold value)와 비교되어 19.2ksp/s의 송신 정보를 추정하게 된다.

수신 정보는 역확산 값과 마찬가지로 4비트 2의 보수 형태로 동일하게 입력되는데 각 경로는 PNINIT 신호로부터 자신에게 할당된 지연시간 만큼 초기화 신호를 로우 레벨로 유지하며 이 기간 동안 데이터 복조를 행하지 않는다. 각 경로에서는 독립적으로 walsh 부호를 발생시킨다. 두 부호와 곱해진 수신 신호는 마이크로프로세서에서 전송된 탭 계수를 곱해야 하는데 이 곱셈은 0~15 범위의 4비트의 이진수 형태로 전송되는 탭 계수와 -8~7범위의 4비트 2의 보수 형태로 입력되는 수신 신호의 곱이다. 이러한 곱셈기는 그림 19와 같이 설계하였다.^[11]

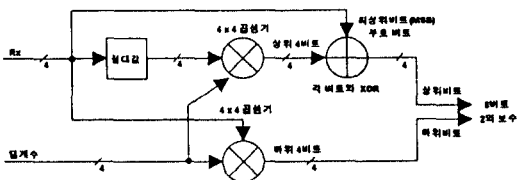


그림 19. '4비트 이진수 × 4비트 2의 보수' 곱셈기
Fig 19. '4bit binary × 4bit 2's complement' multiplier

이 곱셈기에 의한 곱셈의 결과는 8비트 2의 보수가 된다. 그림 19의 블록도에서 4비트 2의 보수의 절대

값을 구하기 위해 -8(1000)에 대한 절대값을 7(0111)로 설정하고 설계한 논리 회로는 그림 20과 같다.

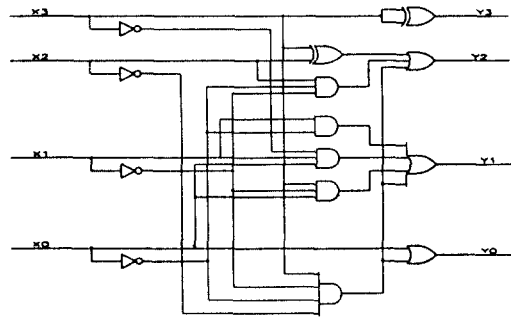


그림 20. 4비트 2의 보수의 절대값 연산 논리 회로
Fig 20. Absolute value calculation logic for 4bit 2's complement

세 개의 복조 경로로부터 나오는 정보들은 제일 늦은 경로인 세번째 경로의 시간에 정렬되어 합산기에 입력되고 이 값들은 모두 더해져 지정된 16비트의 임계값과 비교된다. 설계된 경로의 곱셈기에 대한 타이밍도는 그림 21과 같고 이 곱셈기 블록 및 복조기 전체를 제어하기 위한 제어 신호들의 타이밍도는 그림 22과 같다. 그림 21에서 walsh 부호는 임의로 전 주기에서 1의 값을 가지는 부호로 설정 하였으며 각 채널의 곱셈 결과는 1.2288MHz의 다음 클럭의 하강 에지에서 적분기에 적재된다. 변화하는 클럭의 에지 부분에서 출력값의 변동이 있으나 이 값들은 복조를 위한 적분기에 적재되지 않으므로 무시될 수 있다. Walsh 부호는 각 경로의 시작 시점에 맞춰져 발생한다.

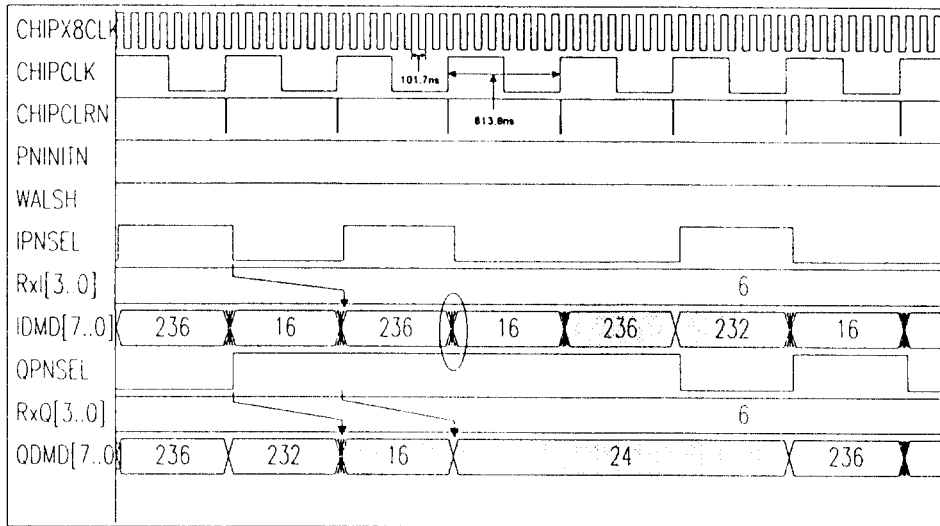


그림 21. 복조 경로 타이밍도
Fig 21. Timing of demodulation path

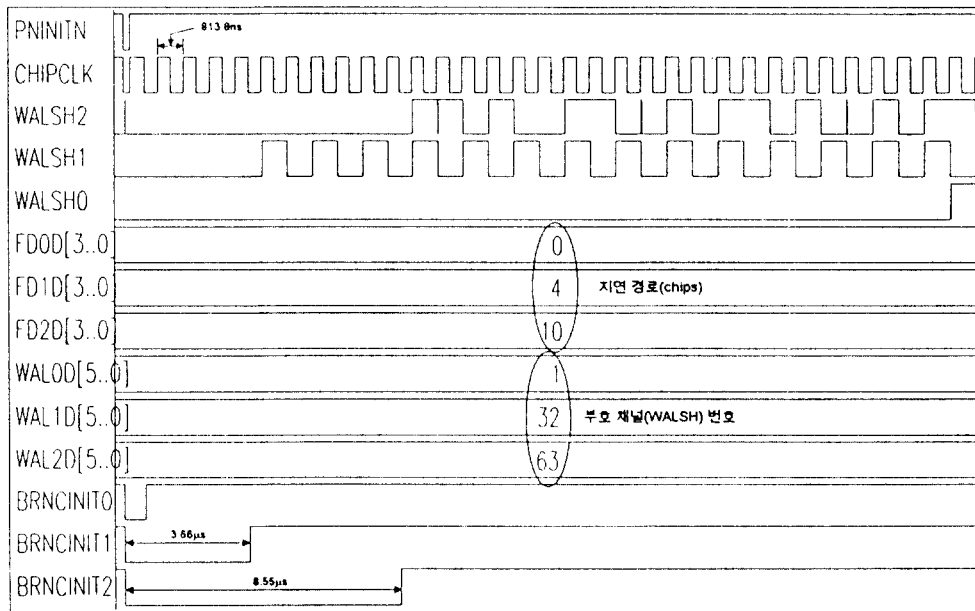


그림 22. 복조 경로 제어 신호 타이밍도
Fig 22. Timing of demodulation path control signal

4. 소프트웨어 설계

설계된 레이크 수신기를 제어하기 위한 프로그램은 C언어를 이용하여 구현하였다. 프로그램의 흐름도는 그림 23과 같다. 먼저 하드웨어 인터럽트의 벡터를 변경하고 프로그램이 기동되면 각 레지스터의 값들에 대한 초기치가 전송된다. 모든 레지스터에 대한 값의 전송이 끝난 후 제어 레지스터를 통해 소프트웨어 리셋을 명령하는데 이 소프트웨어 리셋 신호가 모든 논리 회로들의 시작 기준점이 된다. 역확산 경로의 12번째 경로에서 임펄스 응답의 측정이 끝나면 마이크로프로세서에 인터럽트 요구를 위해 DESPRD_IRQ를 전송하고 이 전송 신호를 인지한 마이크로프로세서는 현재 진행중인 작업을 중단하고 지정된 인터럽트 벡터로부터 임펄스 응답 처리 루틴을 수행하게 된다. 이 인터럽트에 대한 처리는 다음의 PNINIT가 발생하기 이전에 종료되어 모든 정보의 갱신이 이루어져야만 한다.

IV. 결 론

본 논문에서는 무선 통신로상에서 발생하는 다중 경로 페이딩 현상을 보상하기 위한 레이크 수신기를 설계, 구현하였다. 레이크 수신기에서 short PN 부호의 부분상관 특성을 이용해 임펄스 응답을 측정하고 사 할 때에는 상관되는 칩의 수가 64칩 이상이 되어야만 안정적으로 임펄스 응답을 측정할 수 있음을 보이고 부분 상관 기법에 의한 임펄스 응답 측정 회로를 설계하였다. 다중 경로의 임펄스 응답 측정에 의해 지연 경로 세 개를 선택하여 데이터 복조에 사용하는 복조 경로를 설계하고 세부 논리 회로를 설계, 구현하였다. 2의 보수를 다루기 위해 변형된 곱셈기 및 적분기를 설계하였으며 세 개의 경로 중 마지막 경로에는 항상 지연이 가장 긴 경로가 할당되도록 설계하였다.

본 논문에서 제시한 레이크 수신기의 디지털 처리부는 EIA/TIA의 CDMA 시스템 잠정 권고안을 따랐으므로 CDMA 이동 통신 서비스를 준비하고 있는 현지점에서 그 기반 기술로서의 활용이 가능하며 수신 처리부를 소형, 경량화하기 위한 집적 회로 설계에 소요될 기초 논리로의 활용이 가능하다. 그러나 본 논문에서는 실제 무선 경로상에서의 검증은 거치지 않았으므로 무선 경로의 페이딩 채널에 대한 실제 검증이 요구된다.

참 고 문 헌

1. TIA, *Proposed TIA/EIA Interim Standard Mobile Station-Base Station Compatibility Standard for Dual-Mode Wideband Spread Spectrum Cellular System*, July, 1993.
2. K. G. Beauchamp, *Walsh Function and Their Application*, New York : Academic Press, 1975.
3. N. Ahmed, K. R. Rao, *Orthogonal Transform for Digital Signal Processing*, New York NY : Springer-Verlag
4. S. W. Golomb, *Shift Register Sequences*, Holden-Day, 1967.
5. Qualcomm, *Mobile Station ASIC Specification Sheet*, Jan., 1991.
6. Hans Kaufmann, "Microcellular Direct-Sequence Spread-Spectrum Radio System Using

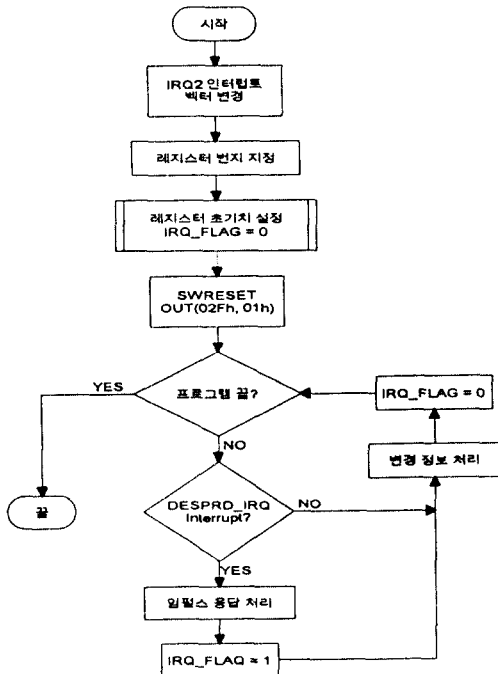


그림 23. 제어 프로그램 순서도
Fig 23. Flowchart of control program

- N-Path Rake Receiver," IEEE Journal on Selected Areas COMM., Vol.8 No.5, June, 1990.
7. Hans Kaufmann, Roland Kung, "Digital Spread-Spectrum Multipath-Diversity Receiver for Indoor Communications," PROC. 42nd IEEE Veh. Tech. Conf., Denver, May, 1992.
 8. Urs Fawer, "A Coherent Spread-Spectrum Multipath-Diversity Receiver for Indoor Communications," IEEE, 1992
 9. J. G. Proakis, *Digital Communications*, McGraw-Hill, 1983.
 10. M. K. Simon, J. K. Omura, R. A. Scholtz and B. K. Levitt, *Spread Spectrum Communications Vol. I~III.*, Computer Science Press, 1985.
 11. R. J. Higgins, *Digital Signal Processing in VLSI*, Prentice Hall, 1990

鄭雨眞(Woo Jin Jeong)

정회원

1992년 2월 : 한양대학교 전자통신공학과 졸업(공학사)

1994년 2월 : 한양대학교 대학원 전자공학과(공학석사)

1994년 2월 ~ 현재 : 삼성전자, 연구부

※주관심분야: 이동통신, 디지털통신, 통신이론



韓榮烈(Young Yearl Han) 正會員

1938年 6月 10日生

1960年 2月 : 서울대학교 전자공학사

1976年 5月 : 미주리주립대학교 대학원 공학석사

1979年 5月 : 미주리주립대학교 대학원 공학박사

1980年 ~ 現在 : 한양대학교 전자통신공학과 교수

1980年 ~ 1991年 : 본학회이사, 상임이사

1991年 ~ 現在 : 본학회 부회장