

상태전이 이중검색방식의 이동통신용 Viterbi 디코더 설계

正會員 金 容 鷹* 正會員 李 相 坤* 正會員 鄭 垠 澤* 正會員 柳 興 均*

A Design of Viterbi Decoder by State Transition Double Detection Method for Mobile Communication

Yong Roh Kim*, Sang Gon Lee*, Eun Taek Jeong*,
Heung Gyoon Ryu* *Regular Members*

요 약

디지털 이동 통신 시스템에서, 길쌈부호는 최적 에러정정기법이라 생각된다. 최근 디지털 이동 통신의 부호정정을 위하여 Viterbi 알고리즘은 길쌈부호의 부호화를 위해 가장 널리 사용된다. Viterbi 디코더의 하드웨어 설계를 위해 많은 방법들이 대부분 부호기의 부호율 $R=1/2$ 또는 $2/3$ 인 메모리 소자수가 적고 부호 구성장이 짧은 것으로 제안되었다.

본 논문에서는, 지연 메모리 기억소자인 $m=6$ 의 부호율 $R=1/2$, $K=1/2$, $K=7(171, 133)$ 길쌈부호기를 위한 설계방식을 고려하였다. Viterbi 알고리즘에 상태전이 이중검색 방식을 이용한 새로운 기법을 제안하였다. 그리고 회로설계는 랜덤 2비트 에러 정정 복원할 수 있도록 하였다. 시뮬레이션 결과, 제안된 Viterbi 디코더는 1비트와 2비트 에러신호에 대하여 정확하게 정정하였다.

Abstract

In digital mobile communication systems, the convolutional coding is considered as the optimum error correcting scheme. Recently, the Viterbi algorithm is widely used for the decoding of convolutional code.

Most Viterbi decoder has been proposed in code rate $R=1/2$ or $2/3$ with memory components (m) less than 3, which degrades the error correcting capability because of small code constraints (K). We consider the design method for typical code rate $R=1/2$, $K=7(171,133)$ convolutional code with memory components, $m=6$.

In this paper, a novel construction method is presented which combines maximum likelihood decoding with a state transition double detection and comparison method. And the designed circuit has the error-correcting capability of random 2 bit error. As the results of logic simulation, it is shown that the proposed Viterbi decoder exactly corrects 1 bit and 2 bit error signal.

* 忠北大學校 電子工學科
Dept. of Electronics Eng., Choongbuk Univ.
論文番號 : 93240
接受日字 : 1993年 12月 15日

I. 서 론

현대의 통신시스템에서는 급격히 증가한 통신량으로 인하여 통신신뢰도의 향상만큼 통신채널의 대역제한성도 중요해졌다. 통신의 신뢰도를 향상시키는 방법으로 에러정정 부호 즉, 채널 부호가 사용된다. 채널 부호는 전송되어야 할 정보비트에 용장(redundancy) 비트를 추가하여 에러정정 능력을 부여하는 방법이다. 이 방법은 전송해야 할 비트의 증가와 전송에 필요한 대역폭의 증가를 의미한다. 채널부호는 신뢰도를 향상시키는 반면, 대역폭의 효율성을 저하시킨다.

디지털 이동통신에 있어서 길쌈부호(convolutional code)의 최적 에러정정 부호방법은 Viterbi 부호방법이다. Viterbi 부호 알고리즘은 1967년에 A.Viterbi에 의해 개발된 방식으로 최대 근사부호를 수행하는 최적 부호방법이며, 에러정정(forward error correcting : FEC)부호방식의 디코더로써 부호과정이 실시간 처리되므로 고속의 이동통신용으로 매우 적합하다. 그러나, 많은 계산량과 방대한 메모리가 요구되므로 Viterbi 디코더의 실현의 장애요인이었다.^{[1][2]} Viterbi 디코더의 장점은 일반 디코더와 비교하여 디코더의 복잡도가 부호열(code sequence)의 심볼수에는 무관하다는 것이다.

Viterbi 디코더의 하드웨어 설계를 위한 많은 방법들이 제안되어 왔으나, 그들중의 대부분이 부호기의 메모리 소자수가 적고 부호 구속장(code constraint)이 짧은 것으로 제안되었다. 그러나 부호 구속장이 짧으면, 에러정정 능력이 저하되기 때문에 실제적으로는 사용이 불가하다.

최근 QUALCOMM사에 이어 STANFORD TELECOMM에서 고속의 Viterbi 디코더가 하드웨어로 개발하여 상용화를 하였으며, 이들은 설계시 문제되었던 많은 양의 소자수를 적게하기 위한 독자적인 설계기법을 개발하였다.^{[3][4]} 디코더 설계시 기본적인 알고리즘은 Viterbi 알고리즘이고, Hamming 거리를 이용한 수신 트렐리스도에서 수신 부호열을 추적해 나가면서 원래의 신호를 복원한다. Hamming 거리를 계산하기 위해서는 많은 계산량과 소자수가 부호 구속장에 2의 K승 비례하게 된다.

최근 IEEE에 제안된 새로운 방식들 중에서, 1992년 3월 T.Troung이 제안한 역추적(trace-back) 알고리즘은 간단한 회로설계를 할 수 있고, 이산비트에

러에 대하여는 에러정정 기능은 같은 성능을 갖도록 하였지만, 연집에러에 대하여는 취약한 단점을 가지고 있다. 1992년 10월 Shunji Honda의 이중연판정 방식, 1989년 8월 Heinrich Meyr의 병렬 Viterbi 복호법이 제안되었다.

본 논문에서는 Viterbi 알고리즘에 상태천이 이중 검색 방식을 이용한 새로운 기법을 제안하였다. 제안된 Viterbi 디코더는 에러정정 능력이 2비트로 하였으며, 3비트 에러정정 회로 설계 가능성이 있음을 보였다. 부호기의 상태천이 변화를 이용하여 수신 부호열의 예측된 상태천이 값과 예측 입력 값으로, 현재의 입력 상태를 감시하고, 동시에 수신 부호들의 Hamming 거리를 계산하여 원래의 신호를 복원하도록 하였다.

II. Viterbi 디코더

1. 이동통신과 Viterbi 디코더

이동통신 시스템과 같이 환경이 열악한 채널을 통하여 디지털 데이터를 전송하는 경우 많은 데이터의 오류가 발생한다. 이를 방지하기 위하여 에러 제어 기법을 사용하게 된다. 이는 오류정정(forward error correction : FEC)부호와 오류 검출(error detection) 부호로 분류 된다.^[5]

최근 들어서 가장 널리 사용중인 오류정정 부호에는 RS(Reed-Solomon)부호와 길쌈부호가 있다. RS 부호는 하나의 심볼이 8비트인 비 2진 부호로서 연집 오류에 대해 오류정정 능력이 우수한 소위, 최대 거리 분리(maximum distance separable : MDS)부호이다. 무선통신 채널은 일반적으로 부가성 백색 가우시안 잡음 채널로서 비트오류가 연집오류의 형태로 생기지 않는다. 이러한 채널의 경우, 오류정정 능력면에서 길쌈부호가 우수하다. 길쌈부호의 복호방법 중에는 임계복호법, 순차복호법, 그리고 Viterbi 복호법이 등이 있고, 복호 성능면에서 Viterbi 디코더가 가장 우수하나 디코더의 하드웨어가 복잡하여 사용되고 있지 못하다가 VLSI 기술의 발달로 실현가능해졌다. 미국을 비롯한 일본, 유럽의 디지털 이동통신 시스템의 채널부호에 대한 규격도 약간의 차이는 있지만 부호율이 같은 길쌈부호와 Viterbi 디코더를 채택하고 있다.

2. 길쌈부호

길쌈부호는 1955년 Elias에 의해 처음으로 소개된 이래 많은 학자들에 의해 꾸준히 연구가 계속되어 왔

고, 그에 따른 연구성과도 지대하다. 길쌈부호의 특징은 블럭단위로 부호화되지만 과거의 정보블럭이 현재의 정보블럭에 영향을 미친다. 따라서 길쌈부호의 부호기는 간단하지만 블럭부호에 비해 다소 복잡한 신호구조를 가진 이유로 해석상의 어려움이 있지만 오류정정 능력이 우수하다.

일반적인 길쌈부호의 표현을 (n, k, m) 이라 하자. 여기서 k 는 단위시간 동안 입력단에 인가되는 정보비트의 수를 나타내며, n 은 k 의 입력정보가 인가 때마다 출력되는 비트의 수이고, m 은 지연 메모리의 길이를 나타낸다. 디지털 전송 시스템의 어려성능을 개선하기 위하여 부호율 $R = k/n$ 인 길쌈부호기를 사용하면 채널의 신호 집합은 n 비트로 확장된다. 이와 같이 확장된 채널신호를 효과적으로 전송하기 위해서는 변조 방식과 채널특성에 적합하도록 신호를 매핑하여야 한다^[5].

3. Viterbi 복호 알고리즘^{[1][6]}

Viterbi 알고리즘은 격자상도 상에서 생존경로를 탐색하는 것을 목적을 한 방법이다. 따라서 DMC(discrete memoryless channel)를 매개로한 수신계열 r 과 비교해서 최소거리를 갖는, 즉 최대 평가량을 갖는 생존 경로(surviving path)를 탐색해야 한다. 격자상도 상의 각절점에 합류하는 2^k 개의 지로를 수신계열의 r 의 대응요소와 비교해서 Hamming 거리를 구하면 그것이 곧 그 지로의 평가량이 된다. 시점(time unit) j 에서 $c(s_j)$ 를 상태 s_j 의 생존거리라 하고 $\phi(s_j)$ 를 생존 경로를 생존 경로의 평가량이라 정의했을때 Viterbi 알고리즘은 다음과 같다.

〈Viterbi 알고리즘〉

단계 1. 시점 $j = m$ 에서 각 상태에 이르는 단일 경로중 생존 경로 $c(s_m)$ 를 기억하고 $\Phi(s_m)$ 을 계산한다.

단계 2. 시점 $j = m + 1$ 에서 각 상태에 합류하는 2^k 개의 지로 평가량을 구하고 시점 $j = m$ 에서의 생존경로 $c(s_m)$ 의 평가량 $\phi(s_m)$ 과 $j = m + 1$ 에서의 최대 지로 평가량을 합한 $\phi(s_{m+1})$ 를 구한 다음 생존경로 $c(s_{m+1})$ 과 그의 최대 평가량 $\phi(s_{m+1})$ 을 축적하고 그 외의 모든 경로는 제거한다.

단계 3. $j < m + L$ 이면 단계 2를 반복해야 하며 $j = m + L$ 이면 정지한다.

Ⅲ. 디코더 설계 및 로직 시뮬레이션

1. 기존의 디코더 시스템

지금까지 개발, 상용화되어 있는 Viterbi 디코더는 QUALCOMM사와 STANFORD TELCOM에서 만들어지고 있고, 이후 이에 관련된 Viterbi 디코더의 원칙 설계 기법들은 QUALCOMM사의 기법에서 레지스터의 수들을 줄이는 것에 관점을 두고 최근 많은 연구보고되고 있다^{[3][4][7]}.

(1) QUALCOMM Q0256의 디코더

QUALCOMM사의 Viterbi 복호는 세가지 프로세싱 절차로 구성되어 있다. 첫번째 단계는 통신 채널로부터 각 "m"그룹의 코드워드 입력에 대한 "가지기리"로 알려진 상관치수의 집합을 발생 시킨다(여기서 "m"은 1/2코드에 대해서는 2, 1/3코드에 대해서는 3이 된다).

이가지 거리의 값은 수신된 코드워드에서 가능한 코드워드의 조합 2^m 의 값을 갖는다. Viterbi 디코더는 최우복호기법을 사용하는 디코더에서 7비트 메모리 상태를 결정한다. 부호기의 메모리 값이 한번 정해지면 원래 정보를 추정할 수 있다. 부호기의 메모리는 단순히 정보를 메모리속에 저장한다. Viterbi 알고리즘의 두번째 단계는 2^{K-1} 의 가능한 부호기 메모리 상태에 대한 발생 확률에 대한 크기를 상대거리 2^{K-1} 의 집합을 발생시킨다(여기서 K 는 구속장: Q0256는 $K = 7$). 상태거리를 계산함으로써 2진 결정은 2^{K-1} 개의 상태에 대해서 형성된다. 알고리즘의 3번째 단계에서는 복호되는 출력 데이터를 결정한다. 현재 상태에서부터 과거의 경로까지는 단계 2에서 저장된 2진 판단을 변환함으로써 역추적(trace back)한다. 체인백(chain-back)의 길이가 크면 글수록 복호된 결과의 에러가 감소한다. 부호율과 구속장의 길이가 길수록 최적 성능에 대한 체인 백의 길이가 길어진다. Viterbi 디코더에서 체인백의 메모리는 과거의 부호기의 상태에서 미래의 상태를 추적하고 이로 인하여 원래의 데이터를 복원한다.

(2) QUALCOMM과 STANFORD TELECOM의

특성비교^{[3][4][7]}

QUALCOMM사의 Viterbi 디코더들과 STANFORD TELECOM STEL-2060의 디코더는 기본적으로 QUALCOMM의 복호알고리즘과 같다. 단지 기술적인 면

에서 QUALCOMM의 디코더는 부호율 1/2와 1/3을 선택형으로 하였고, 반면에 STEL-2060은 부호율 1/2 방식만 택하였다. 또한 변복조 선택모드에서 QUALCOMM은 BPSK, QPSK, OQPSK등이 지원되며, STEL-2060은 BPSK와 QPSK만 지원된다. 이 두가지의 차이점으로 인하여 STEL-2060은 저가형의 Viterbi 디코더 설계를 하였다.

양사의 공통적인 사양을 보면, 부호기와 디코더가 일체형이며, 저전력 CMOS형이고, 천공부호율 3/4과 7/8을 선택할 수 있다. 그리고, 부호 고속장이 $K=7$ (메모리 6)이며, 3bit 연판정 복호를 하고, BER (bit error rate) 감시 기능을 갖는다.

또한 V.35 scrambler/descrambler를 갖고, INMARSAT/-B, -C, -M, INTELSAT IESS-309와 호환성을 갖는다. BER 10^{-5} 에서 부호이득은 $R=1/2$ 일때 dB, $R=1/3$ 일때 5.5 dB이다.

2. 부호기(Encoder)

본 논문에서 사용된 부호기는 유클리디안 거리가 10인(2, 1, 6) 생성코드가 171,133과 147,135중에서 QUALCOMM사의 Q0256과 같은 방식의 171,133을 채택하였다. 이는 유클리디안 거리가 클 뿐만아니라, 부호의 구속장이 크므로 부호의 에러정정능력이 커질 수 있다.

부호기는 그림 1와 같이 6단의 지연소자와 mod 2 합을 위한 EX-OR 소자로 구성되고, 부호율은 1/2이며 부호구속장 $K=7$ 이다. 부호기의 생성 함수는 $g(1) = 1111001(171)$, $g(2) = 1011011(133)$ 이고, 출력 함수는 $C(1)$, $C(2)$ 이다. 부호의 길이가 L 인 부호장 (n_A)은 식 (1)과 나타낸다.

$$K = n_A = (L + m). \quad (1)$$

(2, 1, 6) 부호기의 회로는 그림 1과 같고, 그림에서 입력 1비트 마다 2비트의 출력이 나오고, 출력 $G1$

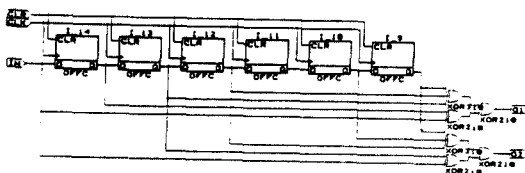


그림 1. (2, 1, 6) 길쌈부호기
Fig 1. (2, 1, 6) Convolutional encoder

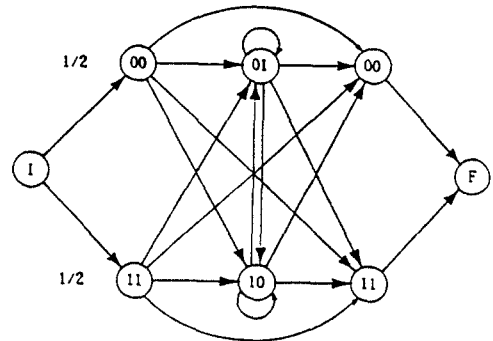


그림 2. 상태 천이도
Fig 2. State Transition Diagram

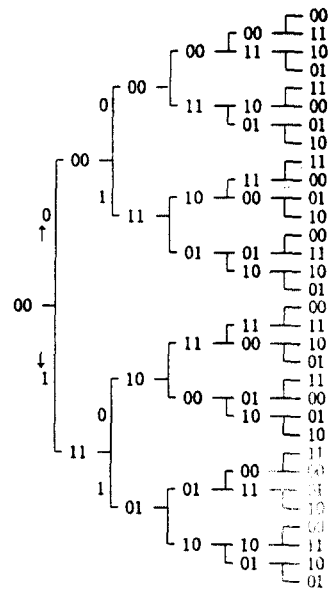


그림 3. 부호기의 트리 분기도
Fig 3. Tree diagram of encoder

은 동상 신호, 출력 $G2$ 는 직교상 신호로 송신된다. 그림 2의 상태천이도는 부호기의 출력 변화에 따른 상태천이도이다. 출력 트리 분기도는 그림 3과 같다.

3. 상태전이 이중검색방식의 Viterbi 디코더

본 논문에서는 상태전이 이중검색방식을 이용한 Viterbi 디코더를 설계하였다.

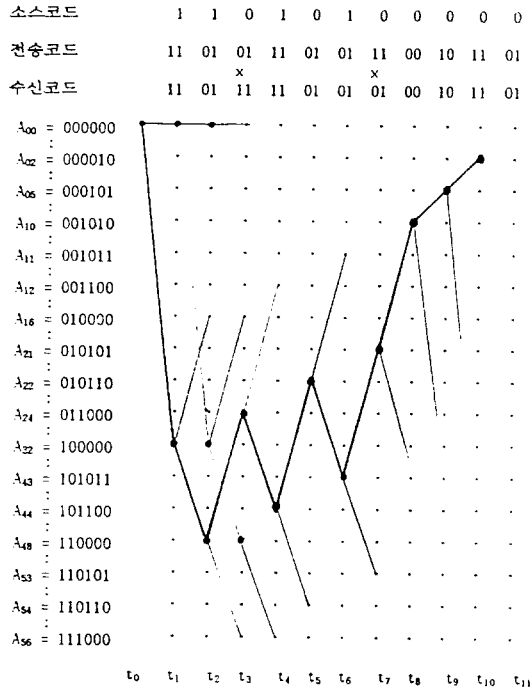


그림 4. 디코더의 트랜시스도
Fig. 4. Trellis diagram of decoder

여기서의 이중검색이라는 것은 먼저 부호기의 상태천이변화를 예측하여 수신신호의 에러 판정을 하여 그지रो에 대한 에러검출 수를 가지고 있고, 두번째, 수신된 신호의 해밍 거리를 계산하여 가지고 있도록 한다. 이러한 두가지의 값이 가장 적은 지로를 생존경로로 판정하도록 한것이다.

먼저 부호기의 지연 메모리에 의한 입출력 변화는 규칙적인 상태천이를 이루고 있다. 이러한 신호의 변화는 수신 부호열도 같다. 수신부호열 동상(inphase)과 직교상(quadarature-phase)이 디코더에 입력된다. 또한 부호기의 지연 메모리의 상태가 다음 출력을 결정하므로, 이 메모리의 상태천이를 테이블로 만들고, 디코더 입력신호 I, Q와 함께 디코더 입력으로 놓아 다음 출력 부호기 메모리 상태를 예측하도록 하면서, 동시에 수신 입력 I, Q 신호의 에러를 검사하도록 하였다. 이 조건을 만족하는 상태천이를 논리소자로 구현하였다. 예측 출력된 부호기의 메모리 상태의 값은 Hamming 거리를 판정하는 것과 다음 입력신호로 사용된다. 입력신호의 감시에서 에러 검사비트를

같이 계산하여 최적의 경로를 판정하도록 하였다.

수신부호열 동상(inphase)과 직교상(quadrature-phase)이 디코더에 입력된다. 또한 부호기의 지연 메모리의 상태가 다음 출력을 결정하므로, 이 메모리의 상태천이를 테이블로 만들고, 디코더 입력신호 I, Q와 함께 디코더 입력으로 놓아 다음 출력 부호기 메모리 상태를 예측하도록 하면서, 동시에 수신 입력 I, Q 신호의 에러를 검사하도록 하였다. 이 조건을 만족하는 상태천이를 논리소자로 구현하였다. 예측 출력된 부호기의 메모리 상태의 값은 Hamming 거리를 판정하는 것과 다음 입력신호로 사용된다. 입력신호의 감시에서 에러 검사비트를 같이 계산하여 최적의 경로를 판정하도록 하였다.

디코더의 설계는 2비트 에러정정 복원할 수 있는 회로를 목적으로 하였으므로, 지로분기는 부호 구속장보다 작게 설계하되 정정하고자 하는 비트수의 2배보다 큰 범위에서 택하여 6단으로 설계하였다. 이로 인하여 지로의 총 가지수는 2^6 인 32개가 된다. 최종 1단과 결정회로는 출력을 결정한다.

그림 4는 수신기에 입력되는 신호열과 정상태 신호와의 관계를 나타내는 트랜시스도이다. 여기서 $A_n(n=0.63)$ 는 부호기의 레지스터 상태를 의미하고, x는 수신 코드열에 에러가 있음을 나타낸다.

(1)디코더의 구조

1) 베이직 셀

디코더를 설계하기 위하여 먼저 그림 2와 같은 부호기의 상태 천이도를 데이터 테이블로 만들고, 다시 디코더에 알맞는 데이터 테이블로 변환시켜 이를 한 그룹의 게이트로만 구성된 회로를 그림 5와 같은 베이직 셀이라는 회로와 별도의 이산비트 카운터를 만들었다. 이 회로내에서는 상태 천이에 따라 입력신호를 감시하고, 이는 상태천이에 적합한 입력신호인가 판정하며, 부호기의 두가지 예측 상태값을 발생하여 Hamming 거리를 계산하도록 설계하였다.

2) 이산비트 카운터

그림 6은 이산비트 카운터의 블록도이며, 그림 7은 출력 파형도를 보이고 있다. 이 카운터 회로의 목적은 베이직 셀의 에러체크 비트들을 카운트하고, Hamming 거리를 계산하기 위함이다. 입력 핀의 어느 곳에서든지 '1'이 발생하는 수를 계산하도록 하였다.

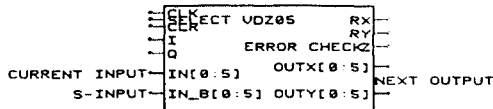


그림 5. 베이직 셀
Fig 5. Basic Cell

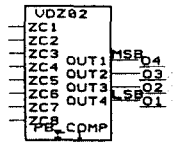


그림 6. 이산 비트 카운터
Fig 6. Discrete bit counter

(2) 시스템 설계

시스템의 블록도는 그림 8과 같다. 블록도에서 작은 네모는 베이직 셀을 의미하고 'D'는 신호의 지연을 나타내며, 카운터와 결정회로는 베이직셀과 연결되어 있다. 전체 구성은 트렐리스 지로수 만큼의 베이직 셀이 연결되고, 출력은 마지막 하나로 되어있는 베이직 셀에서 출력이 나오게 된다. 트리도는 6단으로 구성되 있으며, 베이직 셀의 수도 $2^{(6-1)} - 1$ 개가 사용된다. 각 단의 진행은 플립플롭에 의해 셀 수와 무관하게 한클럭에 동작하도록 하여 데이터의 전송 속도에 맞추어 실시간 처리하도록 하였다. 복호과정은 그림 8과 같이 먼저 입력신호가 들어오면 먼저 제 6단 셀에 입력된다. 이때의 어떠한 신호가 입력되어도 입력신호는 6단의 모든셀에 동시 입력 된다. 다음 입력신호가 들어오면, 전의 입력신호는 한 클럭 지연

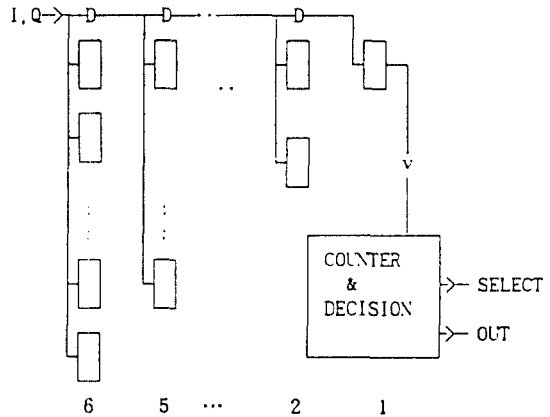


그림 8. 상태천이 이중검색 방식의 디코더
Fig 8. Decoder state transition double detection

되었다가 제5단으로 입력되고, 현재의 입력신호는 6단으로 입력된다.

그림 8과 같이 이와같은 과정으로 위로 올라가는 과정으로 진행하며, 각 베이직 셀에서 계산된 값들은 결정회로에서 최종출력이 '0'인지 '1'인지 선택하게 된다. 결정회로는 트리구조를 갖는 각 베이직 셀이 발생된 값들을 갖고, 제6단의 32지로중 상위 16지로는 제1단의 '0'가지 지로에 연결된 것이고, 하위 16단은 제 1단의 '1'가지 지로에 연결된 것이므로 만일 결정회로에서 '1'이라는 판정이 나오면, 제1단의 '1'에 연결된 베이직 셀의 데이터들이 한단씩 위로 올라가 입력되면서 출력은 '1'로 보내게 된다. 출력이 '1'로 선택되면 입력신호는 모두 출력단 '1'에 해당되는 지로의 모든 셀들은 '0'지로로 옮겨지게 되고 다음 입력신호를 받는다. 평가량 계산은 데이터 클럭 속도에 따라 동작하며 매 클럭 마다 계산하도록 하였다.

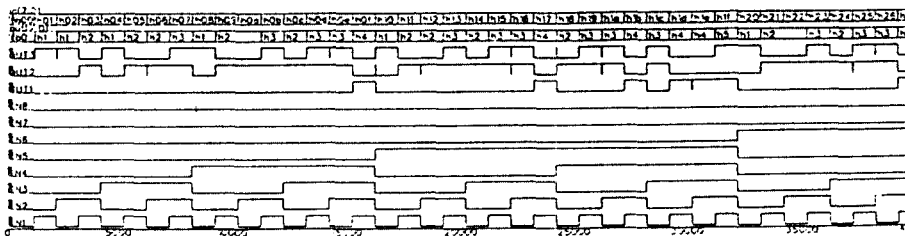


그림 7. 이산 비트 카운터의 출력
Fig 7. Output of discrete bit counter

4. 로직 시뮬레이션

로직 시뮬레이션은 FPGA TOOL인 Quick-Logic의 pASIC의 부분별 동작 검증을 하였고 ASIC TOOL인 COMPASS로 하였다. 그림에서 데이터 전송속도는 50 Mbps 이다.

그림 9는 2비트 에러정정도를 비교하기 위하여 에러가 없는 신호열의 복호도이며, 그림 10은 신호 I의 2만 에러신호에 대한 에러정정 복원한 결과를 나타내고 있다. 그림 11은 연집에러 I의 4번, Q의 4번에 에러가 있는 경우에서의 복원도를 나타낸 것이며, 그림 12은 I의 1번과 Q의 6번에서 에러가 있는 경우의 신호복원도를 나타내고 있다.

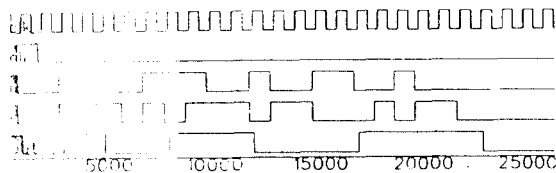


그림 9. 신호 복원도(에러가 없을 경우)
Fig 9. Decoding of source(no error)

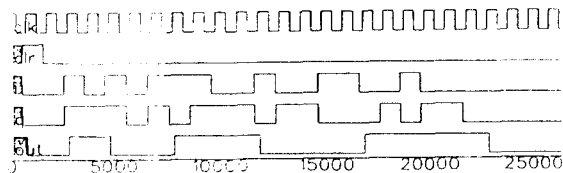


그림 10. 신호 복원도(1 비트 에러 : I-4)
Fig 10. Decoding of 1 bit error(I-4)

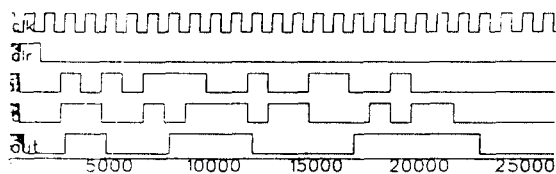


그림 11. 2비트 에러 신호 복원도(I-4, Q-4)
Fig 11. Decoding of 2 bit error(I-4, Q-4)

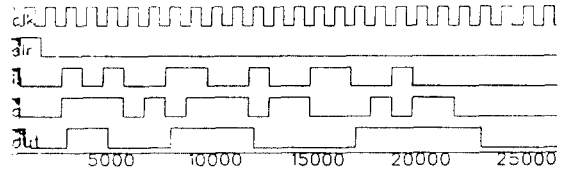


그림 12. 2비트 에러 신호 복원도(I-4, I-6)
Fig 12. Decoding of 2 bit error(I-4, I-6)

5. 동작 특성 검토

본 논문에서는 상태전이 이중검색 방식의 Viterbi 디코더를 설계하기 위하여 FPGA TOOL인 Quick-Logic으로 각 부분별 로직 시뮬레이션을 하였다. 부호기의 상태전이는 길쌈부호기의 현재의 메모리 상태와 입력에 의한 부호기의 다음 상태와 예측 출력부호들을 알 수 있으므로, 이 예측 상태값들과 다음 수신 부호열의 1비트 에러 감지와 Hamming 거리를 계산하도록 하였다. 기존의 방식은 수신부호마다 Hamming 거리를 레지스터에 저장하여 최종 출력값을 경로메트릭 결정회로를 통하여 출력을 결정한다. 그러나, 본논문의 제안된 방식은 각 지로마다마다 셀들이 계산한 Hamming 거리와 지로마다의 1 비트 에러값들의 합을 수신 데이터 클럭에 맞추어 최종 출력을 결정하도록 하였으므로, Hamming 거리를 저장하기 위한 메모리가 필요하지 않다. 또한 단순히 Hamming 거리만 가지고 경로를 추적해 나가는 방식이 아닌, 1비트 에러 감시값들로 지로 평가를 보상하도록 하였다.

간단하게 1비트 에러정정회로를 구성하여 확인후 2비트 에러정정회로의 구성작업을 하였다. 이 작업에서 여러번 반복한 결과 정확한 1비트 에러정정을 하였다. 논리 시뮬레이션할 때, 데이터 전송속도는 1 Mbps와 50 Mbps로 하였다. 그 결과 두 가지의 결과가 같았다.

그러나 제안된 방법으로 2비트 이상의 에러정정 회로를 Quick-Logic, XILINX, ALTERA의 FPGA TOOL로는 시뮬레이션이나 원칩으로 구현할 수가 없다. 위의 TOOL들로는 15000 게이트 이하에서만 사용 가능하다. 제안된 방식의 Viterbi 디코더 회로에서 2비트 에러정정회로의 게이트 수는 약 22000 게이트 정도이며, 3비트 에러정정 회로는 7만 게이트 이상되므로, 시뮬레이션 및 실장 회로의 구현할 때는 ASIC으로 구현할 수 있다.

본 연구에서는 ASIC TOOL인 COMPASS에서 시뮬레이션하였다.

IV. 결 론

본 논문에서는 부호 구속장 $K=7$ 인 (2, 1) 길썬 부호기에 대한 2비트 에러 정정할 수 있는 상태전이 이중검색방식의 Viterbi 디코더를 설계하였다.

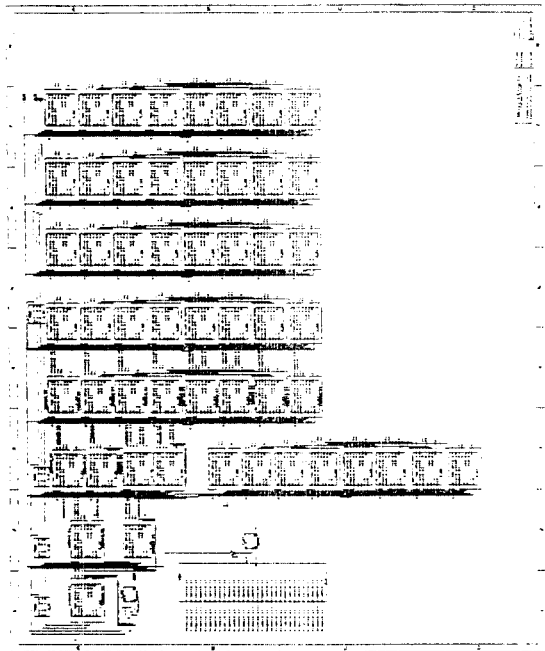
제한된 이중검색방식에 의한 Viterbi 디코더는 시뮬레이션 결과, 1비트와 2비트 에러정정 복호기능은 완벽하였다. 이 회로가 3중 에러정정 복호기능을 갖도록 하려면, 부호 구속장 길이 만큼의 스텝을 증가시키면 된다. 또한 QUALCOMM사의 Q0256은 부호기 테이블을 레지스터 메모리 블록으로 처리하는 것이며, 제안된 방식은 로직 게이트로 처리하도록 하였으므로 많은 메모리가 필요하지 않다. QUALCOMM과 STANFORD사의 제품들은 INMARSAT과 INTELSAT을 포함한 많은 상용위성통신망에 사용하기에 적절하게 설계되어 있고, 중속용은 디지털모뎀과 디지털 셀룰라폰에도 응용 가능하다. 본 논문에서 제안된 방식의 Viterbi 디코더는 쉽게 구현할 수 있고, 최대 데이터전송 속도가 50 Mbps 이므로 위의 양사에서 만든 제품들의 최대 데이터 전송속도를 수용할 수 있도록 하였다. 설계된 Viterbi 디코더는 낮은 클럭에서 저속용으로도 사용가능하기 때문에 이동통신용으로도 충분히 사용가능하다. 차후 설계될 논리 게이트수와 회로가 최적화된 송수신 기능이 함께 내장된 chip을 이동통신용으로 응용하고한다.

최근 위성통신용 통신소자로 QUALCOMM사의 Trellis 디코더와 Viterbi 부호기/복호기, STANFORD TELECOM의 STEL-2060 Viterbi 디코더들이 하나의 칩내에 송신단과 수신단 회로를 구성하여 상품화되어 있다. 앞으로 논리회로를 최적화시켜 전체적인 게이트수를 줄이고, 3 비트 에러정정 할 수 있는 송수신 디지털 회로를 하나의 회로로 설계하는 것과 이동통신용으로서 필요한 여러가지 기능을 충분히 만족할 수 있도록 하는 것이 다음 과제일 것이다.

참 고 문 헌

1. Andrew J. Viterbi, "Convolution Codes and Performance in Communication Systems," *IEEE Trans. on COMM.* VOL. COM-19, NO.5, pp. 751-772, Oct. 1971.
2. G.David Forney, "The Viterbi Algorithm," *Proc. of the IEEE*, Vol. 61, NO. 3, March, 1973.
3. Q0256 $k=7$ Multi-Code Rate Viterbi Decoder Technical Data Sheet, Qualcomm VLSI Products Division, 1993.
4. *Introducing the STEL-2060 Viterbi Decoder*, Stanford Telecom, 1993.
5. 강창연, 디지털 통신 시스템, 청문각, 1992.
6. Ezio Biglieri...et al., *Introduction Trellis-Coded Modulation with Applications*, Macmillan Publishing Company, New York, 1991.
7. Q1601k=7 Viterbi Decoder Technical Data Sheet, Qualcomm VLSI Products Division, 1993.
8. 김용로 외 3인, "Viterbi 디코더 설계 및 성능분석," *한국통신학회 하계종합학술 발표회 논문집*, PP.125-129, 1993. 7.

• Viterb : 디코더 회로





金容鵬(Yong Ro Kim)

1966년 11월 6일생

1991년 2월 : 충북대학교 전자공학과(공학사)

1994년 2월 : 충북대학교 전자공학과(공학석사)

1994년 2월 ~ 현재 : 충북대학교 전보산업연구소 연구원

※ 주관심분야는 이동통신, 부호이론, 시스템설계 및 응용분야등



李相坤(Sang Gon Lee) 정회원

1967년 10월 23일생

1992년 2월 : 충북대학교 전자공학과(공학사)

1993년 2월 ~ 현재 : 충북대학교 전자공학과 석사과정

※ 주관심분야 : 데이터 통신 및 이동통신, 부호이론, 통신소자, 신호처리, 시스템설계 및 이용분야임



鄭垠澤(Eun Taeg Jeong)

1967년 12월 23일생

1992년 2월 : 대전공업대학 전자공학과(공학사)

1993년 2월 ~ 현재 : 충북대학교 전자공학과 석사과정

※ 주관심분야 : 데이터 통신 및 이동통신, 부호이론, 무선통신, 신호처리, 시스템설계 및 이용분야임.

柳興均(Heung Gyoon Ryu)

正會員

1959년 7월 10日生

1982년 2월 : 서울대학교 電子工學科(B.S)

1984년 2월 : 서울대학교 大學院 電子工學科(M.S)

1989년 2월 : 서울대학교 大學院 電子工學科(Ph.D)

1983년 1월 ~ 1983년 10월 : 韓國電子通信研究所 委囑研究員

1988년 2월 ~ 現在 : 忠北大學校 工科大学 電子工學科 助教授

※ 主關心分野 : 通信工學, 光通信, 信號處理 等