DBpia

論文 94-19-8-5

GPS 수신 시스템에서 디지탈 지연동기 루프 회로 설계 및 분석

正會員 금 홍 식* 正會員 정 은 택* 正會員 이 상 곤*
正會員 권 태 환** 正會員 유 흥 균*

The Circuit Design and Analysis of the Digital Delay-Lock Loop in GPS Receiver System

Hong-Sik Keum*, Eun-Taek Jeong*, Sang-Gon Lee*,
Tae-Whan Kwoen**, Heungyoon Ryu* *Regular Members*

要 約

GPS(Global Positional System)는 인공위성을 이용하여 언제, 어디서나 자신의 위치를 정확히 측정할 수 있는 항법 시스템이다.

본 논문에서는 이 GPS 신호에서 항법 데이타를 복원하는 수신기의 지연동기 루프를 이론적으로 해석하고, 디지탈 로직으로 설계하였다. 또한 동기과정의 논리동작을 분석하였다.

설계한 시스템은 수신된 C/A(coarse/acquisition) 코드와 수신기에서 발생된 C/A 코드와의 상관값을 구하는 상관기, 선택된 위성의 C/A 코드를 발생시키는 C/A 코드 발생기, 그리고 C/A 코드의 위상과 클럭속도를 조절할 수 있도록 C/A 코드 발생기의 클럭을 만드는 직접 디지탈 합력 발생기로 구성된다.

제안한 디지탈 지연동기루프 시스템을 해석한 결과, 시스템 입력 신호전력이 -113.98dB 이상이면 시스템이 90%이상의 검파 능력을 갖음을 확인하였다. 디지탈동기루프이 입력신호 즉, A/D 컨버터 전단의 입력신호 크기에 따라 디지탈 동기 루프의 성능 그래프와 분석전압의 크기에 따른 성능분석의 그래프를 시뮬레이션을 통하여 분석하였다. 그리고 설계된 디지탈 지연동기루프를 로직 시뮬레이션한 결과, GPS 항법 데이타를 정확히 복원함을 확인하였다.

ABSTRACT

GPS(Global Positioning System)is a satellite-based navigation system that we can survey where we are, anywhere and anytime.

In this paper, delay-lock loop of the receiver which detects the navigation data is theoretically analyzed, and designed using the digital logic circuit. Also, logic operations for the synchronization are analyzed.

The designed system consists of the correlator which correlates the received C/A code and the

*忠北大學校 電子工學科
Dept. of Electronic Eng. Chungbuk Nat'l Univ.
**空軍士官學校 교수부 電子工學科
Dept. of Electronic Eng., Korea Air Force Academy
論文番號 : 93233
接受日字 : 1993年 12月 8日

www.dbpia.co.kr

generated C/A code in the receiver, the C/A code generator which generates C/A code of selected satellite, and the direct digital clock syntheizer which generates the clock of the C/A code generator to control the C/A code phase and clock rate.

From the analyses results of the proposed digital delay-lock loop system, the system has the detection propertied over 90% when its input signal power is above -113.98dB.

The influence of input signal variation of digital delay loop, which is the input of A/D converter, is investigated and the performance is analyzed with the variztion of threshold level via the computer simulation.

The logic simulation results show that the designed system detects precisely the GPS navigation data.

Ⅰ. 서 론

GPS(Global Positioning System)는 미국 국방성이 1970년대부터 개발을 추진하고 있는 인공위성을 이용한 위치 측정 시스템이다.[1].

GPS는 예비기 3개를 포함하여 총 24개의 위성으로 구성되며, 전 세계 어느 곳에서나 1일 24시간 3차원 위치 측정을 할 수 있는 측위 시스템이다. 위성의 송신 신호는 C/A(coarse/acquisition)코드와 P(precision) 코드로 확산된 데이타가 포함되어있는 표준 측위신호와, 그리고 P코드만으로 확산된 데이타가 포함되어있는 고확도 측위 신호이다.

지금까지 널리 사용되고 있는 항법 측위 시스템은 오차가 누적되었을 경우 200m 이상의 큰 위치오차가 발생하며 이용자가 시간적, 지역적인 이용 제한을 받는다는 결점이 있다. 이러한 결점을 보안하기 위해 여러 개의 위성을 사용하는 GPS 시스템이 개발되었다.

이전의 연구들은 고성능 저가격의 수신기 하드웨어를 설계하기 위한 기초적인 연구와 수신기 하드웨어를 관점으로한 성능분석에 관한 것이었다.[2].

그러면, 국내에서는 장래에 GPS의 응용에 대한 관심에 고조되어, GPS 수신기 응용에 관한 몇몇 연구에 수행되었을 뿐, 수신기 하드웨어 설계에 관한 연구는 미흡한 실정이다.

본 논문에선 GPS 신호로부터 항법 데이타를 복원하는 수신 시스템에서 C/A 코드의 동기를 일치시킴과 동시에 수신 신호를 역확산시키는 핵심 부분인 비동기식 지연동기 루프를 이론적으로 해석하고, 입력 신호의 크기와 문턱값의 크기에 따라 성능이 변화는 것을 시뮬레이션하고 디지탈 로직으로 설계하였다. 그리고, 로직 시뮬레이션을 통하여 설계된 시스템의 동작을 분석하였다.

Ⅱ. GPS 지연동기 루프

시스템 내에서 발생시킨 C/A 코드 시퀀스를 수신된 특정 위성신호의 시퀀스에 동기를 일치시키는 기능을 수행하는 것이 지연동기 루프(delay-lock loop)이며, 이 루프의 성능이 수신기의 성능을 좌우한다.

비동기식 지연동기 루프의 구성도는 그림 1과 같다[3].

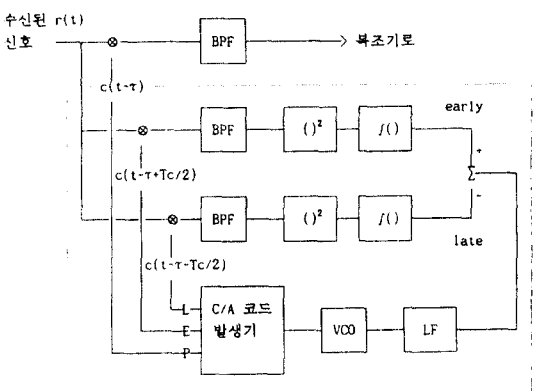


그림 1. 비동기식 지연동기 루프의 구성도
Fig. 1. Block-diagram of noncoherent delay-lock loop

위성에서 송신되는 표준 측위 신호는 식 (1)과 같다[4].

$$S_L(t) = \sqrt{2A}P_i(t)D_i(t)\cos wt + 2\sqrt{2A}G_i(t)D_i(t)\sin wt \quad (1)$$

www.dbpia.co.kr

여기서, A는 신호의 전력이고,

P(t)는 '±'인 10.23Mcps의 P 코드이고,
G(t)는 '±'인 1.023Mcps의 C/A 코드이고,
D(t)는 '±'인 50bps의 데이타 열이고,
ω는 L1대역의 반송파 주파수(=1575.42MHz)이며,
i는 각 위성의 번호이다.

중간주파수 대역통과 여파기의 출력 신호 r(t)는 식 (1)의 C/A 신호에 잡음이 부가된 식 (2)와 같다.

$$r(t)=\sqrt{2A}G(t)D(t)\sin\omega t + n(t) \tag{2}$$

여기서, n(t)중간주파수 대역통과 여파기를 통과한 백색 가우시안잡음이다.

그림 1에서 대역통과 여파기의 출력 r(t)는 C/A 확산코드 c(t-τ)의 진상·지상된 신호와 곱해진다. 여기서, τ는 국부발생된 C/A 코드의 칩 지연차로서, 정확히 동기가 이루어지면 0이 된다.
이렇게 곱해진 신호는 B_{pred}의 대역폭을 가진 선검파 대역 여파기로 입력된다. 대역 여파기의 출력은 대역폭 B_{pred}가 충분히 작다면, C/A 코드의 자기상관함수 값과 반송파의 곱으로 근사화할 수 있다.

그리고 나서, 여파기의 출력은 자승기에서 자승 검파되며, 자승기 출력은 상관적분기에서 T_D의 적분시간동안 적분된다. 적분기의 입력이 $1/B_{pred}$의 간격으로 샘플된다면, 적분기 출력은 샘플된 값의 합으로 나타낼 수 있으며, N_B가 적분기간동안의 샘플 갯수라면, 식 (3)과 같이 표현된다.

$$N_B=T_DB_{pred} \tag{3}$$

그림 1에서, 진상·지상 상관기의 출력 에너지를 각각 $\varepsilon_e(\tau)$와 $\varepsilon_l(\tau)$로 표시하면, $\varepsilon_e(\tau)$와 $\varepsilon_l(\tau)$는 $2N_B$의 자유도를 갖는 비중심 카이-자승 분포를 갖는다. 비중심는 식 (4)와 같다.[5].

$$s_e^2(\tau)=N_B(\sqrt{2A})^2R^2(\tau+T_c/2)$$
$$s_l^2(\tau)=N_B(\sqrt{2A})^2R^2(\tau-T_c/2) \tag{4}$$

선검파 대역 여파기의 출력에서의 잡음전력 σ_n^2은 식 (5)와 같다.

$$\sigma_n^2=N_0B_{pred} \tag{5}$$

여기서, N_0는 수신된 신호의 잡음 전력밀도로서 200dB이다.[1].

$\varepsilon_e(\tau)$와 $\varepsilon_l(\tau)$의 평균은 식(6)과 같으며, 분산은 식 (7)과 같다.

$$E[\varepsilon_e(\tau)]=2N_B\sigma_n^2+s_e^2(\tau)$$
$$E[\varepsilon_l(\tau)]=2N_B\sigma_n^2+s_l^2(\tau) \tag{6}$$

$$Var[\varepsilon_e(\tau)]=4N_B\sigma_n^2+4\sigma_n^2s_e^2(\tau)$$
$$Var[\varepsilon_l(\tau)]=4N_B\sigma_n^2+4\sigma_n^2s_l^2(\tau) \tag{7}$$

적분기간 동안의 샘플 갯수 N_B가 충분히 많다면, $\varepsilon_e(\tau)$와 $\varepsilon_l(\tau)$는 가우시안 랜덤 변수로 근사화 될 수 있다.

$\varepsilon(\tau)$를 진상 가지와 지상 가지의 누적 에너지 차라고 하면, 식 (8)과 같이 표현된다.

$$\varepsilon(\tau)=\varepsilon_e(\tau)-\varepsilon_l(\tau) \tag{8}$$

그래서, $\varepsilon(\tau)$의 평균과 분산은 식 (9),(10)과 같이 표현된다.

$$E[\varepsilon(\tau)]=E[\varepsilon_e(\tau)]-E[\varepsilon_l(\tau)]$$
$$=N_B2A[R^2(\tau+T_c/2)-R^2(\tau-T_c/2)] \tag{9}$$

$$Var[\varepsilon(\tau)]=Var[\varepsilon_e(\tau)]+Var[\varepsilon_l(\tau)]$$
$$=8N_B\sigma_n^2+4\sigma_n^2(s_e^2(\tau)+s_l^2(\tau)) \tag{10}$$

동기가 일치되었을때, 양 가지의 자기상관 함수값인 $R^2(\tau+T_c/2)$와 $R^2(\tau-T_c/2)$는 공히 2044/4092이므로, 식 (9), (10)은 다음과 같이 된다.

$$E[\varepsilon(\tau)]=0=\mu_0 \tag{11}$$

$$Var[\varepsilon(\tau)]=8N_B\sigma_n^2+4\sigma_n^2(2N_B(2A)\cdot 2044/4092)$$
$$=\sigma_0^2 \tag{12}$$

이지연동기 루프의 검파 확률 P_D는 식(13)과 같다[6].

$$P_D=\int_0^{\infty}\frac{1}{\sqrt{2\pi}\sigma_0}\exp\left(\frac{-(y-\mu_0)^2}{2\sigma_0^2}\right)dy \tag{13}$$

www.dbpia.co.kr

$$=Q\left(\frac{\delta}{\sigma_0}\right)$$

여기서, $Q(t)=\int_t^{\infty} 1oversqrt2\pi\exp\left(\frac{-y^2}{2}\right)$

$dy=\frac{1-erf(t/\sqrt{2})}{2}$이다. (14)

또한, 이 루프의 false-alarm 확률 P_{FA}는 식(15)와 같다.

$$P_{FA}=\int_{\delta}^{\infty}\frac{1}{\sqrt{2\pi}\sigma}\exp\left(\frac{-(y-\mu)^2}{2\sigma^2}\right)dy$$

$$=Q\left(\frac{\delta}{\sigma}\right) \quad (15)$$

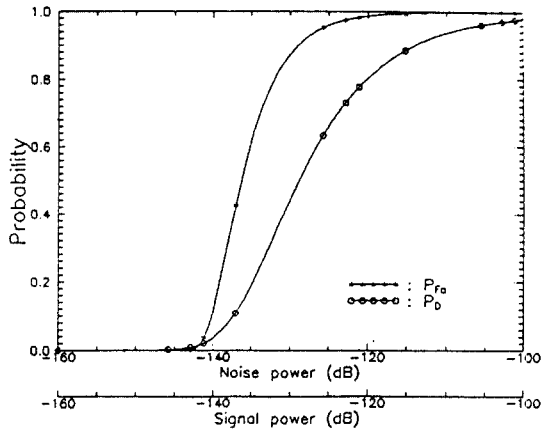
여기서, $\mu=\mu_{0|A=0}=\sqrt{8N_B}\sigma_n^4$이다.

P_{FA}가 10^{-4}일때의 임계치 δ 값($=1.44015\times10^{-15}$)을 이용하여 구한, 검파 확률과 false-alarm 확률은 그림 2와 같다.

이 결과를 통하여 90% 이상의 검파 확률을 얻기 위해서는 지연동기루프의 입력 신호전력이 -113.98dB 이상 요구됨을, 그리고 입력신호가 없고 입력잡음전력이 -128.86dB 이상이면 90% 이상 시스템이 오 동기(miss of synchronization)됨을 알 수 있다.

그리고 디지탈 지연동기루프로 입력되는 디지탈신호는 A/D 컨버터를 걸친후 디지탈로 변환된후 입력되는데 A/D 컨버터전단에서 입력신호는 1.57542 GHz의 GPS 신호를 IF신호로 다운컨버터 시킨후 AGC(automatic gain controll)과 AMP를 통해전송되는데 크기변화에 따라 성능이 변화하는데 예를 들어 입력신호의 크기가 작은 경우에는 A/D 컨버터에서는 입력신호를 제대로 디지탈로 컨버젼시키지 못하기 때문에 에러를 유발한다. 또 문턱값의 크기에 따라 성능이 변화하는데 문턱값을 크게 잡아주면 노이즈의 영향을 덜 받지만 성능이 떨어지는 결과를 초래한다.

그림3에서 입력신호는 데이타에 C/A코드가 곱해져서 전송되는 AGC와 AMP를 통하여 게인을 충분



림 2. 검파 확률과 false-alarm 확률
Fig. 2. Probabilities of detection and false-alarm

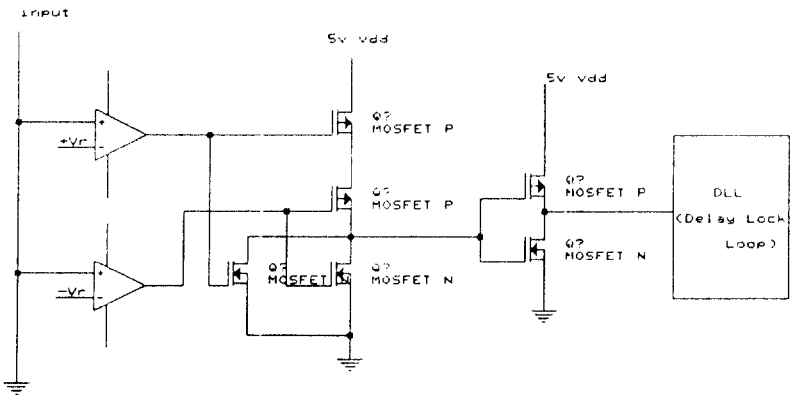


그림 3. 지연동기루프의 입력단 회로
Fig. 3. Input circuit of delay lock loop

www.dbpia.co.kr

히 보상해줘 신호의 mimium 값이 2.5V가 되게하고 문턱값을 2.2V로 주었을 경우에는 100%신호를 디지탈로 변환해주는 것을 시뮬레이션을 통하여 확인하였고 추가로 입력신호의 크기변화대 A/D 컨버젼 성능분석과 일정한 신호에 대해 문턱값을 변화 시켰을 때의 A/D 컨버젼의 성능을 분석하였다.

Ⅲ. 디지탈 지연동기 루프(digital delay-lock loop) 설계

GPS 수신기의 지연동기 루프를 디지탈로 구현하기 위하여, 이 루프의 전단인 다운 컨버터에서 수신신호를 1.023MHz의 중간 주파수로 다운시킨 후, 1.023MHz의 캐리어를 곱하고 적분기를 통해 BPSK 복조한 후, 신호 속도의 4배인 4.092MHz의 클럭으로 1비트 아날로그/디지탈 변환한 것으로 가정하였다.

그리고, 지연동기 루프와 복조기를 하나의 회로로 설계하여, 입력 신호와의 상관을 구하고 역확산을 시킴과 동시에 항법 데이타를 복조하게 하였다. 여기서, 4.092MHz의 클럭은 회로의 동작을 입증하기 위한 최소한의 회로를 설계하기 위하여 임의로 선택된 것이다.

본 시스템은 Quick Logic사의 FPGA칩 설계용 프로그램을 사용하여 회로를 설계하고 그 동작을 시뮬레이션하였다.

설계된 디지탈 지연동기 루프의 전체 회로도는 그림 4와 같다. 이 시스템은 두개의 16비트 상관기인 CORREL16, C/A 코드 발생기인 CAGEN, C/A 코드 발생기의 구동 클럭을 발생시키는 직접 디지탈 클럭 발생기인 DDS, 발생된 C/A 코드의 위상을 변조시키는 위상 시인기인 EPL4, 그리고 데이타 복조기로 구성되어 있다.

여기서, 직접 디지탈 클럭 발생기는 주파수 입력 데이타로 입력된 값에 해당되는 클럭을 발생시키며, 또한 현재 발생되고있는 클럭상태에서 위상변조 데이타로 입력된 값에 해당되는 만큼의 위상을 변화시

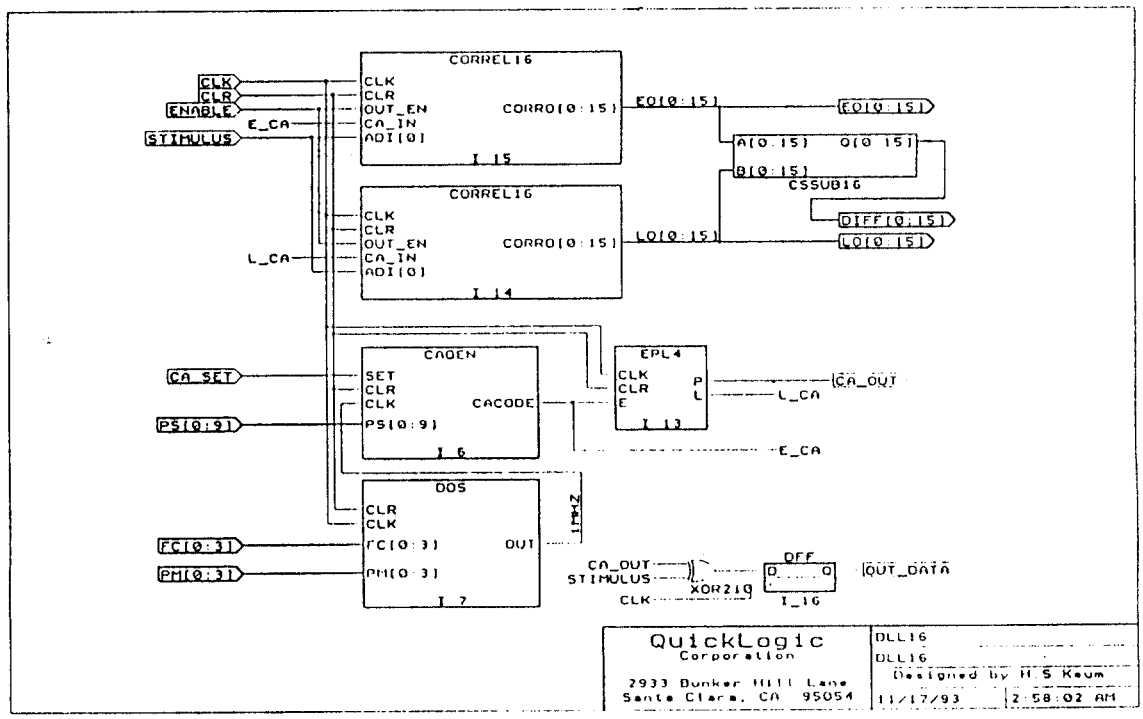


그림 4. 설계된 디지탈 지연 동기 루프
Fig. 4. Designed digital delay-lock loop circuit

www.dbpia.co.kr

키는 회로이다. 또한, C/A 코드 발생기는 2개의 10 비트 쉬프트 레지스터에 의한 최대길이 시퀀스 발생기를 합성한 것이며, 각 GPS 위성마다 할당된 각기 다른 C/A 코드를 선택하는 것은 프로세서로부터 보내진 각기 다른 두 위상을 선택함으로써 이루어진다.

전체 회로는 다운 컨버터 부에서 중간 주파수 신호를 표본화하는 속도인 4.092MHz의 클럭에 동기되어 동작된다.

시스템으로 입력된 신호('STIMULUS')는 C/A 코드 발생기에서 발생된 C/A 코드와 상관기에서 상관되어 C/A 코드의 1 chip 주기인 상관주기 동안 누산된다.

시스템에서 누산된 자기상관 곡선은 그림 5와 같다. 입력 신호가 정보 데이타 '1'이 변조된 신호라면, 시스템이 동기되었을때의 상관 첨두값은 4092이고,

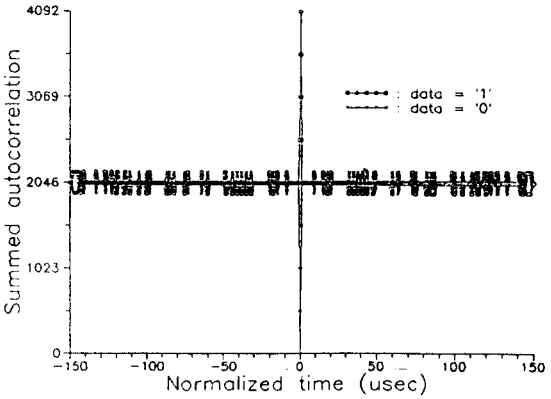


그림 5. 데이타에 따른 누산된 자기상관 곡선
Fig. 5. Accumulated autocorrelation curve for the data

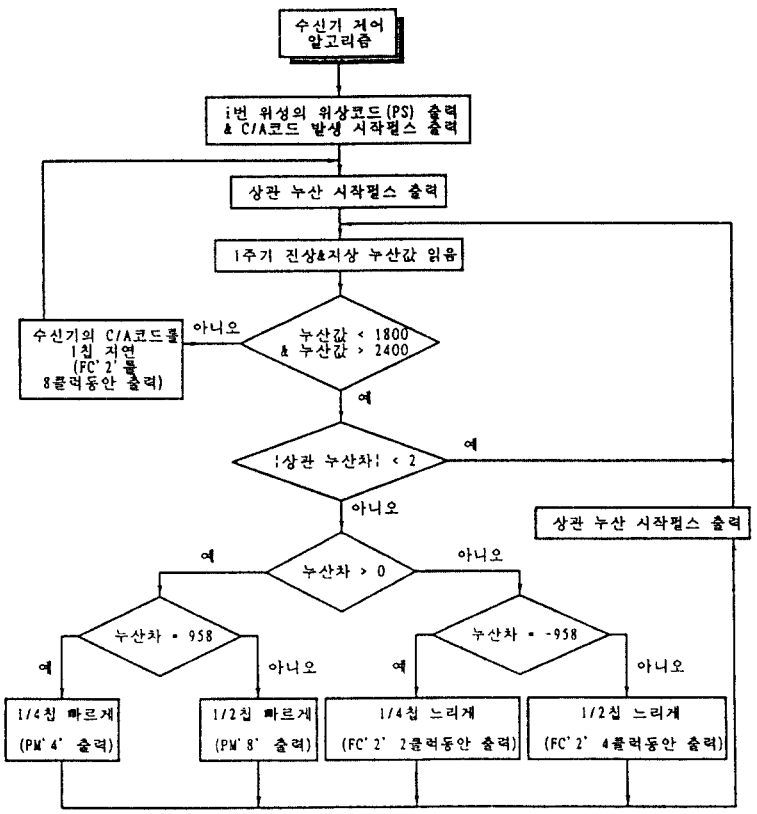


그림 6. 디지탈 지연 동기 루프 제어 알고리즘
Fig. 6. Digital delay lock loop control algorithm

www.dbpia.co.kr

마찬가지로 입력이 정보 데이타 '0'이 변조된 신호라면, 상관 첨두값은 0이다. 이 첨두값이 4개의 구간으로 나뉘는 것은 한 칩당 4개의 표본으로 표본화했기 때문이다.

설계된 시스템이 동작은 프로세서에 의하여 제어된다. 따라서, 프로세서에는 수신된 GPS 위성 신호에서 항법 데이타를 정확히 복조하기 위한 시스템 제어 알고리즘이 필요하게 된다. 이러한 디지탈 지연동기 루프를 제어하기 위한 알고리즘은 그림 6과 같다.

Ⅳ. 시뮬레이션 결과

Ⅳ-Ⅰ. A/D 컨버터 전단의 입력신호 크기변화와 문턱값에 따른 성능 평가 및 시뮬레이션 결과

A/D 컨버터 전단의 입력신호 크기변화와 문턱값에 따른 성능 평가 및 시뮬레이션 결과는 그림 7.~그림 9.로 나타난다.

그림 7은 입력신호의 크기가 변화시켰을 때의 시뮬레션 결과이다.

문턱값을 2.2V로 고정시켜 놓고 신호의 크기를 변화시켰을 때 결과는 변화율이 큰 경우는 에러를 발생하여 완전히 A/D 컨버젼을 하지 못하여 에러를 발생시켰다. 이상적인 신호를 5로 보았을 경우 90%의 크기를 변화시켰을 경우에는 61.4%만 컨버젼을 하여 나머지 58.6%는 에러로 처리되는 결과를 초래하지만 AGC와 AMP를 통하여 게인을 충분히 키워주어 이상적인 신호의 50%까지 변화율을 줄었을 경우에는 100%컨버젼을 시킴을 알 수 있다.

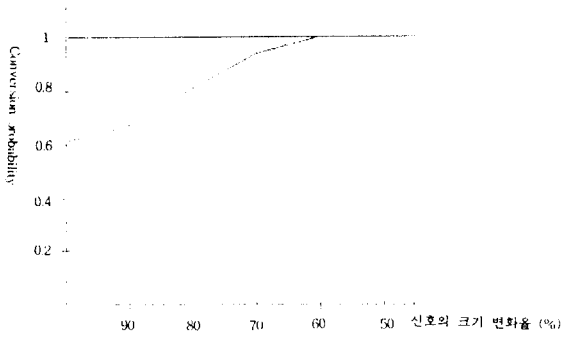


그림 7. 신호의 크기 변화율대 컨버젼 확률

Fig. 7. Signal magnitude variable rate vs conversion probability

그림 8은 이상적인 신호의 50%까지 변화율을 갖는 신호를 고정시키고 문턱값을 변화시켰을 경우의 그래프이다. 문턱값이 2.5V이상이 되는 지점부터 에러가 발생함을 알 수 있다.

그림 9는 문턱값을 신호의 크기변화율 동기에 변화시켰을 경우 컨버젼확률이 클수록 그리고 문턱값을 크게할수록 컨버젼확률이 작아짐을 알 수 있다. 즉 에러가 발생함을 보인다.

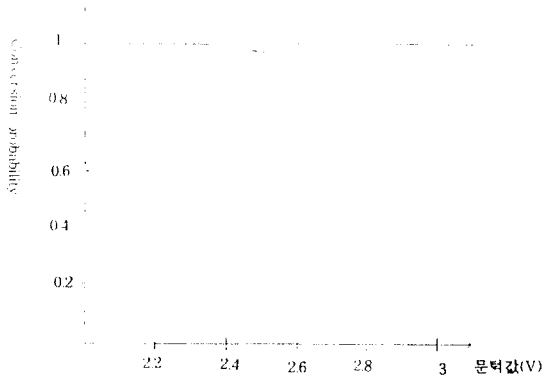


그림 8. 문턱값대 컨버젼 확률

Fig. 8. Threshold vs conversion probability

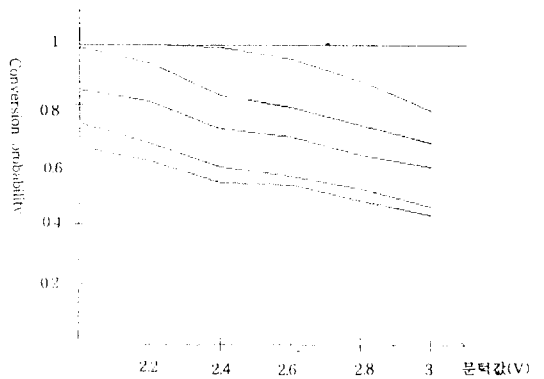


그림 9. 신호의 크기 변화율과 문턱값대 컨버젼 확률

Fig. 9. Signal magnitude variable rate and threshold vs conversion probability

Ⅳ-Ⅱ. 디지탈 지연동기 루프 시뮬레이션 결과

디지탈 지연동기 루프의 시뮬레이션 결과는 그림 10~그림 13과 같다.

www.dbpia.co.kr

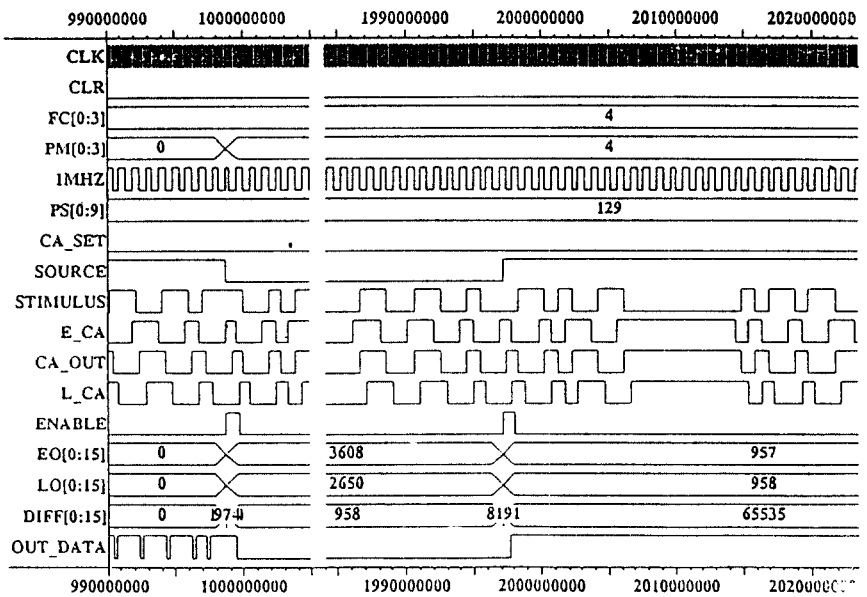


그림 10. DDLL 회로 시뮬레이션 결과(1/4칩 빠른 입력신호의 경우)
Fig. 10. Simulation result of DDLL circuit(the case of 1/4 chip early stimulus)

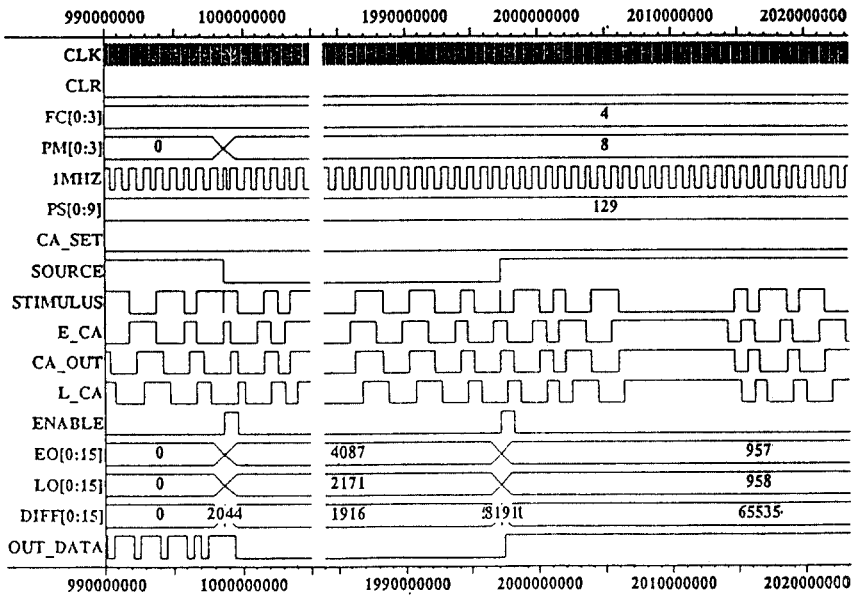


그림 11. DDLL 회로 시뮬레이션 결과(1/2칩 빠른 입력신호의 경우)
Fig. 11. Simulation result of DDLL circuit(the case of 1/2 chip early stimulus)

www.dbpia.co.kr

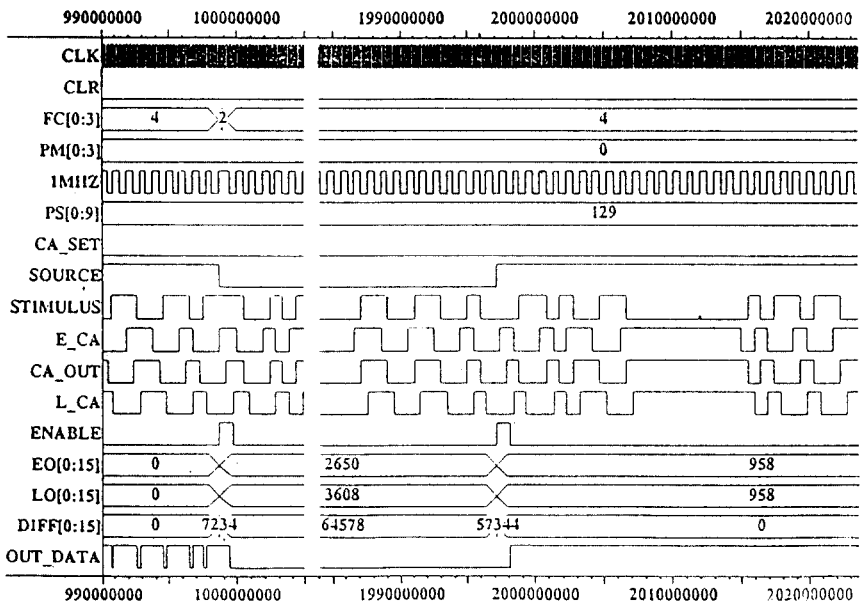


그림 12. DDLL 회로 시뮬레이션 결과(1/4칩 늦은 입력신호의 경우)

Fig. 12. Simulation result of DDLL circuit(the case of 1/4 chip late stimulus)

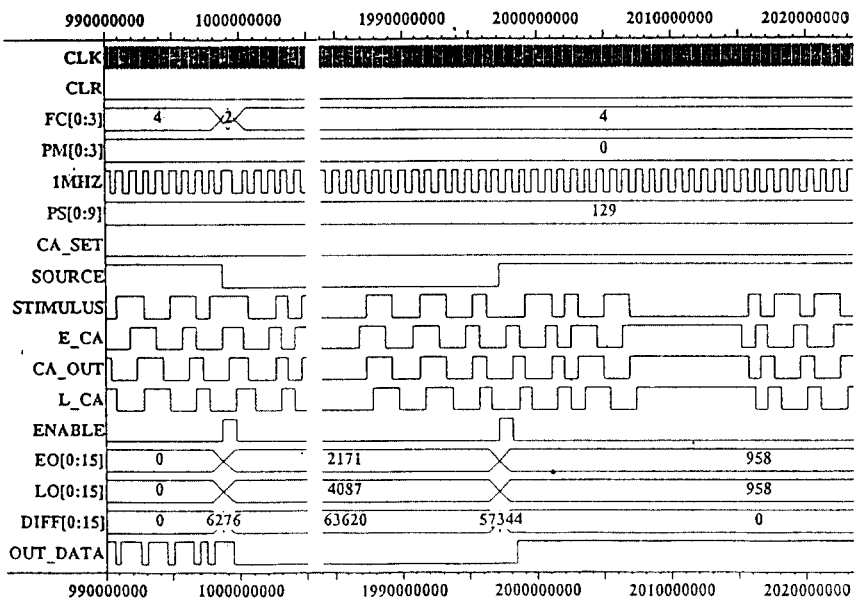


그림 13. DDLL 회로 시뮬레이션 결과(1/2칩 늦은 입력신호의 경우)

Fig. 11. Simulation result of DDLL circuit(the case of 1/2 chip late stimulus)

www.dbpia.co.kr

그림 10은 아날로그/디지탈 변환된 입력신호가 1/4칩 빠른경우의 결과이다. 첫 상관주기 동안의 진상 상관기의 누산값은 3608이고, 지상 상관기의 누산값은 2650으로, 진상 상관값이 두번째 상관 첨두값인 580에 근사한 값이다. 이 값이 일치하지 않는 이유는 상관값이 출력허가 신호('ENABLE')의 펄스폭을 과도상태의 영향을 배제하기 위하여 4클럭으로 길게 했기 때문이다.

오차를 보정하기 위하여, 즉 수신기에서 발생되는 C/A코드의 위상을 1/4칩 빠르게 하기 위하여, 상관 누산차인 958에 해당하는 위상 변조값 '4'를 직접 디지탈 코드 발생기의 위상 변조값으로 궤환한다.

두번째 상관주기에서, 입력 신호와 동기 C/A 코드('CA_OUT')를 살펴보면 두 신호의 동기가 일치됨을 확인할 수 있으며, 상관 누산값과 누산차를 살펴보면 상관 누산차가 "-1'로 오차가 보정되어 지연동기 루프가 입력 신호와 동기됨을 확인할 수 있다. 그리고 복조된 항법 데이타 ('OUT_DATA')가 입력 데이타('SOURCE')와 일치함을 확인할 수 있다.

그림 11은 입력신호가 1/2칩 빠른 경우의 결과이다. 첫번째 상관주기 동안의 진상 상관값이 4087로 상관 첨두값인 4092에 근사한 값이고, 상관 누산차가 1916으로 1/4칩 진상의 경우보다 2배 큰 값이다. 이 값에 해당하는 위상 변조값 '8'을 직접 디지탈 클럭 발생기의 위상 변조값으로 궤환한다. 두번째 상관주기에서, 상관 누산차를 살펴보면 상관 주산차가 '-1'로 오차가 보정되어 지연동기 루프가 입력 신호가 동기됨을 확인할 수 있다. 그리고 항법 데이타가 정확히 복조됨을 확인할 수 있다.

그림 12는 입력신호가 1/4칩 늦은 경우의 결과이다. 첫번째 상관주기 동안의 상관차인 -958에서 입력 신호가 발생된 코드보다 늦음을 알 수 있으며, 그 위상차가 1/4칩임을 알 수 있다. 따라서, 수신기에서 발생되는 C/A 코드의 위상을 1/4칩 느리게 하기 위하여, 511.5KHz의 클럭을 발생시키는 주파수 입력값 '2'를 1/2칩 기간동안 직접 디지탈 클럭 발생기의 주파수 입력값으로 궤환한다. 두번째 상관주기에서, 상관 누산차를 살펴보면 상관 누산차가 '0'으로 오차가 보정되어 지연동기 루프가 입력 신호와 동기됨을 확인할 수 있다. 그리고 항법 데이타가 복조됨을 확인할 수 있다.

그림 13은 입력신호가 1/2칩 늦은 경우의 결과이다. 첫번째 상관주기 동안의 상관차인 -1916에서 입력 신호가 1/2칩 늦음을 알 수 있다. 따라서, 수신기에서 발생되는 C/A 코드의 위상을 1/2칩을 느리게 하기 위하여, 511.5KHz의 클럭을 발생시키는 주파수 입력값 '2'를 1칩 기간동안 직접 디지탈 클럭 발생기의 주파수 입력값으로 궤환한다. 두번째 상관주기 후의 상관 누산차를 살펴보면 상관 누산찰가 '0'으로 오차가 보정되어 지연동기 루프가 입력 신호와 동기됨을 확인할 수 있다. 그리고 항법 데이타가 정확히 복조됨을 확인할 수 있다.

그림 13 입력신호가 1/2칩 늦은 경우의 결과이다. 첫번째 상관주기 동안의 상관차인 -1916에서 입력 신호가 1/2칩 늦음을 알 수 있다. 따라서 수신기에서 발생되는 C/A 코드의 위상을 1/2칩 느리게 하기 위하여, 511.5KHz의 클럭을 발생시키는 주파수 입력값 '2'를 1칩 기간동안 직접 디지탈 클럭 발생기의 주파수 입력값을 궤환한다. 두번째 상관주기 후의 상관 누산차를 살펴보면 상관 누산차가 '0'으로 오차가 보정되어 지연동기 루프가 입력 신호와 동기됨을 확인할 수 있으며, 항법 데이타가 정확히 복조됨을 확인할 수 있다.

이상의 결과에서, 설계된 디지탈 지연동기 루프는 입력 신호와 시스템의 위상오차를 정확히 보정하여 동기를 일치시킴과 동시에 GPS 항법 데이타를 정확히 복원함을 확인할 수 있다.

V. 결론

GPS는 인공위성을 이용하여 언제, 어디서나 자신의 위치를 정확히 측정할 수 있는 항법 시스템이다.

본 논문에서는 2중 수퍼헤테로다인 방식으로 1.023MHz로 다운된 GPS 신호에서 항법 데이타를 복원하는 수신기의 지연동기 루프를 이론적으로 해석하고, 디지탈 로직으로 설계하였다. 그리고, 수신된 GPS 위성 신호에서 항법 데이타를 정확히 복조하기 위한 시스템 제어 알고리즘을 제안하였다.

설계한 시스템은 수신된 C/A 코드와 수신기에서 발생된 C/A 코드와의 상관값을 구하는 상관기, 선택된 위성의 C/A 코드를 발생시키는 C/A 코드 발생기, 그리고 C/A 코드의 위상과 클럭속도를 조절할 수 있도록 C/A 코드 발생기의 클럭을 만드는 직접 디지탈 클럭 발생기로 구성된다.

제안한 디지탈 지연동기루프 시스템을 해석한 결과, 시스템 입력 신호전력이 -113.98dB 이상이면 시스템이 90%이상의 검파 능력을 갖음을 확인하였고 A/DC전단의 입력신호의 크기와 분석전압의 크기에

www.dbpia.co.kr

따른 성능분석을 시뮬레이션을 통하여 분석하였다. 그리고 로직 시뮬레이션한 결과, 설계된 시스템이 GPS 항법 데이타를 정확히 복원함을 확인하였다.

참 고 문 헌

1. Longsdon T., The Navstar Global Positioning System, Van nostrand reinhold, 1992.
2. Zhuang W., K. M. S. Murthy, "Modelling and Performance Analysis of Digital Baseband Processor of The GPS Receiver," ICC'92, Conf. 1992
3. Dixon R. C., Spread Spectrum System John Willey and Sons, 1976.
4. Spilker J. J. Jr., "GPS Signal Structure and Performance Characteristics," Jnrmal of Navigation, Vol. 25, No. 2, 1978.
5. Kwon H. M., "False PN-Code Lock due to Off Peaks of GOLD Spquence Autocorrelation," ICC'92 Conf., 1992.
6. Holmes J. K., Coherent Spread Spectrum Systems, Johm Wiley and Sons, 1982.
7. 금 홍 식 외 3인, "직접 방식 디지탈 주파수 합성기 구성과 스펙트럼 향상," 한국통신학회 하계종합학술발표회, 7. 1992.
8. 금홍식 외 3인, "C/A 코드 역확산과 디지탈 동기 회로 구성," 한국통신학회 추계학술대회 논문집, 11. 1993.

금 홍 식(Hong-Sik Keum) 정회원
1991년 2월 : 충북대학교 전자공학과(공학사)
1994년 2월 : 충북대학교 전자공학과(공학석사)
1994년 2월 ~ 현재 : 아남전자 영상 TV개발부
※주관심분야 : 이동통신, 통신소자, 신호처리

권 태 환(Tae-Whan Kwoen) 정회원
현재 : 공군사관학교 교수부 전자공학과 교수

정 은 택(Eun Taek Jeong) : 19권 4호 참조

이 상 곤(Sang-Gon Lee) : 19권 4호 참조

유 흥 균(Heungyoon Ryu) : 19권 4호 참조

www.dbpia.co.kr