

마이크로프로세서에 의한 BPSK 복조 알고리즘

正會員 裴 龍 根* 正會員 李 永 錫* 正會員 金 基 重* 正會員 朴 仁 圭*
正會員 吳 象 基* 正會員 晋 達 福*

An Alogrithm for BPSK Demodulation by Microprocessor

Yong Keun Bae*, Yeong Seok Lee*, Ki Jung Kim*, In Kue Park*,
Sang Gi Oh*, Dal Bok Chin* *Regular Members*

요 약

본 논문에서는 배전선을 통하여 전송된 BPSK 신호를 마이크로프로세서를 이용하여 복조하는 알고리즘을 개발하고 구현하였다.

배전선 BPSK 복조를 마이크로프로세서를 실현하기 위해서는 무엇보다 배전선을 통하여 수신된 BPSK 신호를 2진 신호로 바꿔주어야 한다. 그러므로, 본 논문에서는 먼저 전송된 BPSK 신호를 2진 신호로 바꾸는 하드웨어를 설계하였다. 그런 다음 반송파의 주파수가 피변조 2진 신호 주파수의 우수배이면 변조점이 피변조 2진 신호의 상승에지(rising edge)와 하강에지(falling edge)에서 각각 다른 방향으로 나타난다는 사실과 배전선으로부터 수신된 BPSK 신호를 여과하고, 증폭하고, 크리핑하고, 정형하는 과정을 조절하면 변조점에서의 2진 신호 길이가 다른 점에서의 2진 신호 길이의 2배로 된다는 것에 착안하여 배전선 BPSK 신호를 복조하는 알고리즘을 개발하고, 이 알고리즘에 의한 마이크로프로세서 복조 시스템을 실제로 구현하였다.

구현된 이 복조시스템은 실제의 배전선 복조에서 비트오류율(bit error rate)이 0.02% 이하이었다.

Abstract

An algorithm for BPSK demodulation of which channel is an electric distribution line is developed, and realized in this paper.

To realize the BPSK demodulation by microprocessor, BPSK signal that is received through the distribution line must be converted to digital signal.

A hardware which converts BPSK signal to digital one has been designed in this paper, and an algorithm for BPSK demodulation of which channel is distribution line has been also developed in

* 圓光大學校 電子工學科
Dept. of Electronics Eng., Won Kwang Univ.
論文番號 : 9450
接受日字 : 1994年 2月 18日

this paper by paying the attention to the fact that a modulated point appears up and down according to the rising edge and falling edge of the modulated binary signal if the carrier frequency is even times to the modulated binary signal, and by paying the attention to the fact that the signal duration of modulated point is twice of the other point.

The microprocessor demodulation system with the algorithm has been realized. The system proved to have 0.02% (or less) bit error rate in real BPSK demodulation.

I. 서 론

본 논문은 배전선을 통하여 수신된 BPSK 신호를 마이크로프로세서를 복조하기 위한 알고리즘을 제안하는데 그 목적이 있다.

통신선로로서 배전선을 선택한 것은 전력제어, 자동검침 등에서 배전선을 통신선로로 하면 별도의 전송로를 설치할 필요도 없고, 선로의 유지 보수도 따로 필요치 않아서 대단히 경제적이기 때문이며, 통신방식으로서 BPSK 통신을 선택한 것은, BPSK 통신이 배전선을 통신선로로 하는 다른 방식의 통신, 예컨대 FSK 통신 보다 잡음에 강하기 때문이다.

그리고, 수신된 BPSK 신호를 복조하는 IC가 시판되고 있음에도 불구하고 굳이 마이크로프로세서로 이를 실현하고자 하는 이유는 배전선 BPSK의 속도 때문이다. 즉 배전선을 통신선로로 하는 BPSK 통신이 있어서는 전송속도가 300bps 이하이어야 하는데⁽¹⁾, 1200bps 이상의 BPSK 복조를 위한 IC는 많이 시판되고 있지만, 300bps 이하의 BPSK 복조를 위한 IC는 그렇지 못하기 때문이다.

배전선 BPSK 복조를 마이크로프로세서를 이용한 소프트웨어 방식으로 해결하려는 국내의 연구는 적

어도 문헌상으로는 현재 없는 것으로 안다. 그러나, 해외의 연구는 활발히 진행되고 있다. 웨스팅하우스(Westinghouse Electric Corp.)에서는 신호자승법에 근거한 복조알고리즘을 개발하여 이미 국제특허를 얻었고⁽²⁾, 모토롤라(Motorola Inc.)에서는 캐리어 회복 인터럽트루틴(Carrier recovery interrupt routine), 배후 비트 회복 루틴(Background bit recovery routine) 등을 중심으로한 복조 알고리즘을 개발하여 역시 특허를 얻어 놓고 있다⁽³⁾.

II. BPSK 복조 시스템의 구성

본 논문은 배전선 BPSK 복조 알고리즘을 제안하는데 그 목적이 있기 때문에, 이 알고리즘을 실현하는 하드웨어에 대한 것은 필요한 최소한에 국한해서 기술하고자 한다. 그림1은 그 하드웨어 구성이다. 배전선신호결합부, 대역통과필터, 신호조절부, 마이크로프로세서 등으로 구성되어 있다.

배전선신호결합부(Linking Dev.)는 이 시스템이 배전선을 통신선로로 하고 있기 때문에 배전선에 실린 BPSK 신호를 이끌어 내기 위함이고, 대역 통과 필터(BPF)는 전원의 60Hz 전압 성분과 기타 불필요

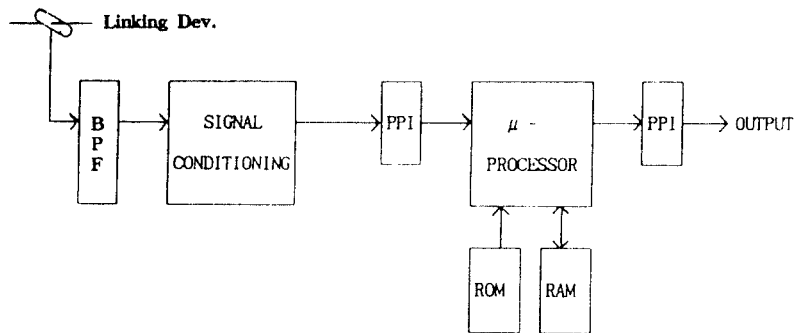


그림 1. BPSK 복조 시스템의 구성

Fig 1. The Configuration of BPSK demodulation system

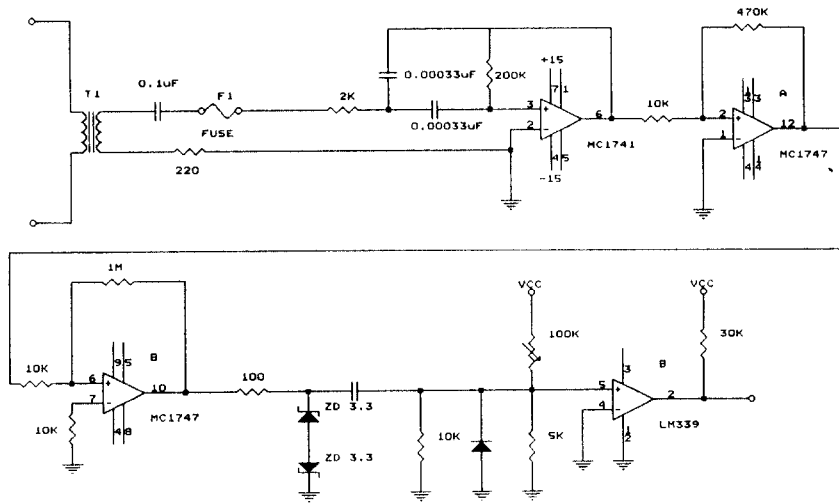


그림 2. BPSK 복조 회로도
Fig 2. BPSK demodulation circuit

한 잡음을 제거하기 위함이다. 그리고 신호조정부 (signal conditioning cir.)는 대역통과필터(BPF)를 가진 BPSK 신호를 증폭하고, 클리핑(clipping)하고, 크랩프(clamp)하고, 정형하기 위함이다.

이중 클리핑회로는 배전선에 유입되는 스파이크 잡음을 제거하고, 특히 정현파 형태의 BPSK 신호를 일정 레벨로 클리핑하기 위한 것이고, 크랩프회로는 $+V -V$ 의 신호를 0V 이상의 신호를 갖게 하기 위한 것이며, 정형회로는 불완전한 구형파를 마이크로 프로세서에서 취급하기 쉬운 2진 신호로 정형하기 위한 것이다. 그림2는 이들 회로이다. 배전신호검출부, 대역통과필터, 증폭회로, 클리핑회로, 크랩프회로, 정형회로 등이 차례로 결합되어 있다.

III. 복조 알고리즘

구성된 하드웨어(그림2)에 의해서 얻어진 2진 신호로부터 원래의 피변조 2진 신호를 복원하고, 복원된 2진 신호에서 프레임부를 가려낸 후, 2진 데이터를 캐릭터 별로 일정영역의 메모리에 스토어하는 프로그램에 대한 알고리즘을 개발하는 것이 여기서 한 일이다.

구체적인 복조 알고리즘을 작성하기에 앞서 몇가지 선제해야 할 것이 있다.

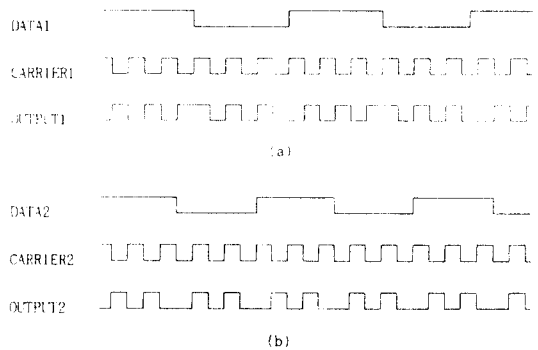


그림 3. 피변조 2진 신호 P(t)와 반송파 $A \cos \omega_c t$ 의 주파수비가 변조위상에 미치는 영향

Fig 3. Effect on modulation phase by frequency ratio of modulated signal and carrier

(1) 반송파 $A \cos \omega_c t$ 의 주파수는 피변조 2진신호 p(t) 주파수의 우수배이어야 한다. 기수배이면 그림3의 (b)에서와 같이 피변조 2진신호(그림에서 "DATA")의 하강에지(falling edge)나 상승에지(rising edge)를 막고하고 변조 신호(그림에서 "OUTPUT")의 변조점(간 부분)이 같은 방향으로 나타나서 하강에지와 상승에지를 구별할 수 없지만, 우수배이면 동그림(a)와 같이 다른 방향으로 하강에지와 상승에지를 구

별할 수 있기 때문이다.

(2) 데이터 전송의 초두에 송신의 시작을 알리기 위해서 전송되는 소위 프리앰블(preamble)의 형태는 그림4와 같이 비트 "0" 5개와 비트 "1" 4개가 번갈아 있고, 그 다음에 비트 "1" 2개가 연속해서 있다.

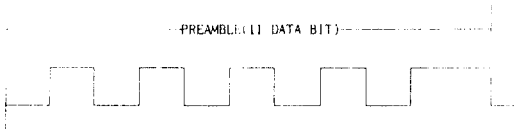


그림 4. 프리앰블의 형태
Fig 4. The format of preamble

(3) 하나의 워드(character word)는 하나의 스타트 비트("0")와 8개의 데이터 비트(패리티 비트 포함)와 2개의 스톱 비트("1")로 구성된다.

프로그램은 소위 초기화 과정에서부터 시작한다. 각 포트의 입출력을 정하고, 기타 필요한 초기 조건을 주고, 타이머 사용 준비를 한다. 신호조절부에서 출력된 2진 신호는 일정 시간 간격으로 샘플링을 해야 하는데, 이것은 소프트웨어 지연루프에 의해서 할 수도 있으나, 타이머를 이용한 인터럽트 방식을 쓰는 것이 더 정확하므로 이를 택하고, 그 준비를 여기서 한다.

그런 다음 프리앰블의 확인 과정에 들어간다. 전송 데이터의 초두에 데이터의 송신을 알리는 프리앰블이 확인되어야 하기 때문이다.

다음 과정은 스타트 비트와 스톱 비트를 포함하여도합 11 비트로 구성된 BPSK 신호를 복조하고, 이것을 일정의 메모리 영역에 스토어하는 것이다. 이 루틴이 중심 루틴이다.

실은 초기화 과정 만을 메인 루틴으로 하고, 나머지 둘은 각각 별개의 인터럽트 루틴으로 처리되도록 하였으나, 전체 흐름도 상에서는 그림5와 같이 전체를 하나로 표시하였다.

먼저 초기화 루틴, 즉 메인 루틴부터 하기로 한다. 여기에서는 먼저 각 포트의 입출력 방향과 사용모드를 결정한다. A포트의 PA0를 통하여 하드웨어 최종단의 2진 신호를 받아들이고, B포트의 PB0를 통하여 처리 결과를 내보내므로, A포트는 입력으로, B포트는 출력으로 하고, 사용모드는 "0"으로 한다. 타이머 정수와 우선순위도 여기서 정한다.

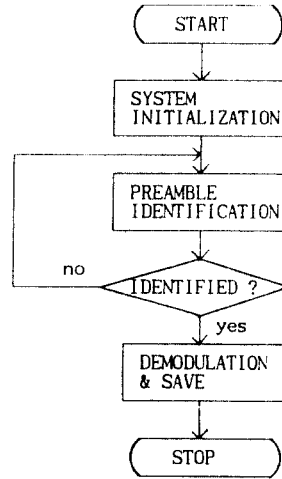


그림 5. 전체 흐름도
Fig 5. Overall Flowchart

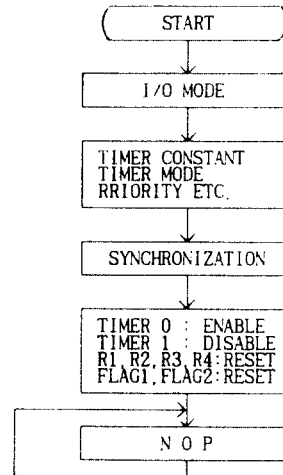


그림 6. 메인 루틴에 대한 흐름도
Fig 6. Flowchart for main routine

그런 다음 2진 신호의 시작점을 찾기 위한 소위 동기화(Synchronization) 과정으로 들어간다. 여기서는 마이크로프로세서가 2진 신호의 중간에서 부터 계수하는 일이 없도록, 다시 말해서 2진 신호의 시작점(신호 "1"의 상승에지, 신호 "0"의 경우에는 하강에지)에서 부터 카운트 되도록 하기 위함이다. 그림7이 그 흐름도이다. 포트A0를 통해서 입력한 것을 A0만

남기고 나머지는 마스크한다음 그것이 0인지지를 묻는다. 0이면 다시 입력한 값이 계속 0인지를 묻고, 0인 한 이를 계속한다. 마침내 1이면 2진 신호 "1"의 상승에지라는 뜻이므로, "1"의 샘플링 카운터 R6의 값을 1로 한다. 만약 최초에 입력한 값이 1이면, 다시 입력한 값이 역시 1인지를 묻고 1인 한 이를 계속한다. 마침내 0이면 2진 신호 "0"의 시작점(하강에지)임을 뜻하므로, "0"의 카운터 R7을 1로 한다.

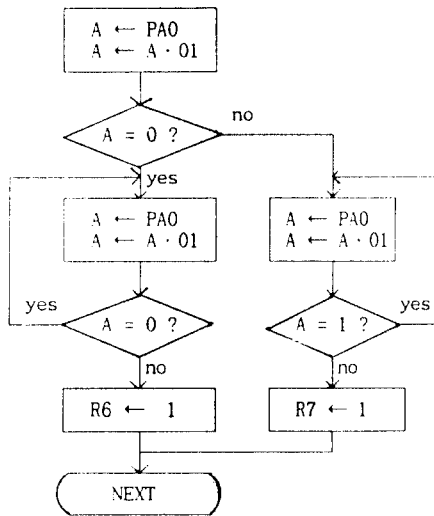


그림 7. 동기화 과정에 대한 흐름도
Fig 7. Flowchart of synchronization

마지막으로 타이머 0은 인에이블(enable) 시키고, 타이머1은 디세이블(disable)시킨다. 타이머0은 프리앰블 확인 루틴의 인터럽트를 위한 것이고, 타이머 1은 부조 및 스토이 루틴의 인터럽트를 위한 것이다. 결국 프리앰블 확인 과정이 끝나면 타이머0은 디세이블, 타이머1은 인에이블로 함으로써 뛰어난 인터럽트 루틴을 탈라하기 위함이다. 그런 다음에는 다음 프리앰블 루틴에서 사용될 각 변수의 초기값을 설정한다. R3, R4는 입력 2진 데이터의 상승에지 혹은 하강에지를 구별하기 위한 것이고, R1, R2는 1캐릭터 11개 비트의 복원된 2진 데이터를 차례로 넣을을 장소이며, Flag1과 Flag2는 상승에지, 하강에지가 있었다는 것을 표시하기 위한 것이다. 이제 프리앰블 확인루틴으로 들어간다. 여기에서 할 일은 우선 하드웨어 신호결합부에서 얻은 2진 신호에서 원래의 피변조 2진

신호를 복원하는 일이고, 그러기 위해서는 변조점부터 찾아야 한다. 그림13에서 맨위의 피변조 2진신호 P(t)와 맨아래의 하드웨어 최종단 2진 신호를 비교해 보면 피변조 2진신호가 상승 혹은 하강하는 곳, 바뀌말해서 위성변조가 있는 곳에서의 신호 길이는 다른 곳에서의 신호 길이의 2배가 된다. 물론 이것은 신호조절부의 기준전압을 조정해서 만든 것이다. 지금 그림8과 같이 변조점 이외의 신호길이 동안에 샘플링을 8번 한다고 한다면 샘플링 2진 값이 8번 모두 1이면 복원된 2진 신호는 "1"이고, 8번 모두 0이면 "0"이다. 그리고 변조점 상승에지에서는 이렇게하여 얻은 "1"이 2개 있고, 하강에지에서는 "0"이 2개 있다. 그러므로 R3을 2진 신호의 상태를 저장하는 곳으로 할때 R3의 비트1과 비트0이 11(03H)이면 상승에지의 변조점이고, 00(00H)이면 하강에지의 변조점이다. 상승에지가 있었다는 것은 Flag1이 표시하고, 하강에지가 있었다는 것은 Flag2가 표시한다.

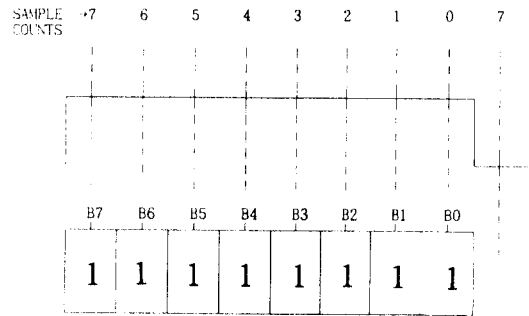


그림 8. 변조파의 변 사이클 동안에 8번의 샘플링
Fig 8. Sampling 8 times during half duration of demodulated signal

Flag1이 먼저 있고 Flag2가 후에 있으면 피변조 2진신호는 1이었고, Flag2가 먼저 있고 Flag1이 후에 있으면 0이었을 것이다. 이렇게 하여 복원된 2진 데이터는 비트 번호 R2의 비트5를 통하여 R1과 R2에 넣는다. 프리앰블은 모두 11 비트이기 때문에 상위 8비트는 R1에, 나머지 3비트는 R2의 비트 7, 6, 5에 넣는다. 이 작업은 R2의 비트5를 통하여 두 레지스터를 서로 쉬프트함으로써 이루어진다.

프리앰블은 01010101이기 때문에 R1의 값이 010101(55H)이고 R2의 값이 01100000(60H)이면 확인이 가능하다. 이제 프리앰블의 확인이 끝났으므로 다

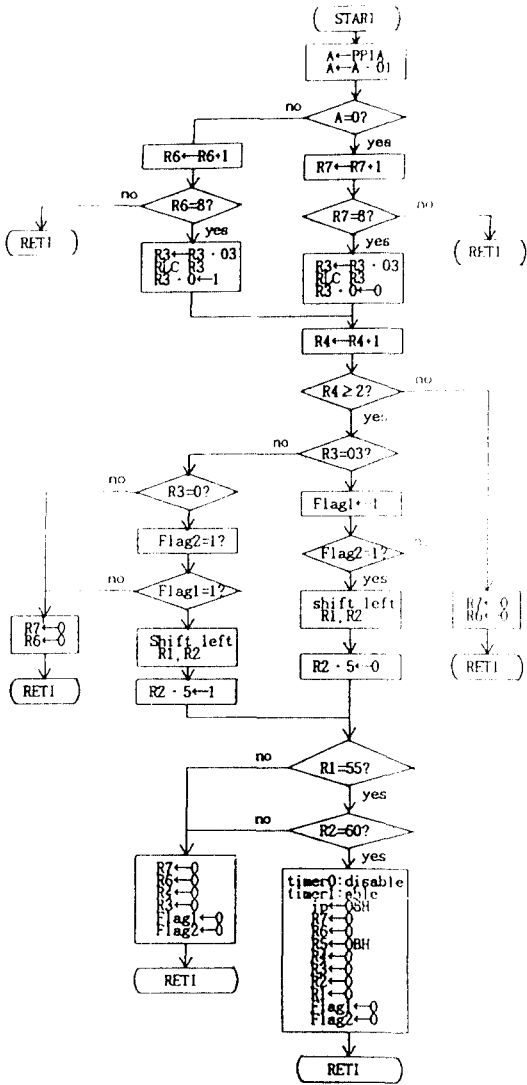


그림 9. 프리앰블 확인 루틴의 흐름도
Fig 9. Flowchart for preamble identification routine

음 루틴으로 뛰어갈 준비만 하면 된다. 타이머0를 디세이블로, 타이머1을 인에이블로 함으로써 뛰어갈 인터럽트 루틴을 달리한다.

마지막으로 복원된 2진 데이터 중 스타트 비트와 스톱 비트를 제거한 8개 비트의 2진 데이터들을 일정빈도의 메모리에 스토어하는 루틴이다. 이 루틴은 메인 루틴과 프리앰블 확인 루틴이 실행된 후에 실행되는 별개의 인터럽트 루틴이다.

그림9는 그 흐름도이다. 처음 부분은 앞의 것과 같다. 다른 것은 $[R5 \leftarrow R5 - 1]$ 이후이다. 하나의 캐릭터는 11개의 비트로 이루어지므로, 카운터 R5에 0BH를 넣고, R2의 비트5를 통하여 복원된 2진 데이터를 하나하나 비트 별로 R1과 R2에 넣다가 R5가 0이 되면 R1과 R2를 결합하여 좌로 쉬프트시키면 스타트

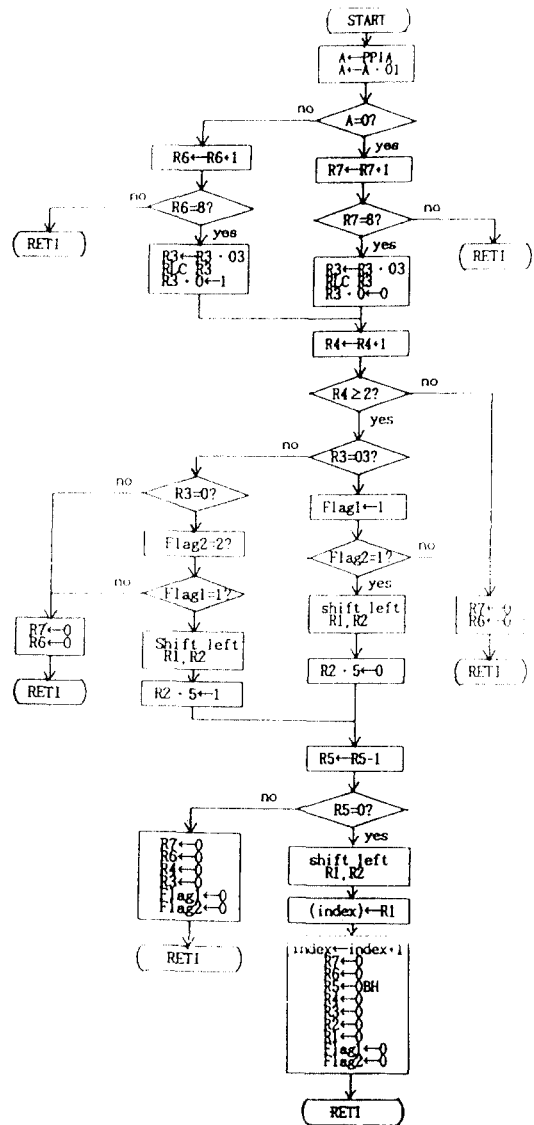


그림 10. 데이터 복조 및 스토어 루틴에 대한 흐름도
Fig 10. Flowchart for data demodulation & store routine

비트는 없이치고 R2의 비트7이 R1의 비트0에 옮겨져서 R1은 하나의 캐릭터가 된다. 이것을 인덱스레지스터가 지지하는 번지로 옮기고, 인덱스레지스터는 하나 증가 한다.

IV. 실험 및 고찰

이상의 알고리즘에 따라 프로그램을 작성하여 실제의 시스템에 실행시키는 것이 본 논문에 당연히 따르는 과정이다. 우선적으로 한 일은 배전선을 통하여 들어온 BPSK 신호를 배전선신호결합부로 이같이 내어서, 대역통과필터로 60Hz 진원 잡음, 기타 잡음을 제거한 후, 신호조절부에서 증폭하고, 크립핑하고, 크랩프하고, 정형화함으로써 마이크로프로세서 혹은 마이크로컨트롤러에 입력할 2진 신호를 만드는 일이다. 그런데, 배전선을 통하여 들어온 BPSK 신호를 배전선신호결합부로 이같이 내는 실험을 하기 위해서는 BPSK 변조 신호를 배전선에 실는 작업이 선행되어야 한다. 이를 위해서 본 실험에서는 피변조 2진 신호 $p(t)$ 를 링변조기(ANDO MD 2)를 이용하여 반송파 $A \cos \omega_c t$ 에 실고, 증폭한후 신호결합부를 통하여 배전선으로 보내었다. 피변조 2진 신호 $p(t)$ 는 표1과 같이 기준이 +5, 0V의 크기에 110 bps의 속도이고, 반송파 $A \cos \omega_c t$ 는 기준이 $\pm 3V$ 의 진폭에 10.4KHz의 속도이었다. 그림11은 이 신호가 배전선을 통하여 나간 것을 수신단의 신호결합부에서 잡은 파형이다. 디지털 스토리지 오실로스코프(HITACHI VC 6045)로 잡아서 그래픽플로터(HITACHI 681)로 그린 것이다. 60Hz 진원잡음, 기타 잡음이 강하게 실려 있음을 확인할 수 있다. 그림12는 이 신호가 대역통과필터를 지난 후의 파형이고, 그림13은 신호조절부를 지난 후 각 부분의 파형이다. 이 그림 두번째는 대역통과필터를 통과한 신호를 증폭한 것이고, 세번째는 크리핑회로와 크랩프회로를 거친 것이며, 마지막은 정형회로를 거친 것이다. 그리고, 맨처음은 원래의 피변조 2진 신호이다. 정형회로를 거친 신호는 원신호 2진 신호로 되어 있고, 변조점에서의 길이가 다른 것의 2배이며, 원래의 피변조 2진 신호의 상승에 지외 하강에 지에서 상승을 달리함을 알 수 있다.

마이크로프로세서 혹은 마이크로컨트롤러에 입력할 2진 신호가 얻어졌으므로, 이제 실제로 이 신호를 여기에 입력하는 과정이 남아 있다.

이 과정에서 크게 문제가 되었던 것은 타이밍 문제이었다. 원래는 i8051 시스템으로 이를 실행하려 하

표 1. 출력 제원

항 목	내 용
변조 방식	BPSK
신호 속도	110bps
반송파 주파수	10.4KHz
송신 출력	-9dbm, 0dbm(가변)
사용 전압	+5V, $\pm 12V$

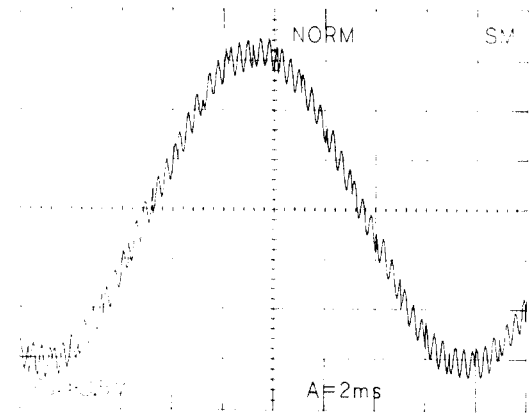


그림 11. 수신된 BPSK 신호

Fig 11. BPSK signal received from distribution line

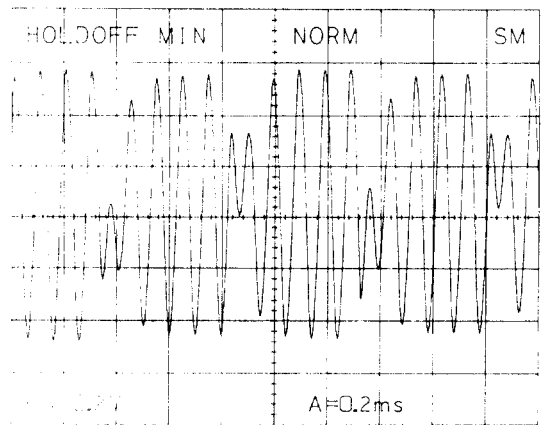


그림 12. 대역통과필터를 통과한 BPSK 신호의 파형

Fig 12. BPSK signal waveform which has passed BPF

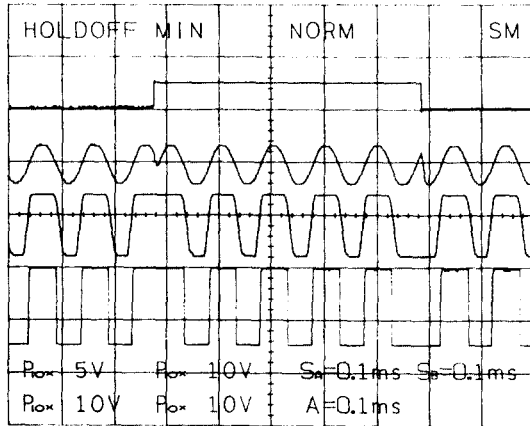


그림 13. 신호조정부 각부의 파형
Fig 13. The waveform of signal condition cir.

였다. 그럴 경우에는 에컨데 디모듈레이션 스토어 루틴(Demodulation Store Routine)의 경우 최대 67 머신사이클이 필요하다. 그런데 11MHz로 동작하는 i8051 시스템의 1 머신사이클은 1.0909(μ s)이므로, 67 머신사이클은 73.09(μ s)이다. 여기에 문제가 있다. 반송파의 주파수가 10.40 KHz인 BPSK 신호는 1Hz 당 96.154(μ s)가 요하므로 반 주기를 8번 샘플링 할때의 샘플링 시간은 6.0096(μ s)이다. 그러므로 이 시간 이내에 인터럽트 루틴이 끝나야 한다. 그럼에도 불구하고 i8051 시스템에서는 인터럽트 루틴에 최대 73.09(μ s)가 필요하므로 i8051 시스템으로는 그 실행이 불가능하였던 것이다.

이런 입장에서 택할 수 있는 길은 샘플링 주파수를 낮추어서 실험을 하든지, 마이크로컴퓨터를 고단위로 바꾸든지 둘 뿐이었다. 본 실험에서는 양자를 모두 시도하였다. 반송 주파수를 855Hz로 낮추어 실행도 했고, M68000 시스템으로 바꾸어 실행도 하였다. 실험은 각 루틴의 중간 중간에 동작확인 명령을 넣어 가면서 하였다. 장기간에 걸쳐 많은 시행착오가 있었으나, 두 경우 모두 결국 의도했던 대로 실행됨을 확인할 수 있었다.

표 2. 실험 결과

구분	송신 비트수	수신 비트수	수신 불능횟수	비트 오류율
i8051(855Hz)	176,000	175,978	22	0.02
M68000(10.4Hz)	176,000	175,989	11	0.01

최종적으로 확정된 알고리즘에 의한 마이크로프로세서 복조시스템은 실제의 배전선 BPSK 복조 실험에서, 표2와 같이, 16,000캐릭터(176,000비트)의 송신데이터중 i8051시스템에서는 2 캐릭터, M68000시스템에서는 1 캐릭터의 수신 불능이 있어, 0.02% 이하의 비트오류율(bit error rate)을 나타내었다.

V. 결 론

마이크로프로세서를 이용한 배전선 BPSK 복조 알고리즘을 개발하고자 본 논문에서는 먼저 배전선 신호결합부, 대역통과필터, 신호조정부, 마이크로프로세서 등으로 구성된 BPSK 복조 시스템을 구축하였다. 이들 중 신호조정부는 2단의 신호증폭회로, 크리핑회로, 크랩프회로, 정형회로 등으로 구성하였다.

이렇게 구성된 하드웨어 최종단에서 얻은 2진 신호로부터 원래의 피변조 2진 신호를 복원하는 알고리즘을 개발하는 것이 본 논문의 목적이다. 본 논문에서는 반송파의 주파수가 피변조 2진신호 주파수의 우수배이면 변조점이 피변조 2진신호의 상승에지와 하강에지에서 각각 다른 방향으로 나타난다는 사실과 수신된 BPSK 신호를 여과하고 증폭하고 크리핑하고 크랩프하고 정형하는 과정을 조절하며 변조점에서의 2진 신호의 길이가 다른 점에서의 2진 신호 길이의 2배로 된다는 점에 착안하여, 변조파의 반 사이클 동안에 하드웨어 최종단의 2진 신호를 8번 샘플링하고, 그것을 모두 플러스한 것이 8이면 "1"로 보고, 0이면 "0"으로 보며, 이렇게 얻은 "1"이 거듭 두번이면 상승에지로 보고, "0"이 거듭 두번이면 하강에지로 복조시켜 원래의 피변조 2진신호를 복원할 수 있었다.

복원된 2진 신호로부터 프리앰블을 가려내는 프로그램도 같이 개발하였고, 11개 비트의 2진 데이터로부터 스타트 비트와 스톱 비트를 제외한 나머지 8비트를 일정 영역에 저장하는 프로그램도 같이 개발하였다.

이 과정에서 얻은 결론을 다음과 같다.

- (1) 배전선신호결합부와 대역통과 필터를 통과한 BPSK 신호를 마이크로프로세서가 취급할 수 있는 2

진 신호로 만드는 신호조절부는 2단의 증폭회로, 크리핑 회로, 크래프 회로, 정형 회로의 순으로 배열함이 가장 능률적이다.

(2) 반송파의 주파수가 피변조 2진신호 주파수의 우수배이면 피변조 2진신호의 상승에지와 하강에지에 변조깊이 각각 다른 방향으로 나타난다. 이 사실과 하드웨어 최종단 2진 신호의 변조깊이 신호값이 다른 신호값의 2배라는 사실을 이용하면 복원된 2진 신호의 상승에지와 하강에지를 쉽사리 구별할 수 있다.

참 고 문 헌

1. 안두희, "한국전력공사 지원 기술 개발 사업 신청서," P.9, 1992.11
2. Westinghouse Electric Corp. "Coherent Phase

Shift keyed Demodulator for Power line Communication System," Apr. 5, 1983 Appl. no. 284261

3. Motorola Inc. "Digital Coherent PSK Demodulator and Detector," June 26, 1984 Appl. No. 328332
1. F.D.Natali, W.J. Walbesser "Phase Locked Loop Detection of Binary PSK Signals Utilizing Decision Feedback" IEEE Transactin of Aerospace and Electronic Systems Vol. AES-5, NO.1, Jan.1969
5. P.J.Van Gerwen et al, "Data Modems with Integrated Digital filters and Modulator," IEEE trans. Commun. Technol. COM-18, 214-222 (June 1970)



裴 龍 根(Yong-Keun Bae) 정회원
 1984년: 조선대학교 컴퓨터공학과
 졸 (공학사)
 1986년: 조선대학교 전자과 졸 (공학석사)
 1994년 ~ 현재: 원광대학교 전자과
 박사과정
 ※주관심분야: 마이크로프로세서
 응용, 음성처리



李 永 錫(Yeong-Seok Lee) 정회원
 1992년: 원광대학교 전자공학과 졸
 (공학사)
 1994년: 원광대학교 전자공학과 졸
 (공학석사)
 1994년 ~ 현재: 원광대학교 전자공
 학과 박사과정
 ※주관심분야: 마이크로프로세서
 응용, 음성처리



金 基 重(Ki-Jung Kim) 정회원
 1988년: 원광대학교 전자공학과 졸
 (공학사)
 1990년: 원광대학교 전자공학과 졸
 (공학석사)
 1993년 ~ 현재: 원광대학교 전자공
 학과 박사과정
 ※주관심분야: 마이크로프로세서
 응용, 음성처리



朴 仁 圭(In Kue Park) 정회원
 1985년: 원광대학교 전기공학과 졸
 (공학사)
 1987년: 연세대학교 전기공학과 졸
 (공학석사)
 1992년 ~ 현재: 원광대학교 전자공
 학과 박사과정
 ※주관심분야: 마이크로프로세서
 응용, 영상처리



吳象基(Sang-Gi Oh) 정회원
1977년: 조선대학교 전자공학과(공학사)
1979년: 조선대학교 전기공학과(공학석사)
1994년: 원광대학교 전자공학과 졸업(공학박사)
※주관심분야: 마이크로프로세서 응용, 배전자동화



晉達福(Dal-Bok Chin) 정회원
1962년: 조선대학교 공과대학졸(학사)
1972년: 조선대학교 대학원졸(공학석사)
1985년: 전남대학교 대학원졸(공학박사)
1970년~1982년: 조선대학교 공과대학 조교수
1982년~현재: 원광대학교 공과대학 교수
1983년~1987년: 원광대학교 부설 전자계산소 소장
1987년~1991년: 원광대학교 공과 대학장
1991년~1993년: 원광대학교 기획처장
※주관심분야: 마이크로프로세서응용, 음성처리