

PSPICE에 사용되는 위상동기루프 매크로모델에 관한 연구

正會員 金慶月* 正會員 金學善* 正會員 洪信男* 正會員 李亨宰*

A Study on the Phase Locked Loop
Macromodel for PSPICEKyung-Wol Kim*, Hak-Sun Kim*, Sin-Nam Hong*,
Hyung-Jae Lee* *Regular Members*

要約

이미 상용화된 시뮬레이터인 PSPICE의 기본적인 변형없이 새로운 소자나 시스템을 시뮬레이션하는데 있어 유용한 설계기법인 매크로모델링 기법을 이용하여 위상동기루프를 설계하였다. 위상동기루프는 위상 검출기와 전압제어 발진기, 루프 필터로 이루어져 있고, 이 중 위상 검출기와 전압제어 발진기를 매크로모델링 하였다. 루프 필터단은 외부에서 연결하도록 되어 있으며, 본 논문에서는 간단한 RC 저역통과 필터를 사용하였다.

LM565CN PLL의 데이터 시트를 기준으로 설계한 매크로모델 파라미터로 시뮬레이션한 결과, 자유발전 주파수 2.5KHz에서 upper lock range와 lower lock range는 각각 1138Hz, 1500Hz였고, upper capture range와 lower capture range는 563Hz, 437Hz였다. 또한 실험결과와 시뮬레이션 결과가 일치함을 확인하였다.

ABSTRACT

Macromodeling technology is useful to simulate and analyze the performance of new elements and complicated circuits or systems without any changes in today's general simulator, PSPICE.

In this paper, Phase Locked Loop(PLL) is designed using macromodeling technique. The PLL macromodel has two basic sub-macromodels of the phase detector and the voltage controlled oscillator(VCO). The PLL macromodel has two open terminals for inserting RC low pass filter.

The PLL macromodel is simulated using simulation parameters of LM565CN manufactured in the National company. At a free-running frequency, 2500Hz, upper lock range and lower capture range was 437Hz, 563Hz, respectively. Also, experimental results and simulation results of LM565CN PLL show good agreement.

* 韓國航空大學大學院 航空電子工學科
Dept. of Avionics Engineering, Graduate School of Hankuk
Aviation University
論文番號 : 9419
接受日字 : 1994年 1月 8日

I. 서 론

매크로모델링 기법은 1974년 Boyle 등에 의해 언산증폭기 해석에 처음으로 사용되었으며 기존의 시뮬레이터의 변형없이 새로운 소자나 회로를 시뮬레이션 할 수 있는 방법이다^[1]. 이 기법은 복잡한 아날로그 회로나 시스템 및 IC를 설계하는데 있어 시뮬레이션 시간등을 절약해 주며 시뮬레이션이 불가능한 부분을 가능하게 해준다. 또한, 컴퓨터의 계산 효율성 증가와 다른 응용회로에 쉽게 이용할 수 있는 잇점이 있다^{[1][5][6][7]}.

매크로모델링 기법으로 회로를 설계하는데 있어 가장 고려해야 할 점은 시뮬레이션의 시간을 최소화하면서 정확성을 유지하는 것이다^[1]. 이것은 모델 파라미터가 너무 많으면 모델링 하는데 소요되는 시간과 시뮬레이션 시간이 증가되어 매크로모델의 장점을 충분히 살릴 수 없게 되는 상관관계 때문이다. 그러므로 적절한 모델 파라미터의 수를 설정하는 것이 먼저 선행되어야 한다.

위상동기루프(PLL : phase locked loop)는 1932년 H. de Bellescize에 의해 처음 소개된 이래, 통신회로 및 전송장치에 이용되어 왔으나 회로가 복잡하고 가격이 비싸 특정한 측정기와 통신기 이외에는 별로 사용되지 않았다. 그러나 60년대에 들어와 CMOS 기술의 발달로 제작이 용이하게 되자 모놀리틱 위상 동기 루프의 사용은 눈에 띄게 급증하게 되었다. 오늘날에는 AM 및 FM 복조, 모뎀, FSK 복조기, 스테레오 복조기, 전화기의 tone 검출, 주파수 합성기, 디지털

시스템간의 clock의 동기, 과형 발생기 및 TV 동기 시스템 등에 널리 이용되고 있다.

그러나 주요 성능을 결정하는 루프 특성에 대한 수학적 해석이나 비선형성을 고려한 해석등은 여전히 어렵기 때문에 컴퓨터 해석에서 많은 어려움을 겪고 있다^[1]. 이러한 문제점을 해결하고 시뮬레이션을 쉽게 하기 위해 매크로모델 등가회로 기법을 이용하여 아날로그 PLL를 설계하였다.

제2장에는 부매크로모델에 해당하는 위상검출기와 전압제어 발전기 등가모델이 제시되어 있다. 제3장에서는 2장의 부매크로모델을 통합한 전체 PLL 매크로모델과 입력 소스 코드를 구현하였고 제4장에서는 시뮬레이션 결과와 실험치를 비교, 분석하였다.

II. drop-in 매크로모델

2.1 위상 검출기 매크로모델

2.1.1 기능블럭도

그림 2.1은 가장 일반적으로 사용하는 balanced-modulator형의 위상 검출기 매크로모델의 기능 블럭도이다^[1].

SSqWC 블럭은 입력 신호에 관계없이 $\pm X1[V]$ 의 구형파를 출력한다. 이 출력 신호와 피이드백 신호는 아날로그 배율기 M-I의 입력이 된다. 이때, 배율계수 K_a 는 위상검출기의 전환이득이다. 상수 C_f 는 정정 계수(correction factor)로서 실제 위상검출기와 매크로모델과의 에러를 감소시키기 위해 사용된다. C_f 의 초기치는 1로 고정되어 있다. 위상 검출기의 전환 이득이 sinusoidal 전달 특성을 가지고 있다면 TSWC

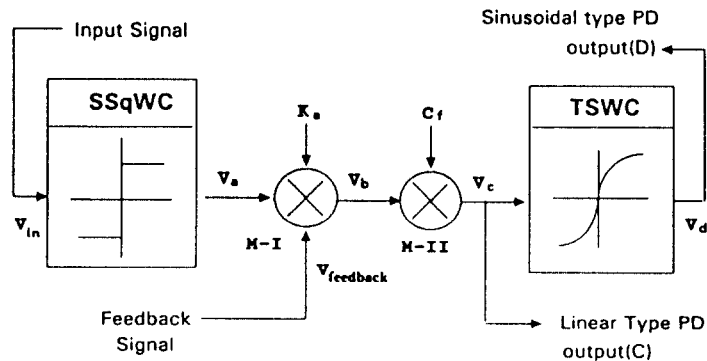


그림 1. balanced-modulator형 위상검출기 매크로모델의 기능 블럭도

Fig. 1. A functional block diagram for a balanced-modulator type phase detector macromodel

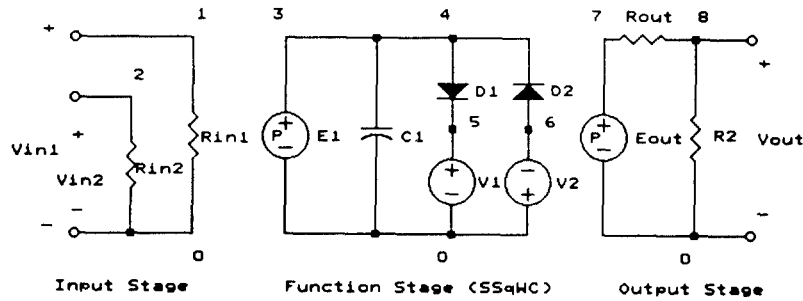


그림 2. balanced-modulator형 위상검출기의 등가회로 매크로모델

Fig. 2. An equivalent circuit structure macromodel for balanced modulator type phase detector

블럭을 추가로 삽입하면 된다. TSWC 블럭은 선형 위상 검출기를 비선형으로 전환시키기 위해 사용된다. 그러므로, 출력 D의 전압은 $\cos \theta_d$ (비선형)에 비례하고 출력 C의 전압은 θ_d (선형)에 비례한다.

2.1.2 매크로모델 등가회로

본 논문에서는 위상검출기 매크로모델링에 있어 다음에 중점을 두고 설계하였다.

- 1) 입력 신호의 크기에 둔감해야 한다.
- 2) 두 주기 함수의 Multiplication을 행해야 한다.
- 3) 선형 전환이득을 가져야 한다.

그림 2는 3)의 조건을 충족하기 위해 그림 1의 기능 블럭도에서 TSWC 블럭을 없앤 등가회로 매크로모델이다.

입력단은 입력저항 R_{in1} 과 피이드백 저항 R_{in2} 을 사용하여 구현하였으며 SSqWC 블럭은 PWL 함수를 이용한 일반적인 매크로모델을 사용하였다.

SSqWC 출력은 $V1(=X1)$ 과 $V2(=X2)$ 의 두 전압 레벨에 의해 결정되고, $V(4)$ 가 $-X1$ 과 $X1$ 사이에 있다면 $D1$ 과 $D2$ 는 둘다 off된다. 그러므로 SSqWC의 출력은 입력 전압에 선형 비례하지만 구형파는 아니다. 이것을 해결하기 위해 $E1$ 의 이득을 매우 크게 하여 $V(4)$ 파형이 sharp한 특성을 갖도록 하였다.

배율기 블럭 M-I와 M-II는 출력단에서 이차원 polynomial CVCS(E_{out})을 사용하여 구현하였다. 이 종속원은 SSqWC의 출력과 R_{in2} 에 걸리는 전압에 의해 제어된다.

그림 2의 $V(8)$ 의 전압은 그림 1의 V_c 와 같고 다음과 같이 주어진다.

$$\begin{aligned}
 V(8) &= P_0 + P_1 \cdot V(5) + P_2 \cdot V(2) + P_3 \cdot V(5)^2 \\
 &\quad + P_4 \cdot V(5) \cdot V(2) + \dots \\
 &= K_a \cdot C_f \cdot V_a \cdot V_{feedback} \\
 &= V_c
 \end{aligned}
 \tag{1}$$

$$P_0 = P_1 = P_2 = P_3 = 0, \quad P_n = 0 \ (n \geq 5)$$

$$P_4 = K_a \cdot C_f$$

2.2 전압제어 발진기

2.2.1 기능블럭도

그림 3은 전압제어 발진기 매크로모델의 기능 블럭도이다.

전압 리미터 블럭은 입력신호의 전압을 제어하는 역할을 한다. 즉, 입력제어 전압 V_m 이 V_x 보다 작으면 입력이 그대로 출력으로 나오게 되고, 큰 신호가 들어오면 두번째 선형 세그먼트의 기울기가 1보다 작기 때문에 출력전압은 감소한다. 그러므로, 정상상태와 포화 상태의 동작을 하게 된다.

시상수가 τ 인 만전 적분기 블럭에서는 DC 입력 제어 전압 V_c 을 적분함으로써 삼각파를 출력한다. 입력 전압 V_c 는 그림 3에서와 같이 V_c 와 V_d 의 multiple로 주어진다.

슈미트 트리거 블럭은 적분기의 출력의 peak-to-peak 전압 뿐만 아니라 $X2(V)$ 의 진폭을 갖는 구형파 V_{out2} 를 출력한다. 삼각파의 전압이 upper trigger point V_p 와 lower trigger point V_n 치에 도달할 때

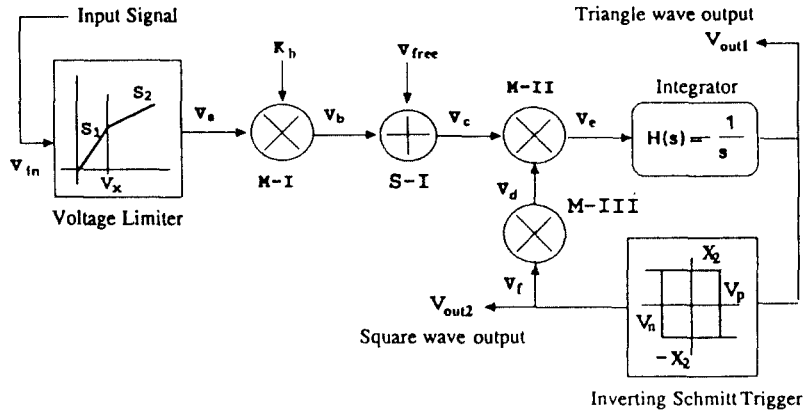


그림 3. 전압제어 발진기 매크로모델의 기능 블록도
 Fig. 3. A functional block diagram for a VCO macro-model

다 슈미트 트리거의 출력은 high와 low level로 토글한다. 그러므로 적분기를 구동하는 입력 신호의 극성이 변화된다.

전압리미터 블록이 정상 동작영역에서 동작하고 초기에 슈미트 트리거 출력 전압을 $X_2(V)$, 삼각파의 가장 낮은 피크 전압을 V_n 라 가정하면

$$V_e = V_c \cdot V_d = (K_b \cdot V_{in} + V_{free}) \cdot (K_c \cdot X_2) \text{ if } K_c = \frac{-1}{X_2}$$

$$= -(K_b \cdot V_{in} + V_{free}) \quad (2)$$

이다. continuous time domain에서 적분기 블록의 출력전압은 (3)식과 같다.

$$V_{out}(t) = -\frac{1}{\tau} \int V_e dt$$

$$= \frac{K_b \cdot V_{in} + V_{free}}{\tau} \cdot t + C \quad (3)$$

식에서 알 수 있듯이 적분기의 출력 전압은 시간에 따라 증가하고 $t = T/2$ 에서 적분기의 출력은 V_p 에 도달하게 된다.

$$V_{out} \left(\frac{T}{2} \right) - V_{out}(0) = V_p - V_n$$

$$= \frac{K_b \cdot V_{in} + V_{free}}{\tau} \cdot \frac{T}{2} \quad (4)$$

$$f_{out} = \frac{K_b}{2 \cdot (V_p - V_n) \cdot \tau} \cdot V_{in} + \frac{K_{free}}{2 \cdot (V_p - V_n) \cdot \tau} \text{ [Hz]}$$

$$= K_{vnor} \cdot V_{in} + f_0' \text{ [Hz]} \quad (5)$$

위의 식에서 전압제어 발진기의 출력주파수는 K_{vnor} 의 기울기를 가지는 입력전압에 선형비례함을 알 수 있다. 자유발진주파수 f_0' 는

$$f_0' = \frac{V_{free}}{2 \cdot V_p - V_n} \cdot \tau \text{ (Hz)} \quad (6)$$

이다.

실제 전압제어 발진기의 주파수 포화 특성을 매크로모델에서 실현하기 위한 VCO의 출력주파수를 다음과 같다.

$$f_{out} = \begin{cases} K_{vnor} \cdot V_{in} + f_0' & \text{when } V_{in} \leq V_x \\ K_{vsat} \cdot (V_{in} - V_x) + f_0 & \text{when } V_{in} > V_x \end{cases} \quad (7)$$

여기서 $f_0 = K_{vnor} \cdot V_x + f_0'$

포화 동작영역에서 출력 주파수는

$$f_{out} = K_{vsat} \cdot (V_{in} - V_x) + K_{vnor} \cdot V_x + f_0'$$

$$= K_{vsat} \cdot V_{in} + K_{vnor} \cdot \left(1 - \frac{K_{vsat}}{K_{vnor}} \right) \cdot V_x + f_0' \quad (8)$$

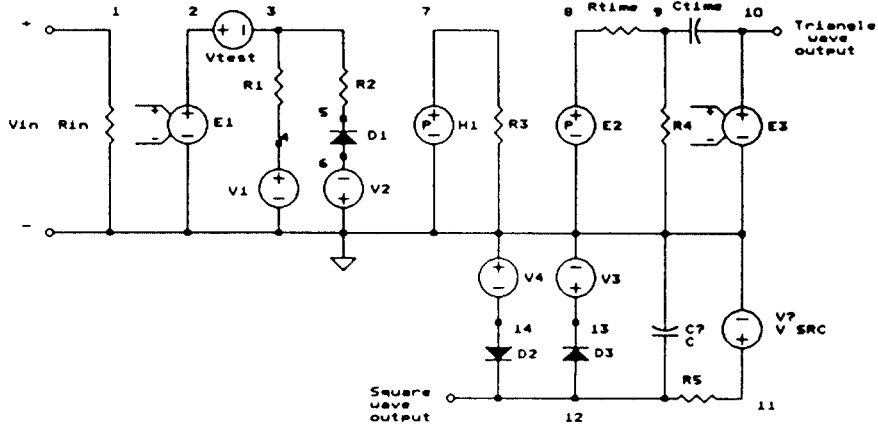


그림 4. 진압제이 발진기의 등가회로 매크로모델
 Fig. 4. An equivalent circuit structure macromodel of a VCO

포화영역에서 전압 리미터 블럭의 출력전압은 다음과 같으므로 두번째 기운기는 (9)식과 같다.

$$V_a = S_2 \cdot (V_m - V_x) + V_x$$

$$\therefore S_2 = \frac{K_{vsat}}{K_{Vlim}} \quad (9)$$

2.2.2 매크로모델 등가회로

2.2.1절의 기능 블럭도를 PSPICE 등가회로구조의 매크로모델로 전환하면 그림 4와 같다. 이 매크로모델은 입력단과 제개의 부매크로모델로 구현하였으며 출력은 기능단에서 구현할 수 있으므로 생략하였다.

III. PLL 매크로모델

모놀리틱 PLL 특성에 근거를 두고, 다음을 만족하도록 PLL 매크로모델의 등가회로를 설계하였다.¹⁾

- 1) PLL 매크로모델은 위상검출기와 진압제이 발진기의 기본적인 부매크로모델로 구성하였다.
- 2) PLL은 루프 필터를 삽입할 수 있도록 두개의 open 터미널을 두었다.
- 3) 매크로모델을 이용하여 unlock된 상태에서 lock이 된 상태나 그 반대의 상황도 예측이 할 수 있게 하였다.
- 4) capture range, lock range⁸⁾⁹⁾, lock-up time, overshoot, loop damping factor와 같은 주요 성능을

예상할 수 있다.

- 5) 정확하면서도 컴퓨터 실행시간을 줄일 수 있도록 간략해야 한다.

위의 조건을 만족하며 [1]의 매크로모델의 단점인 convergence 문제를 해결한 새로운 매크로모델을 3.2절에 제시하였다.

그림 5는 아날로그 PLL의 등가회로구조 매크로모델이다.

IV. 시뮬레이션 및 실험 결과의 분석

4.1 위상 검출기

표 1은 통신회로에서 주로 사용하는 LM565CN의 데이터 시트에서 구현 위상검출기의 전기적인 파라미터와 파라미터 산출식에 의해 구한 매크로모델 파라미터 값이다. 시뮬레이션은 가장 병용화 되어있는

표 1. 위상검출기 매크로모델에 사용된 실제 파라미터 값
 Table 1. Actual parameter values of PD macromodel

전기적인 파라미터	값
변환이득	0.66 V/rad
입력저항 I	1MΩ
입력저항 II	1MΩ
출력저항	1kΩ
입력신호	sin(2π · 2500t + 90°)
파이드백신호	10V의 2.5KHz 구형파

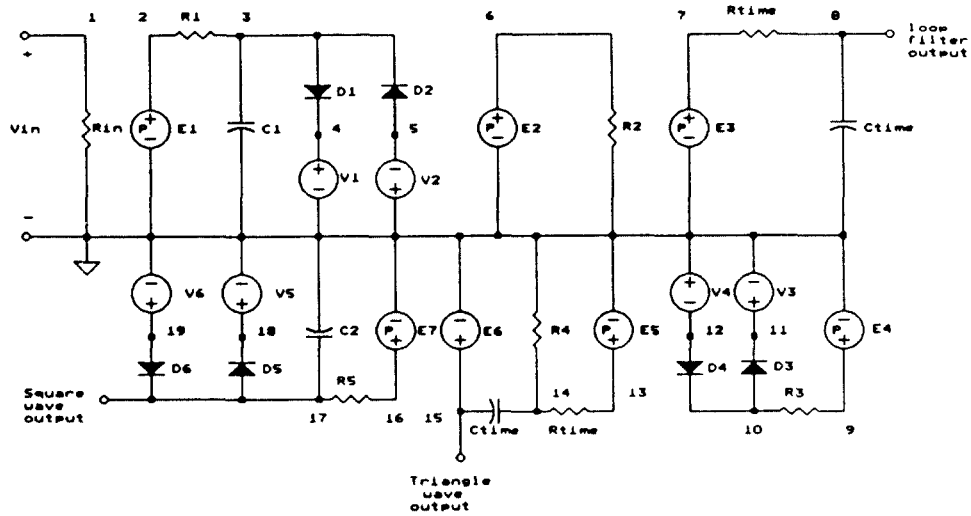


그림 5. PLL의 등가회로구조 매크로모델
Fig. 5. An equivalent structure macromodel for PLL

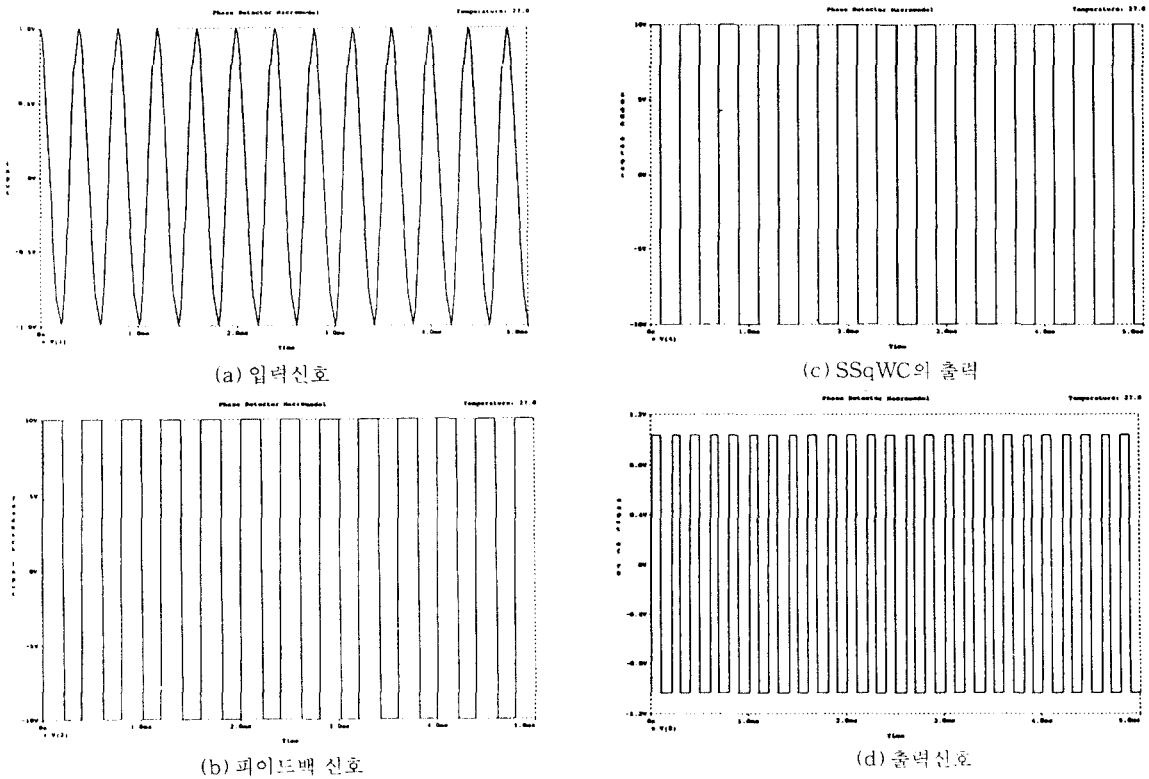


그림 7. 위상검출기 매크로모델의 PSPICE 시뮬레이션 결과
Fig. 7. PSPICE simulation results of PD macromodel

MicorSim사의 PSPICE 윈도우용 버전 5.3을 사용하였다.

4.2 전압제어 발전기

표 2. 전압제어 발전기 매크로모델에 사용된 실제 파라미터 값
Table 2. Actual parameter values of VCO macromodel

전기적인 파라미터	값
자유발진주파수	2500Hz
정상영역에서의 변화이득	1017Hz/V
포화영역에서의 변화이득	508.7Hz/V
입력 임계전압	10V
삼각파	1.2V
구형파의 크기	10V
입력 저항	1MΩ
타이밍 저항	12kΩ
타이밍 커패시터	10nF

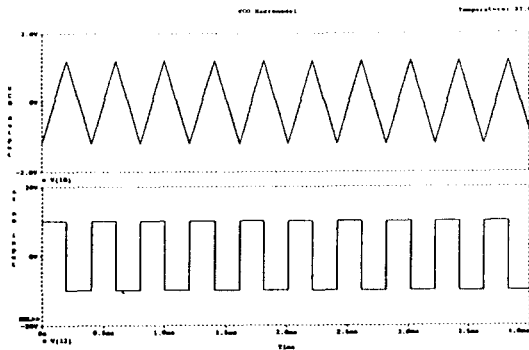


그림 8. 자유발진 상태에서의 VCO 매크로모델의 시뮬레이션 결과

Fig. 8. Simulation results of VCO macromodel in free running state

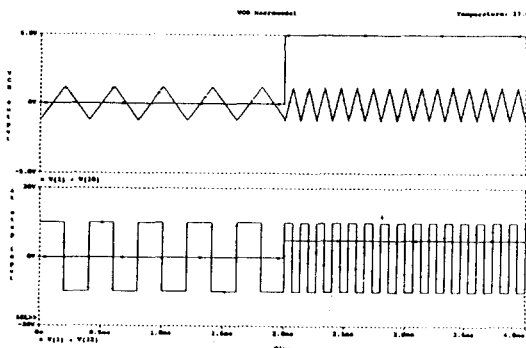


그림 9. 스텝 입력을 인가하였을 때의 VCO 매크로모델의 과도응답

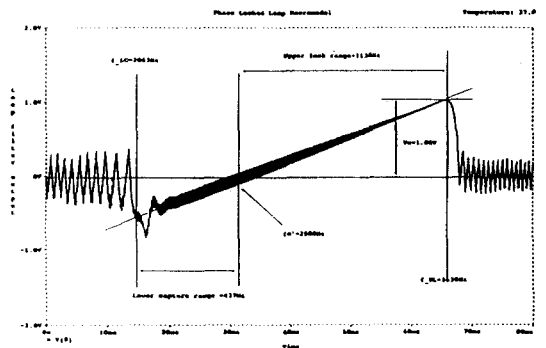
Fig. 9. Transient response of the VCO macromodel for a step of voltage input

4.3 위상동기루프

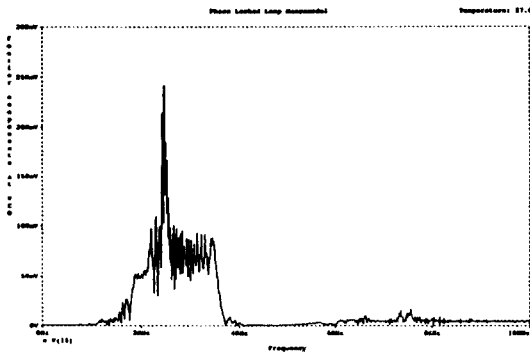
루프필터는 간단한 일차 RC 필터를 사용하였다. $R = 3.6K$, $C = 170nF$ 일때, 차단주파수는 $f_{c1} = \frac{1}{2\pi R_{low} C_{low}} = 260.1[Hz]$ 가 된다.

표 3. 시뮬레이션에 사용된 PLL 매크로모델 파라미터
Table 3. PLL macromodel parameters used in the simulation

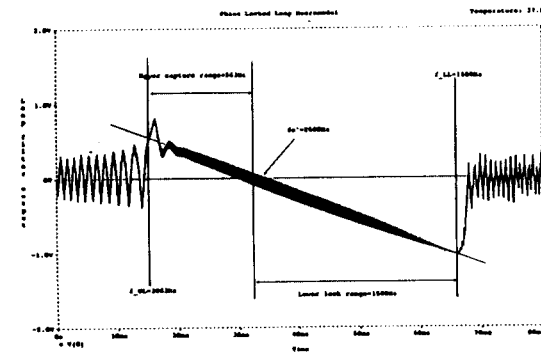
부호로	파라미터	값
위상검출기	A	1MEG
	B	1.0367E-2
루프필터	C	3.6K
	D	170nF
	E	1.44
	F	0.586
	G	10
전압제어 발전기	H	-0.1
	I	12k
	J	10nF
	K	0.12E7
	L	10



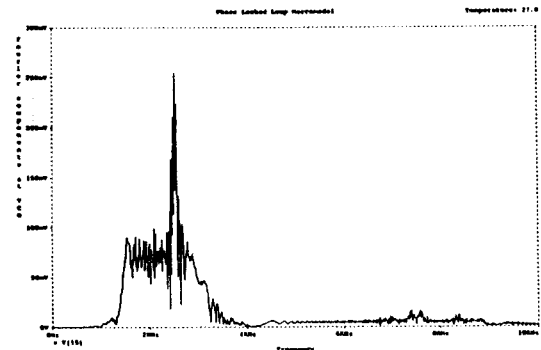
(a) $\Delta f_m / \Delta t = 31.25Hz/ms$ 일때 루프필터 출력



(b) $\Delta f_{in}/\Delta t = 31.25\text{Hz/m}$ 일때 주파수 스펙트럼



(c) $\Delta f_{in}/\Delta t = -31.25\text{Hz/ms}$ 일때 루프필터 출력



(d) $\Delta f_{in}/\Delta t = -31.25\text{Hz/ms}$ 일때 주파수 스펙트럼

그림 10. 램프 입력을 인가하였을 때 PLL의 과도해석 응답곡선
Fig. 10. Transient response of the PLL for a ramp of frequency input

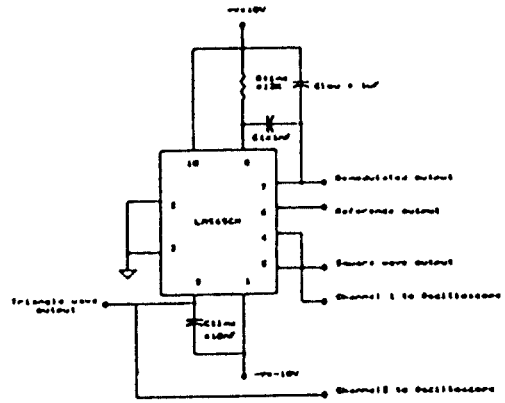


그림 11. 자유발전 주파수를 측정하기 위한 테스트 회로
Fig. 11. Test circuit for the measurement of the free-running frequency

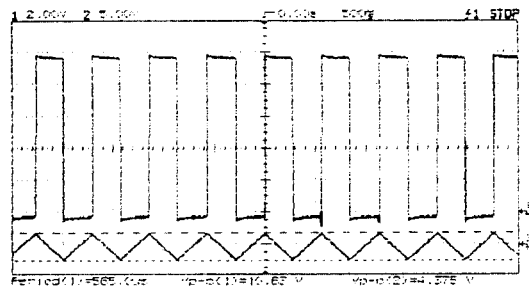


그림 12. 무입력시 LM565CN PLL의 실험결과
Fig. 12. Experimental result of LM565CN PLL for no input

V. 결 론

매크로모델링 기법을 이용하여 위상동기루프를 설계하였다. 위상동기루프 매크로모델을 설계하는데 있어 간략성과 정확성에 중점을 두었다. 시뮬레이터로는 가장 범용화된 MicroSim사의 PSPICE 원도우용 버전 5.3을 사용하였다.

위상동기루프 매크로모델은 부프로그램으로 위상 검출기와 전압제어 발진기를 사용하였고 루프 필터는 매크로모델의 유연성을 위하여 외부회로를 사용하였다. National사의 LM565CN의 데이터 시트와 매크로모델 구현 프로그램인 PLL.EXE를 사용하여 매크로모델을 생성한 후 시뮬레이션 한 결과 자유발전

주파수 2.5KHz인 위상동기부프의 upper lock range는 1138Hz, lower lock range는 1500Hz였으며 upper capture range는 437Hz, lower capture range는 563Hz였다. 또한 실제 위상동기부프를 LM565CN을 이용하여 구성한 다음 실제 측정된 데이터와 비교한 결과 일치하였다. 이는 매크로모델링이 매우 적합하게 이루어졌음을 보이는 것이다.

따라서 모델 및 FSK 변·복조기 등과 같은 복잡한 회로통에서 시스템의 성능을 분석, 또는 설계하고자 할 때 시간과 노력을 절감할 수 있으리라 본다.

참 고 문 헌

1. Connelly, J.A. and Choi, P., *Macromodeling with SPICE*. Prentice-Hall, 1992.
2. Peic, R.A., "Simple and Accurate Nonlinear Macromodel for Operational Amplifier," *IEEE Journal of Solid State Circuits*, vol.26, no.6, 1991.
3. Perez-Verdu, B., and Huertas, J.L., et al, "A Nonlinear Time-Domain Op Amp. Macromodel Using Threshold Functions and Digitally Controlled Network Elements," *IEEE J. solid state circuits*, vol.23, no.4, Aug. 1988.
4. Jung, W.G., "An LT1013 Op Amp Macromodel," *Linear Technology Design Note No.13*, July 1988.
5. Boyle, G.R., et. al, "Macromodeling of Integrated Circuit Operational Amplifiers," *IEEE J.*

- solid state circuits*, vol.SC-14, pp. 1083-1087, Dec. 1979.
6. Allen, P.E. et. al, "Frequency Domain Analysis for Operational Amplifiers Macromodels," *IEEE Trans. Circuits Syst.*, vol.CAS-26, pp. 693-699, Sep. 1979.
7. Glesner, M. and Weisang, C., "Computer Aided Macromodeling of Intergrated Circuit Operational Amplifiers," in *Proc. IEEE 1976 Int. Symp. Circuits Syst.*, vol.CAS-21, pp. 255-258, 1976.
8. Best, R.E., *Phase-Locked Loops Theory, Design, and Applications*. New York, McGraw-Hill, 1984.
9. Wolaver, D.H., *Phase-Locked Loop Circuit Design*. Englewood Cliffs, Prentice-Hall, 1991.
10. 이창근, PLL을 이용한 3상 Firing Angle Controller에 관한 연구, 동국대학교, 1987.
11. 송원석, PLL을 이용한 VHF대 합성기의 주파수 조정에 관한 연구, 한양대학교, 1987.
12. 김경원, 김학선, 이형재, 홍신남, "SPICE에 이용되는 연산증폭기 매크로모델에 관한 연구," *한국통신학회 93년 하계종합학술발표집*, pp. 491-495, 1993년 7월.
13. 김경원, 김학선, 이형재, 홍신남, "PSPICE에 사용되는 PLL 매크로모델에 관한 연구," *대한전자공학회 회로 및 시스템 연구회 추계발표집*, 1993년 10월.



金慶月(Kyung Wol Kim) 정회원
 1970년 12월 24일생
 1992년 2월 : 한국항공대학 전자공학과 졸업(공학사)
 1994년 2월 : 한국항공대학 대학원 전자공학과 졸업(공학석사)
 1994년 ~ 현재 : 금성중앙연구소 연구원

金學善(Hak Sun Kim) 정회원
 1959년 6월 3일생
 1986년 2월 : 한국항공대학 전자공학과 졸업 (공학사)
 1990년 2월 : 한국항공대학 대학원 전자공학과 졸업 (공학석사)
 1993년 8월 : 한국항공대학 대학원 전자공학과 졸업 (공학박사)
 1993년 ~ 현재 : 대전산업대학 통신정보공학과 전임강사



洪 信 男(Shin Nam Hong)정회원

1953년 12월 17일생

1979년 2월 : 한양대학교 전자공학과 공학사

1984년 12월 : 미국 North Carolina 주립대 전기공학과 석사

1989년 8월 : 미국 North Carolina 주립대 전기공학과 박사

1989년 9월 ~ 1993년 9월 : 한국항공대학교 항공전자공학과 조교수

1993년 10월 ~ 현재 : 한국항공대학교 항공전자공학과 부교수

※주관심분야 : 반도체 공정, 반도체소자 모델링

李 亨 宰(Hyung Jae Lee)

한국통신학회 92년 8월 참조

현재 : 한국항공대학교 총장

정회원