

U-인터페이스 아날로그 칩의 설계

正會員 裴政烈*, 宋圭相*, 宋元哲*, 郭銘信*

The Design of an Analog Front End for U-interface Chip

Jung-Ryul Bae*, Q-Sang Song*, Won-Chul Song*, Myung-Shin Kwak* Regular Members

要 約

본 논문은 ISDN 시스템의 NT(Network Termination) 및 교환기에 사용되는 U-인터페이스 칩의 AFE(Analog front-end)인 U-인터페이스 아날로그 칩의 설계에 대하여 기술하였다. U-인터페이스 아날로그 칩은 A/D 변환기와 D/A 변환기로 구성되어 있다. A/D 변환기는 11-비트의 해상도와 65dB의 신호대 잡음비를 갖도록 2차 시그마-델타 A/D 변환기로 구현하였으며 하이브리드 회로에서 입력되는 아날로그 신호를 15.36MHz로 변조하여 1-비트의 PDM(Pulse Density Modulation) 디지털 신호로 변환하는 기능을 한다.

D/A 변환기는 65dB의 신호대 잡음비를 갖도록 펄스 셰이핑 D/A 변환기로 구현하였으며 디지털 칩으로부터 입력되는 quaternary 형태의 디지털 신호를 4-레벨의 아날로그 신호로 변환하는 기능을 한다. 설계된 회로는 2 μ m 설계규칙의 n-well CMOS 기술로 구현하였으며 칩의 크기는 6.205 X 3.814 mm²이고 소비전력은 약 150mW이다.

ABSTRACT

This paper presents a design of U-interface analog chip which can be used in a NT(Network Termination) and exchange of ISDN system. The U-interface analog chip consists mainly of A/D and D/A converter. The A/D converter adopted a 2nd order sigma-delta A/D conversion technique to achieve 11-bit resolution and 65dB S/N ratio. The analog input signal from hybrid circuit is modulated at a frequency of 15.36MHz and is converted to 1-bit PDM(Pulse Density Modulation) digital signal.

The D/A converter adopt a pulse shaping D/A converter to achieve 65dB S/N ratio. The quaternary digital input signal is converted to 4-level analog signal.

* 한국전자통신연구소
Electronics and Telecommunications Research
Institute
論文番號 : 94363-1216
接受日字 : 1994年 12月 16日

The chip is implemented with 2 μ m N-well CMOS technology and its size is 6.205 x 3.814 mm². The power dissipation is about 150mW under 5V power supply.

I. 서론

ISDN은 음성 및 비음성을 포함한 광범위한 서비스가 가능하도록 end-to-end 디지털 접속로를 제공해주는 통신망이며 사용자는 표준 다목적 사용자/망 인터페이스의 제한된 셀을 통해서 액세스가 가능하도록 하는 통신망이다. ISDN 시스템의 기본구조는 그림 1.1과 같다.

U-인터페이스 칩은 그림 1.1에서와 같이 ISDN 시스템에서 NT(Network Termination)와 교환기 사이에서 데이터를 주고 받을 때 사용되는 칩으로써 2선 선로를 통해 2B+D 데이터를 전이중 방식으로 전송한다. 이 때 효과적인 전송을 위해 데이터를 코딩하게 되는데 본 연구에서는 국내 표준방식인 2B1Q 코드를 채용한 칩을 설계하였다. 이 코드를 사용하게 되면 데이터의 전송 주파수가 절반으로 감소하게 되어 전송거리가 크게 증가한다. 그러나 신호에 약간의 직류성분이 포함되는 것이 단점으로 지적되고 있다.

U-인터페이스 칩은 세계적으로는 Siemens, Mitel, National Semiconductor 및 AT&T에서 개발이 되어 사용중에 있으나, ISDN 기능이 계속적으로 보완됨에 따라 새로운 기능을 삽입하는등 개량개발을 하고 있는 상태이다.

본 논문에서 기술하고자 하는 U-인터페이스 아날로그

칩은 U-인터페이스 칩의 AFE(Analog Front End)로써 에코신호의 제거 과정에서 아날로그 회로에서 발생되는 비선형성은 보상할 수 없기 때문에 65dB 이상의 높은 선형성을 가져야 한다.

그림 1.2는 U-인터페이스 아날로그 칩의 블록 다이어그램으로써 크게 시그마-델타 A/D 변환기, 펄스 웨이핑 D/A 변환기, 라인 드라이버 및 웨이크-업 탐지 회로로 구성되어 있다.

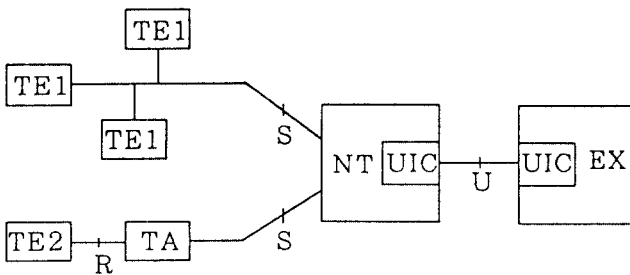
본 논문의 구성은 다음과 같이 되어 있다.

II장에서는 회로설계에 대하여 기술하였고, III장에서는 레이아웃설계에 대하여 기술하였으며, IV장에서는 시험결과를 도시하였고, 마지막으로 V장에서 결론을 맺었다.

II. 칩의 회로설계

1. A/D 변환기

A/D 변환기는 하이브리드 회로에서 입력되는 아날로그 수신신호를 디지털 데이터로 변환하는 기능을 한다. 이 때 비트 에러 레이트가 10⁻⁷이 되기 위해서는 20dB 이상의 신호대 잡음비가 필요한 것으로 알려져 있다. 수신신호는 케이블에서 45dB가 감쇄되고 에코는 하이브리드 회로에서 10dB가 감쇄되므로 신



TE1 : ISDN용 Terminal Equipment
 TE2 : 비 ISDN용 Terminal Equipment
 TA : Terminal Adapter
 NT : Network Termination
 EX : Exchange
 UIC : U-interface IC

그림 1.1. ISDN 시스템의 기본구조.
 Fig. 1.1. Basic structure of ISDN system.

호대 에코비는 -35dB가 된다. 여기에 10dB의 세이프티 마진을 고려하면 전체의 신호대 잡음비는 65dB(20dB+35dB+10dB)이상이 되어야 한다.

이와 같은 11-비트(65dB) 이상의 고해상도를 작은 면적에 간단한 회로로 구현하기 위해서 시그마-델타 A/D 변환기를 선택하였다.

1) 시그마-델타 변조기의 원리

먼저 시그마-델타 변조기의 원리를 설명한 후 본 칩의 동작을 설명하기로 한다.

시그마-델타 변조기의 기본회로는 그림 2.1과 같다.

커패시터 C는 입력 전류 소스 I_{in} 및 기준전류 I를 적분하며 비교기는 커패시터의 전압과 기준전압을 비교한다. 클럭 f와 FF로 이루어진 콘트롤 루프는 스위치 S의 위치를 결정하는데 커패시터의 평균전하가 0이 되는 방향으로 스위치가 동작된다. 즉 커패시터의 전압이 기준전압보다 크면 스위치 S는 2에 붙어 커패시터의 전하를 방전시키고 커패시터의 전압이 기준전압보다 작으

면 스위치 S는 1에 붙어 커패시터에 전하를 충전시킨다.

입력 신호가 없으면 전하를 충전시키는 up 펄스와 전하를 방전시키는 down 펄스의 수가 같아져 그림 2.1에서와 같이 DATA로 1과 0가 한 클럭씩 교대로 반복하여 출력된다. 입력 신호가 가해지면 up 펄스와 down 펄스의 수가 다르게 나타나는데 이 펄스 수의 차는 아날로그 입력 신호에 비례하여 식 2.1과 같이 나타난다.⁽¹⁾

$$\frac{I_{in}}{I} = \frac{n(up)-n(down)}{n(up)+n(down)} \quad (2.1)$$

이와같이 시그마-델타 변조기의 펄스 출력은 입력 신호에 비례한 펄스의 수로 나타나게 되는데 다음에 2차 변환기의 관계식을 통해서 좀 더 자세히 살펴보기로 한다.

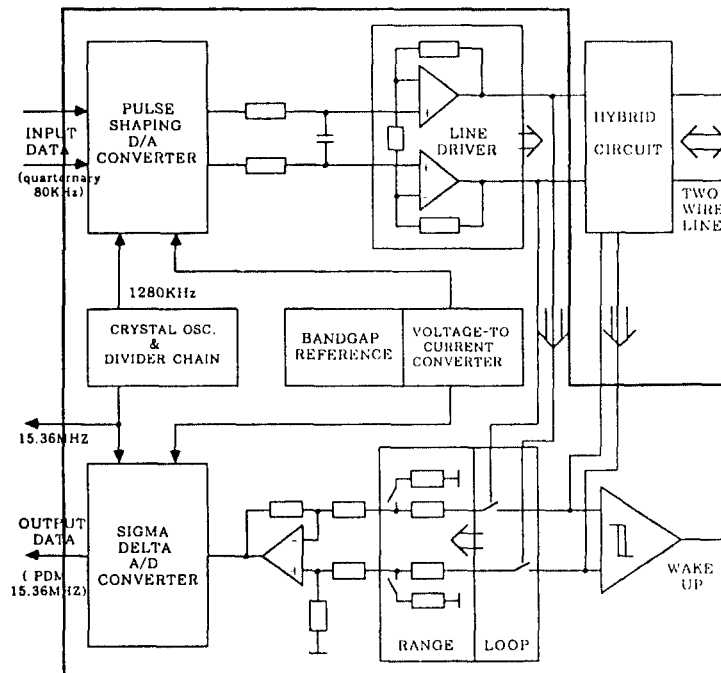


그림 1.2. U-인터페이스 아날로그 칩의 블록 다이어그램.
Fig. 1.2. Block diagram of U-interface analog chip.

2) 2차 시그마-델타 A/D 변환기

본 U-인터페이스 칩에서는 15.36MHz 클럭을 사용하며, 입력되는 아날로그 신호의 샘플링 주파수는 최대 80KHz이다. 1차 시그마-델타 A/D 변환기를 사용할 경우에는 샘플링 주파수가 2배가 될 때마다 신호대 잡음비가 9dB 개선되고 최종 SNR은 $9.03L - 5.17$ 이 된다. 여기서 L 은 oversampling ratio이다. 15.36MHz 클럭으로 샘플링을 하게 되면 $L = \log_2(15.36M/80K) = 7.585$ 이므로 신호대 잡음비는 63.3dB가 되어 필요한 신호대 잡음비 65dB를 만족시키지 못한다. 한편 2차 시그마-델타 A/D 변환기를 사용할 경우 샘플링 주파수가 2배가 될 때마다 신호대 잡음비는 15dB($15.05L - 12.90$) 개선되어 15.36MHz 클럭으로 샘플링을 하게 되면 L 이 7.585이므로 신호대 잡음비는 101.25dB가 되어 필요한 신호대 잡음비인 65dB를 충분히 만족시킨다. 따라서 본 칩에서는 2차 시그마-델타 A/D 변환기를 채택하였다.

2차 시그마-델타 A/D 변환기는 그림 2.2와 같이 2

개의 적분기, 2개의 1-비트 DAC 및 1개의 1-비트 비교기(ADC)로 구성된다. 이 변환기의 클럭 주파수는 15.36MHz이며 15.36MHz마다 1-비트의 PDM 디지털 데이터가 출력되며 이 후 디지털 칩의 저역통과 데시메이션 필터를 통과하면 원하는 11-비트 디지털 출력을 얻게 된다.

이 A/D 변환기의 주요 잡음은 1-비트 ADC의 양자화잡음이다. 이 잡음을 제거하기 위해서 디지털 LPF(Low Pass Filter)를 사용한다. 나이퀴스트 샘플링을 하면 기저대역 내에서의 잡음은 크다. 이를 나이퀴스트 주파수보다 매우 높은 주파수인 f_s 로 오버 샘플링하면 잡음의 전체양은 같기 때문에 기저대역 내에서의 잡음의 크기는 아주 작은 양으로 줄어들게 된다. 그리고 시그마-델타 방식에 의한 노이즈 셰이핑 샘플러에서의 잡음은 고역통과 특성을 갖기 때문에 기저대역 내에서의 잡음은 더 줄어들게 된다. 이를 그림 2.3에서 잘 나타내고 있다. 또한 이 잡음은 디지털 칩의 데시메이션 필터에서 저역통과 필터링 됨으로써 더욱 더 줄어들게 된

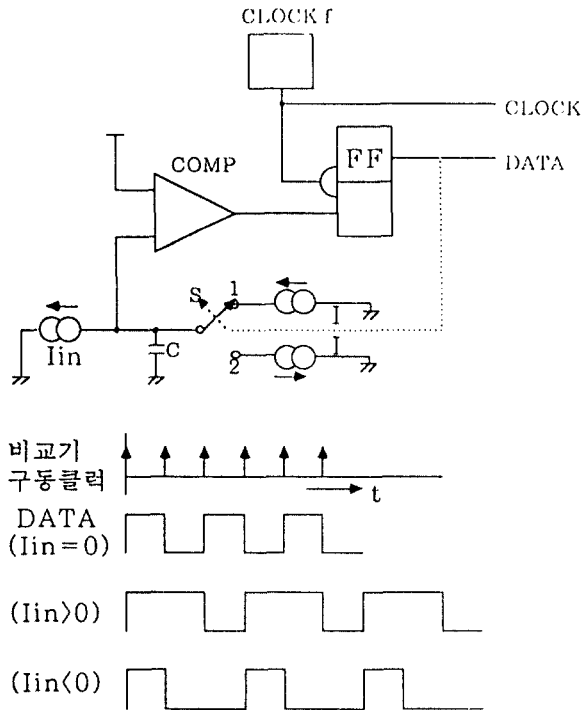


그림 2.1 시그마-델타 변조기의 기본회로.
Fig. 2.1 Basic circuit of sigma-delta modulator.

다.⁽²⁾

그림 2.4는 2차 시그마-델타 A/D 변환기의 전달함수 및 특성을 알아보기 위해 간단하게 그린 블록도이다.

그림 2.4의 블록도로부터 신호 및 잡음의 전달함수를 구하면 식 (2.2), (2.3)과 같이 표현된다. 이 식으로부

터 신호에 대한 전달특성은 저역필터 특성을, 잡음에 대한 전달특성은 고역필터 특성을 가짐을 알 수 있다. 이로부터 신호 대 잡음비(SNR : Signal to Noise Ratio)를 계산할 수 있는데 일반적으로 식 (2.4)와 같이 유도된다.⁽³⁾ 본 회로에서의 L은 $7.585(=\log_2 192)$ 이

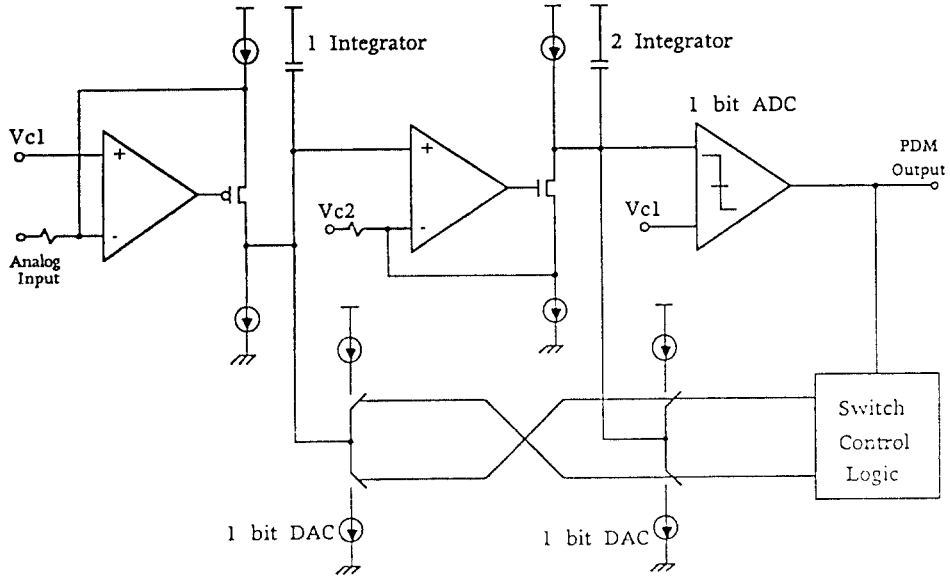


그림 2.2. 2차 시그마-델타 A/D 변환기.
Fig. 2.2. 2nd order sigma-delta A/D Converter.

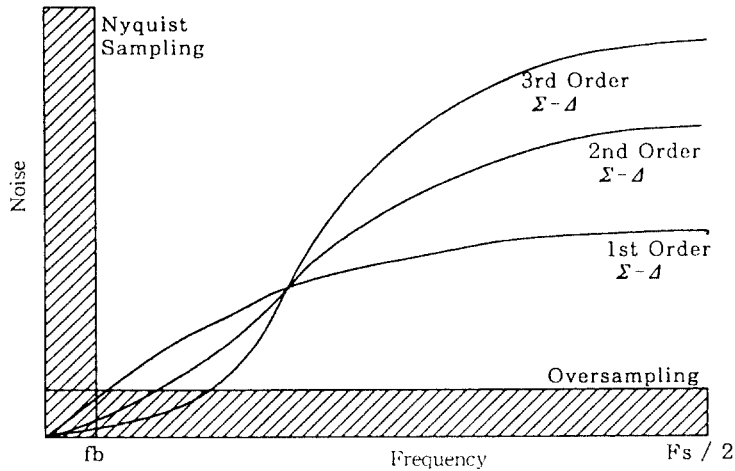


그림 2.3. 시그마-델타 노이즈 셰이퍼의 특성.
Fig. 2.3. The characteristics of sigma-delta noise shapers.

므로 이론상으로는 최대 101.25dB 즉 16.5비트까지의 신호대 잡음비를 나타낼 수 있다. 그러나 제조되는 각 소자는 이상적인 특성을 가지지 못하므로 실제 신호대 잡음비는 최대성능에 비하여 상당히 저하되어 나타난다. 본 칩의 요구 신호대 잡음비는 65dB이다.

$$H(s) = \frac{V_o}{V_i} = \frac{1}{C_1 C_2 R_1 R_2} \times \frac{1}{s^2 + \frac{a_2}{C_2} s - \frac{a_1}{C_1 C_2 R_2}} \quad (2.2)$$

$$H_N(s) = \frac{V_o}{V_n} = \frac{s^2}{s^2 + \frac{a_2}{C_2} s - \frac{a_1}{C_1 C_2 R_2}} \quad (2.3)$$

$$SNR_{max}(dB) = 15.05L - 12.90, \quad L : \text{oversampling ratio} \quad (2.4)$$

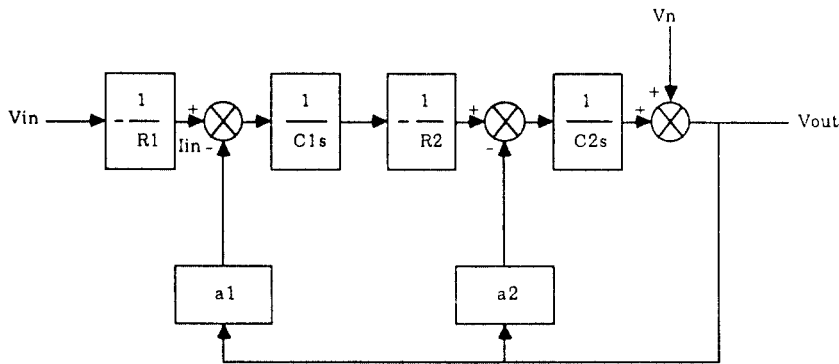


그림 2.4. 간단화한 A/D 변환기의 블럭도.
Fig. 2.4. Simplified block diagram of A/D converter.

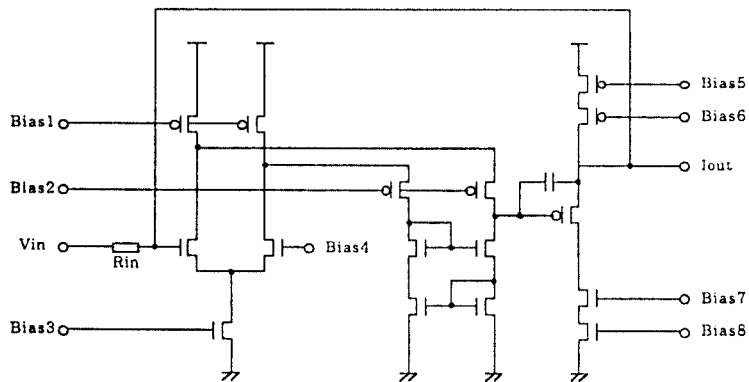


그림 2.5. OTA 회로.
Fig. 2.5. Circuit schematic of operational transconductance amplifier.

3) 기본 회로

그림 2.4의 기능을 구현하기 위해 다음과 같은 회로로서 실현하였다.

(1) 적분기용 OTA

(Operational Transconductance Amplifier)

적분기의 선형성 및 신호대 잡음비는 시그마-델타 모듈레이터의 특성을 좌우하는 매우 중요한 것이며 적분기

의 선형성은 70dB이상으로 충분히 높아야 한다. 이를 위해 folded cascode 형태의 OTA를 사용하였으며 회로는 그림 2.5와 같다.

구조는 고이득 OP Amp와 저항을 이용하였다. 입력 전압은 입력저항을 거치면서 입력전류로 바뀌고 이 전류는 출력 트랜지스터에 흐르게 된다. 즉 출력 트랜지스터에 흐르는 전류는 입력전압의 함수로 모델레이션 된다. 여기서 출력단의 바이아스 전류는 낮은 하모닉 왜곡을

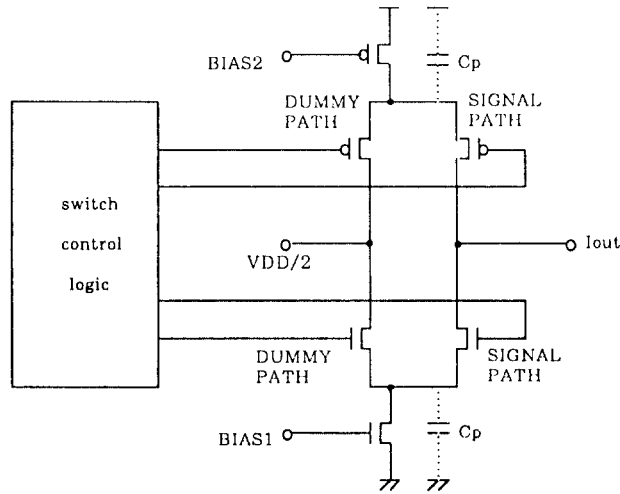


그림 2.6. 1-비트 DAC 회로.
Fig. 2.6. Circuit schematic of 1-bit DAC.

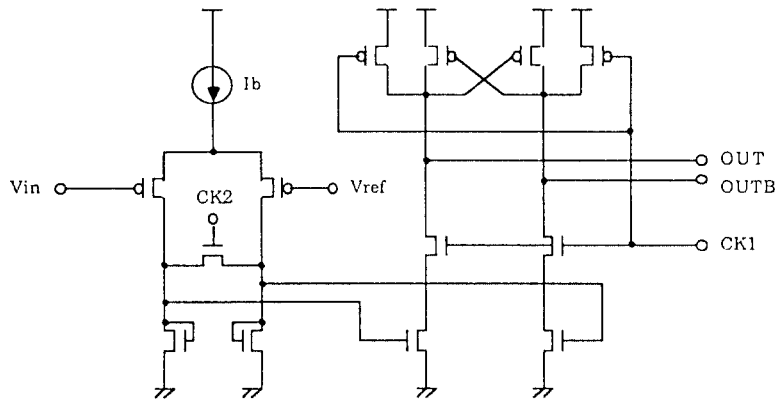


그림 2.7. 비교기 회로
Fig. 2.7. Circuit schematic of comparator.

유지하기 위해 최대 출력 전류보다 커야 한다.

(2) 1-비트 DAC

1-비트 DAC는 출력 PDM 값에 따라 이를 정확히 아날로그 전류로 바꾸어 주는 기능을 하는 것이며, 이를 위해 같은 값을 가지는 두개의 전류 소스를 만들고 이를 스위치로 on, off 시킴으로써 동작하게 된다.

DAC의 선형성과 신호대 잡음비는 시그마-델타 모듈레이터의 특성보다 더 우수해야 한다. DAC에 있어서 기생 커패시터는 빠른 전류변화를 제한하며 적분기의 커패시터에 있어서 전하 손실의 한 원인이 된다. 이를 방지하기 위해 그림 2.6과 같은 차동구조의 DAC를 채택하였다. 여기서 전류원은 cascode 형태로, 포화영역에서 동작하여 충분한 선형성(55dB 이상)을 갖게 하였고, 차동구조를 채택한 dummy path를 둠으로써 기생 커패시터에 가능한 한 일정전압을 유지하여 스위치가 on/off 되는 과도기에서 기생 커패시터가 충, 방전함에 의한 출력의 오류를 감소시켰다.

(3) 비교기(1-비트 ADC)

비교기는 15.36MHz로 동작되기 때문에 정확한 동작

과 반응시간이 중요하다. 그림 2.7은 본 칩에서 사용한 차동 스테이지로 구성된 비교기이다. 이는 정상동작시 래치의 양방향 제한에 의해 입력에 조금의 차이만 있어도 디지털 출력이 곧 바로 나타나게 하고 kick-back 효과를 없애기 위한 구조로 설계하였다.

4) SPICE 시뮬레이션

그림 2.8은 입력에 75%의 진폭을 갖는 40KHz 정현파를 인가했을 때의 A/D 변환기의 출력파형(PDM)을 SPICE 시뮬레이션한 것이다.

그림 2.8에 나타나는 바와 같이 입력이 0 근처에서는 1과 0의 펄스수가 거의 비슷하게 나타나고 입력이 +이면 1 펄스의 수가 많고 0 펄스의 수가 적어진다. 또한 입력이 -이면 1 펄스의 수는 적어지고 0 펄스의 수가 많아짐을 알 수 있다. 그림 2.9는 PDM 출력과 LPF를 통과시킨 PDM 파형을 시뮬레이션 한 후 DFT(Discrete Fourier Transform) 한 파형으로 시그마-델타방식에 의한 잡음 셰이핑 효과를 보여주고 있다. 입력 신호 밴드에서 잡음이 80dB 이하로 내려가

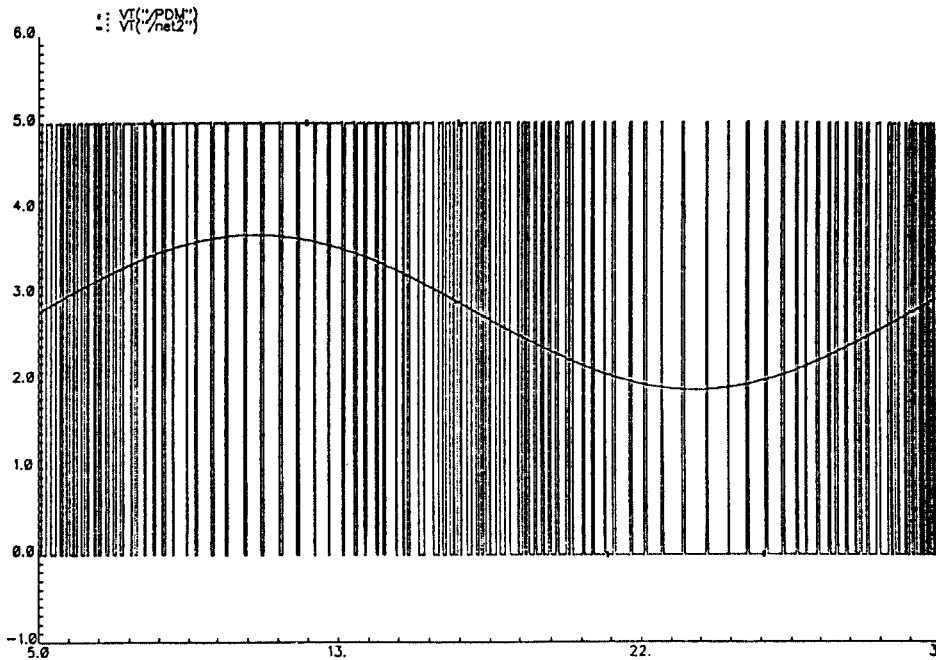


그림 2.8. A/D 변환기의 SPICE 시뮬레이션 출력파형.
Fig. 2.8. SPICE simulation output waveform of ADC.

지 않는 것은 시뮬레이터의 resolution limit라고 추정된다.

2. 펄스 셰이핑 D/A 변환기

D/A 변환기는 디지털 칩으로부터 입력되는 디지털 신호를 아날로그 송신신호로 변환하는 기능을 한다. 이때 디지털 신호는 DAC를 거치면서 자체 잡음이 발생하는데 이 잡음은 송신신호에 실려 송신된다. 이 송신신호는 케이블에서 45dB가 감쇄되고 비트 에러 레이트가 10^{-7} 이 되기위해서 20dB의 신호대 잡음비가 필요하다. 이 두가지를 함께 고려하면 DAC의 신호대 잡음비는 65dB 이상이 되어야 함을 알 수 있다.

1) 펄스 셰이핑 D/A 변환기

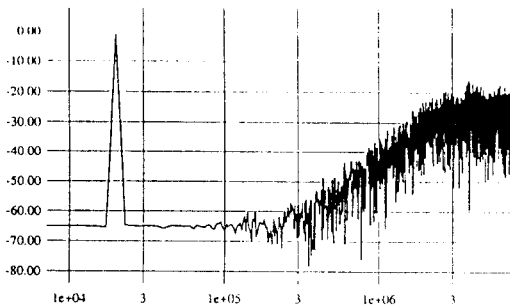
고해상도의 DAC를 구현하기 위해서 70dB이상의 이득을 갖는 dual OP Amp와 그림 2.10과 같은 switched-capacitor 회로로 이루어진 펄스 셰이핑 D/A 변환기를 채택하였다. 이 switched-capacitor 회로의 스위칭은 두 개의 페이즈로 이루어지며, ph2에서 전하가 커패시터 C에 충전되고 ph1에서 전하가 C1과 Cf 사이에서 재분배되어 출력된다. 이 때의 출력 전압은 커패시터 C와 Cf의 비에 의해 식 (2.5)와 같이 표현된다.

$$V_{out} = \frac{C}{C_f} V_{in} \quad (2.5)$$

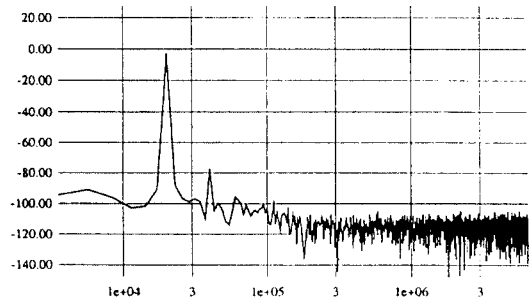
실제로 switched-capacitor 회로를 이용해 구성된 펄스 셰이핑 D/A 변환기의 구조는 그림 2.11과 같다.

펄스 셰이핑 D/A 변환기의 심볼 레이트는 80Kbaud이며 differential OP Amp인 V1은 증폭 및 summing 회로로 사용된다.

데이터로 +1의 싱글 펄스가 인가되면 병렬로 연결된 8개의 커패시터 어레이 C1, ..., C8과 dual OP Amp의 케환 루프에 있는 커패시터 Cf 사이에는 전하의 충전 및 재분배가 1280KHz의 클럭에 의해 차례 차례로 이루어진다. 즉 C1에서 C8까지의 커패시터를 시간 t1에서 t8까지 8회에 걸쳐 스위칭한다. 이 경우에 식 (2.5)로 표현된 출력전압은 8회에 걸쳐 변화하며 시간 t1에서는 C1/Cf, 시간 t2에서는 (C1+C2)/Cf, 그리고 마지막 스텝인 시간 t8에서는 (C1+ ... + C8)/Cf의 크기로 나타난다. 병렬로 연결된 8개의 커패시터의 크기가 같은 경우 펄스 셰이핑 D/A 변환기의 출력파형은 그림 2.12와 같다. 즉 t=0에서 수직으로 상승하는 펄스 대신 8개의 스텝으로 나누어져 상승하며 이후 8스텝동안 일정 전압을 유지하다가 8개의 스텝으로 나누어져 하강한다. 한 데이터의 주기는 80KHz, 즉 16 스텝이므로 계속해서 데이터가 들어오면 t=16에서 새로운 파형이 나타나 이후 24 스텝동안 계속된다. 이로인해 8 스텝 동안은 파형이 중복되어 나타나 이 두 파형의 합한 값이 출력파형으로 나타나게 된다. 이 출력파형은 LPF에 의하여 필터링 된 후 라인 드라이버를 거



(a)PDM 출력에 대한 DFT 결과 파형



(b)LPF를 거친 PDM 출력에 대한 DFT 결과 파형

그림 2.9. PDM 출력에 대한 DFT 결과 파형.
Fig. 2.9. The DFT waveform for PDM output.

쳐 출력된다.

2) Differential OP Amp

펄스 웨이핑 D/A 변환기가 65dB 이상의 선형성 및 신호 대 잡음비를 얻기 위해서는 그 이상의 우수한 특성을 갖는 dual OP Amp가 필요하다. 그림 2.13은 본 칩에서 사용한 차동입력 차동출력 신호를 갖는 dual OP Amp로 출력단이 캐스코드 형태로 구성되어 있어 대역폭이 넓고 로드 커패시터를 보상 커패시터로 사용하게 된다. 이 증폭기는 약 77dB의 직류이득과 10pF의 부하 커패시터시 약 83도의 위상 여유를 나타낸다. 또한 class AB급으로 구성되어 있어 소모전력을 줄일 수 있게 되어있다. 한편 common mode 전압은 커패시터

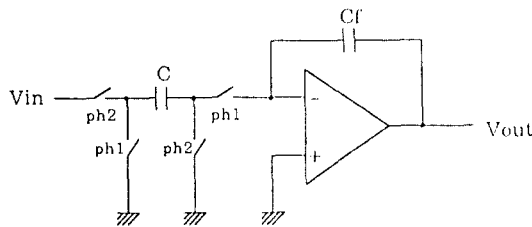


그림 2.10. Switched-capacitor 회로의 기본구조.
Fig. 2.10. Basic structure of switched-capacitor circuit.

의 조합회로로 검출하여 feedback을 걸어 안전동작을 보장해 준다.

3) SPICE 시뮬레이션

그림 2.14는 펄스 웨이핑 D/A 변환기 및 라인 드라이버의 SPICE 시뮬레이션 결과이다. 디지털 입력으로 +3, -3, +1, -1의 4가지 펄스를 반복하여 인가 하였을 때의 D/A 변환기 및 라인 드라이버의 출력파형을 도시 하였으며 원하는 규격을 만족함을 알 수 있다.

III. 레이아웃 설계

2 μ m N-well CMOS 설계규칙에 맞추어 레이아웃 설계를 하였다. 본 칩에 사용되어진 소자로는 NMOS Tr., PMOS Tr., NPN Tr., Diode, Well 저항, Poly2 저항 및 커패시터등이다.

커패시터의 경우 펄스 웨이핑 D/A 변환기에서 커패시터의 불균형에 의한 전체 회로의 왜곡을 방지하기 위해 C1에서 C8까지는 같은 면적의 단위 커패시터를 사용하고 Cf는 단위 면적의 커패시터 8개를 병렬로 사용하였다.

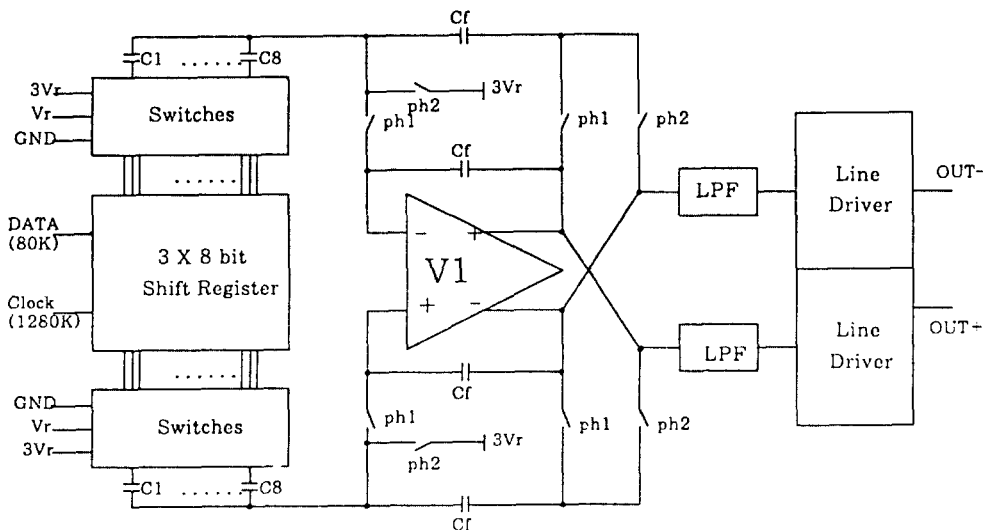


그림 2.11. 펄스 웨이핑 D/A 변환기.
Fig. 2.11. Pulse shaping D/A Converter.

저항의 경우 Poly저항과 Well 저항을 사용하였으며 Well 저항의 크기가 전압의 변화에 따라 달라지는 특성을 고려하여 입력 증폭기, 출력 증폭기와 같이 우수한 직선특성이 요구되는 곳에는 Poly2 저항을 사용하였다. 레이아웃 후 도면의 상태는 그림 3.1과 같다.

IV. 시험결과

1. ADC 시험결과

그림 4.1은 입력에 37.5KHz, 600mVpp sine 파형의 입력을 인가했을 때 출력 PDM 신호의 스펙트럼을 나타낸 것이다. 시뮬레이션 결과에 비해 2차 및 3차 하모닉 왜곡이 많이 나와 있으며 이는 현재 공정 결과 임계전압이 예상치인 0.7V보다 높은 0.92V가 되어 OP Amp의 스윙 범위가 적어서 나타난 것으로 보인다. 이 신호가 다시 디지털 LPF를 거쳐 최종적으로 11-비트를

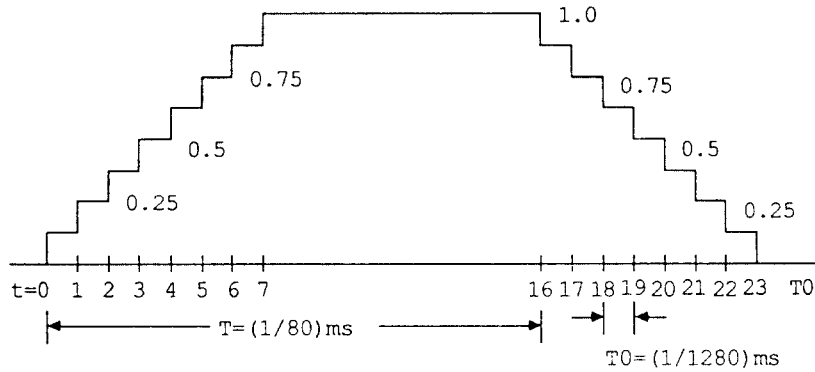


그림 2.12. 싱글 펄스에 대한 DAC의 출력파형.
Fig. 2.12. DAC output waveform for single pulse.

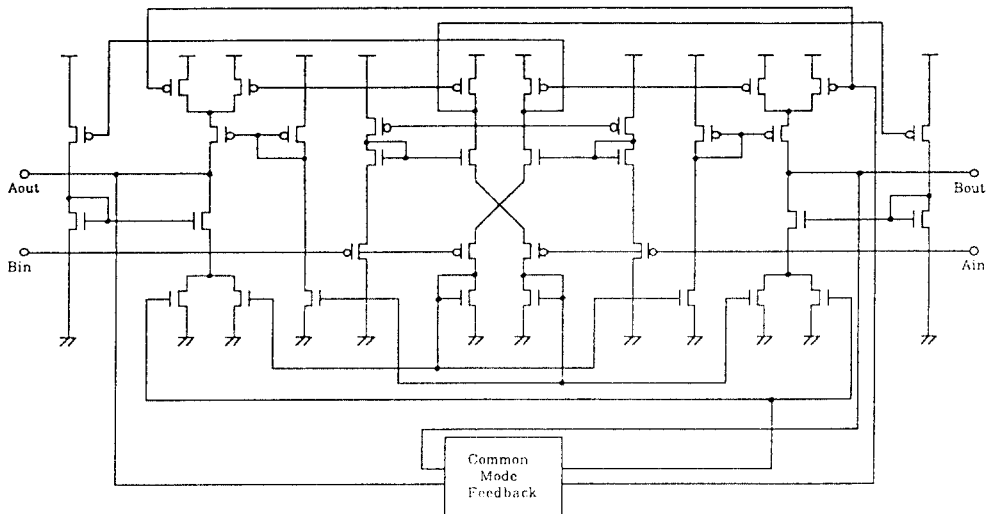


그림 2.13. Differential(Dual) OP Amp 회로.
Fig. 2.13. Circuit schematic of Differential(Dual) OP Amp.

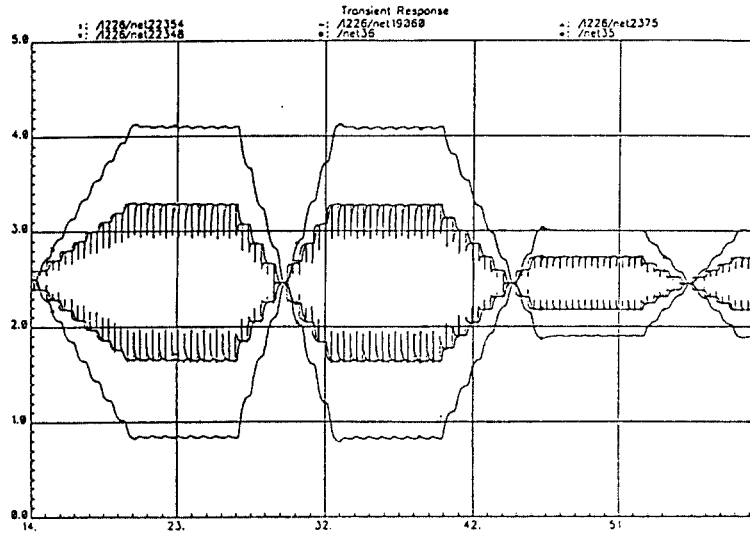


그림 2.14. D/A 변환기 및 라인 드라이버의 SPICE 시뮬레이션 출력파형
Fig. 2.14. SPICE simulation output waveform of DAC and line driver.

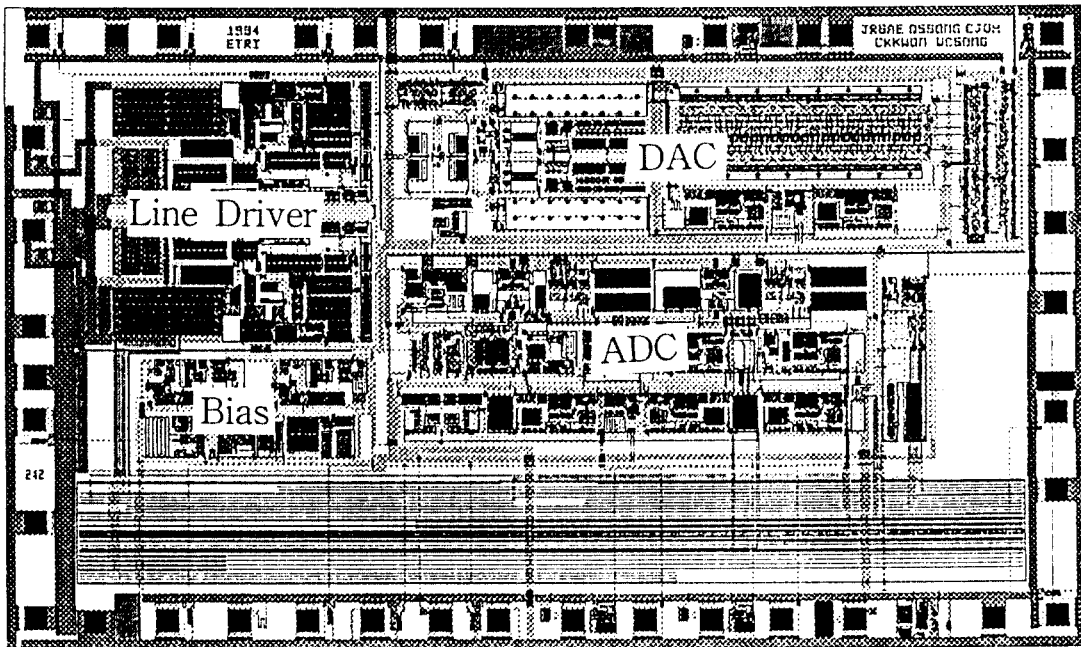


그림 3.1. 레이아웃 도면.
Fig. 3.1. Layout drawing.

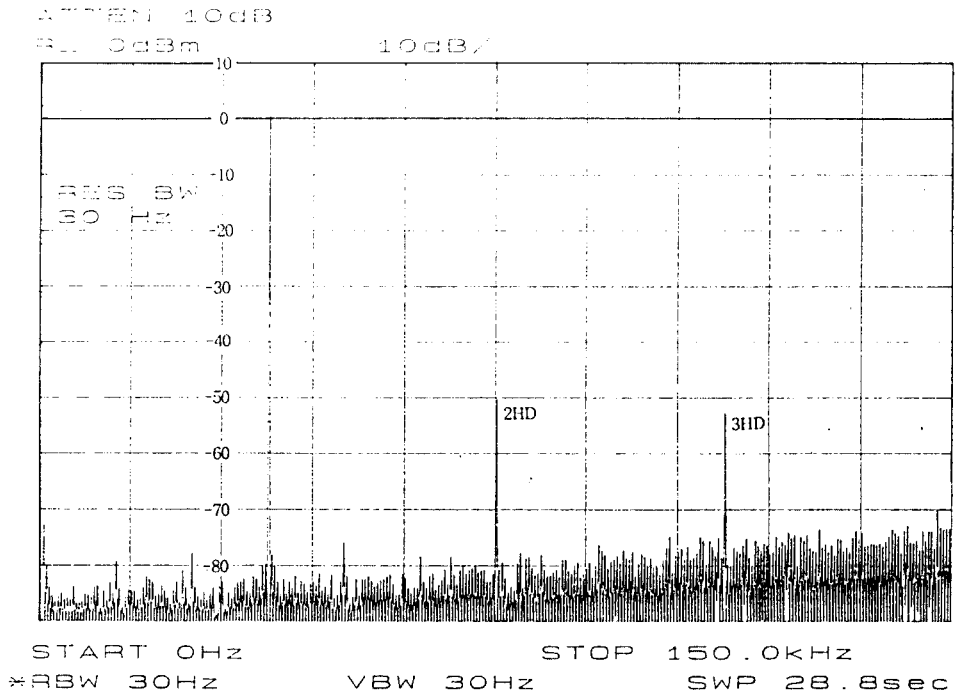


그림 4.1. PDM 출력신호의 스펙트럼 파형.
 Fig. 4.1. The spectrum waveform of PDM output signal.

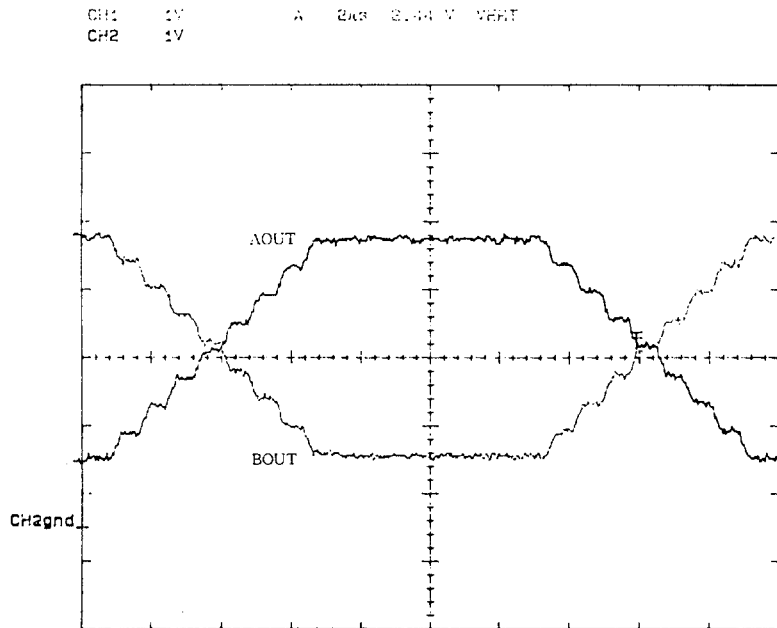


그림 4.2. DAC의 출력파형.
 Fig. 4.2. The output waveform of DAC.

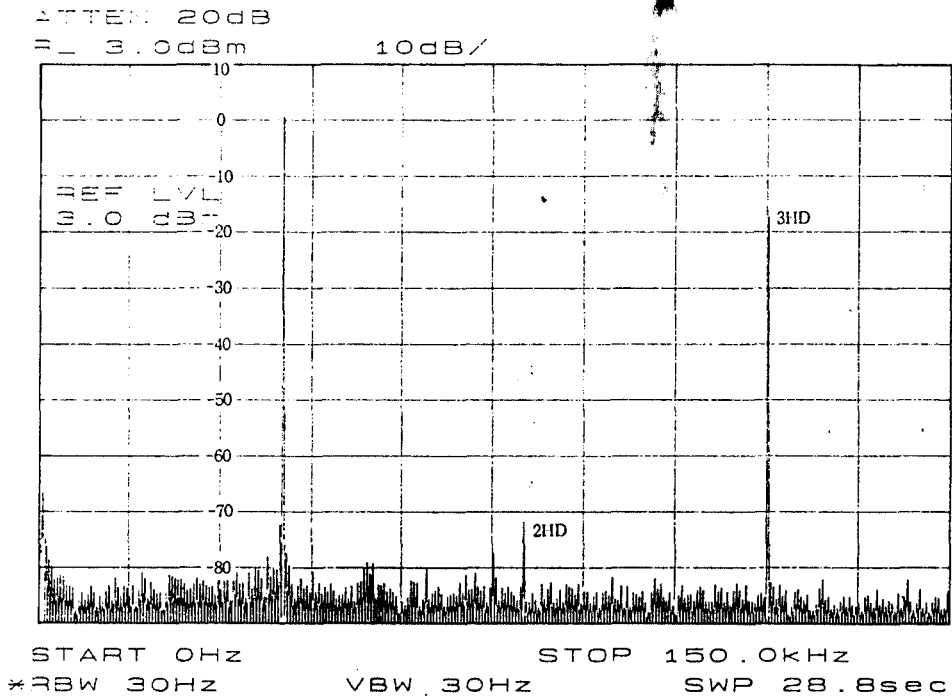


그림 4.3. DAC 출력신호의 스펙트럼 파형.
 Fig. 4.3. The spectrum waveform of DAC output signal.

출력하게 되는데 디지털 LPF의 전달함수는 식 (4.1)과 같다.

$$H(z) = \frac{1 - 2z^{-48} + 2z^{-144} - z^{-192}}{(1 - z^{-1})^3} \quad (4.1)$$

2. DAC 시험결과

그림 4.2는 +1, -1, +1, -1 입력에 대한 DAC의 출력파형이며 sine 파형과 유사한 모양을 보여주고 있다. 한편 그림 4.3은 DAC의 출력신호의 스펙트럼으로 3차 하모닉 왜곡이 크게 나타나는데 이는 파형구조상 impulse response가 trapezoidal인 파형의 경우 나타나는 것이며 실제 이 DAC 출력신호는 ADC의 입력 부분에 있는 anti-aliasing 필터에서 필터링하게 되어

있으며 보드 레이트 샘플링 하게 됨으로써 별 영향이 없다.

V. 결론

2B1Q 전송부호를 사용하는 U-인터페이스 아날로그 칩을 설계하였다. 본 칩은 2차 시그마-델타 A/D 변환기, 펄스 셰이핑 D/A 변환기, 라인 드라이버 및 웨이크-업 탐지회로로 구성되어 있다. ADC의 해상도는 11-비트, 신호대 잡음비는 71dB이며 변환속도는 15.36MHz이다. DAC의 신호대 잡음비는 65dB이며 변환속도는 1280KHz이다. 한편 전원전압 5V에서의 소비전류는 30mA이며 본 칩의 특징을 종합하면 다음과 같다.

- 칩의 특징
- U-인터페이스 기능

- 시그마-델타 ADC 기능 : 65dB SNR(11-비트)
- DAC 기능 : 65dB SNR
- 웨이크-업 기능
- 소비전력 : 150mW/5V
- 칩 크기 : 6.205 × 3.814 mm²

참고문헌

1. Rudy J. Van de Plassche, "A Sigma-Delta Modulator as an A/D Converter", IEEE Trans. Circuit and System, Vol. CAS-25, No. 7, pp. 510-514, July, 1978.
2. R. Koch, B. Heise, F. Eckbauer, E.

Engelhardt, J. a. Fisher, and F. Parzefall, "A 12-bit Sigma-Delta Analog-to-Digital Converter with a 15-MHz Clock rate", IEEE J. Solid-State Circuits, Vol. SC-21, No. 6, pp.1003-1010, Dec. 1986.

3. Max W. Hauser, "Principles of Oversampling A/D Converter", J. Audio Eng. Soc., Vol. 39, No. 1/2, pp. 3-26, January/February, 1991.
4. J. A. Fisher, and R. Koch, "A Highly Linear CMOS Buffer Amplifier", IEEE, J. Solid-State Circuits, Vol. SC-22, No. 3, pp.330-334, June 1987.



裵 政 烈(Jung Ryul Bac) 정희원

1957년 10월 31일생
 1980년 2월 : 한양대학교 전자공학과(학사)
 1982년 2월 : 한국과학기술원 전기 및 전자공학과(석사)

1982년 3월~현재 : 한국전자통신연구소 ASIC 설계연구실 선임연구원

*주관심 분야 : 아날로그 IC 설계, 통신용 IC 설계



宋 圭 相(Q Sang Song) 정희원

1961년 5월 5일생
 1983년 2월 : 전북대학교 전자공학과(학사)
 1993년 8월 : 전북대학교 전자공학과(석사)

1983년 3월~현재 : 한국전자통신연구소 시험기술실 선임연구원

*주관심 분야 : 아날로그 IC 설계, 테스트



宋 元 哲(Won Chul Song) 정희원

1955년 2월 9일생
 1977년 2월 : 서울대학교 전기공학과(학사)
 1980년 2월 : 한국과학기술원 전기 및 전자공학과(석사)

1981년 2월~현재 : 한국전자통신연구소 고속회로연구실 실장, 책임연구원

*주관심 분야 : 아날로그 IC설계, 통신용 IC 설계



郭 銘 信(Myung Shin Kwak)정희원

1952년 1월 2일생
 1977년 2월 : 인하대학교 전자공학과(학사)
 1990년 2월 : 한양대학교 전자계산학과(석사)
 1993년 2월 : 인하대학교 전자계산학과 박사과정 수료

1977년 2월~현재 : 한국전자통신연구소 ASIC 설계연구실 실장, 책임연구원

*주관심 분야 : 디지털 신호처리, ASIC 설계