

DS/SS BPSK 패킷통신 시스템의 구현에 관한 연구

正會員 徐昌錫***, 趙聖培*, 趙炳錄**, 崔炯辰*

A Study on the Implementation of DS/SS (Direct Sequence Spread Spectrum) Packet Communication System

Seo Chang Seok***, Cho Sung Bae*, Cho Byung Lok**, Choi Hyung Jin* Regular Members

要 約

본 논문에서는 직접 확산대역방식을 이용한 BPSK 패킷 통신시스템을 구현하고 모의실험을 수행하였다. PN 코드 동기포착 시스템은 간단하고 경제적인 single dwell serial search algorithm을 사용하였고 PN 코드 동기추적 시스템은 간단한 tau-dither loop을 사용하였다. 특히, PN 코드 동기포착 시스템은 PN 코드 동기포착의 알고리즘 종류에 따라 성능평가를 하였고 그 결과 double dwell serial search algorithm은 연속형 데이터 전송에 적합하고 single dwell serial search algorithm은 버스트형 데이터 전송에 적합하다는 사실을 알 수 있었다.

또한, SPW를 확산대역 알고리즘의 확인, 구현된 하드웨어의 성능 예측 및 검증용으로 이용하였고 그 수행결과를 계속적으로 하드웨어의 구현에 반영함으로써 하드웨어의 신뢰도를 높였다.

ABSTRACT

In this paper, the BPSK packet communication system using a direct sequence spread spectrum is implemented and simulated. A simple and economical single dwell serial search algorithm is used for a PN code acquisition system and a simple tau-dither loop is used for a PN code tracking system. Specially, a PN code acquisition system is evaluated according to the kind of PN code acquisition algorithms. As a result, a double dwell serial search algorithm is suit for continuous data and a single dwell serial search algorithm is suit for bursted data.

Besides, SPW(Signal Processing Worksystem) was utilized for the affirmation of spread spectrum algorithm and the performance evaluation and verification of hardware.

*성균관대학교

**순천대학교

***한국통신연구개발원 무선통신 개발단

論文番號 : 95124-0330

接受日字 : 1995年 3月 30日

본 논문은 상공자원부에서 시행한 공업기반기술개발사업의 일부분으로서 본 연구를 지원해 주신 상공자원부에게 사의를 표한다.

I. 서 론

최근 사회가 정보화 시대로 접어들면서 통신 수요 증가와 통신수단의 다양화로 주파수 자원 고갈및 통신환경이 악화되어 이에 적합한 통신방식이 필요하게 되었다. 이러한 추세에 맞추어 확산대역 Spread Spectrum 통신방식의 필요성이 커져가고 있다. 확산대역 통신방식은 일반 통신방식이 지향하는 전송신호의 협대역화가 아닌 전송신호의 대역을 충분히 넓혀서 전송하여 수신측에서 다시 대역을 좁힌후 원래의 데이터를 복원하는 방법이다.

확산대역 통신방식은 대역의 확산및 축소에 따른 다른 일반적인 통신에서는 얻을 수 없는 많은 잇점을 가지고 있다. 무선통신에 있어서는 전파발사로 인한 통신보안의 취약성과 사용빈도의 증가에 따른 사용자 상호간의 혼신에 강하고 특히, 이동통신에 있어서는 동일한 주파수 대역에서 복수사용자가 동시에 통신할 수 있어 다른 통신 방식에 비해 수용량(capacity)이 크다는 장점을 가지고 있다⁽¹⁾.

본 논문에서는 여러가지 확산대역 통신방식중 직접 확산대역방식을 이용한 통신시스템을 설계및 구현하였다. 확산대역 통신은 전술한 바와 같이 많은 장점을 가지고 있으나 완전한 동기가 이루어지지 않으면 아무런 효과도 얻을 수 없을 뿐 아니라 통신 자체가 불가능하게 된다. 따라서 정확한 동기가 확산대역 통신방식에서 가장 중요한 요소중에 하나이며 동기를 이루기 위해서는 다음과 같은 두가지 과정을 거치는데 그것은 동기포착(acquisition) 과정과 동기추적(tracking) 과정이다.

본 논문에서의 동기포착 시스템은 single dwell serial 동기포착 방식을 사용하였고 동기추적 시스템은 tau-dither loop을 사용하였다. 특히, 패킷데이터를 송수신하는 무선 시스템에서 가장 중요한 요소인 동기포착 시스템은 동기포착에 할당된 전치부호내에서 동기포착이 되도록 가능한 빠르고 효율적인 시스템의 구성에 초점을 두었다. 또한, 실험을 통해 패킷 손실 확률이 최소가 되고 데이터 전송효율이 최대가 되는 최적의 패킷 디자인을 하고 실험을 통해 검증을 하였다.

본 논문의 구성은 1장 서론에 이어 2장에서는 확산대역 알고리즘을 SPW로 모의실험을 수행하였고 3장에서는 시스템의 설계및 구현을 서술하였다. 그리고 4장에서는 시스템의 실험결과및 분석을 하였는데 실험결과와 2

장의 모의실험 결과가 동일함을 알 수 있었고 본 시스템에 적합한 패킷 손실 확률이 최소가 되고 데이터 전송효율이 최대가 되는 최적의 패킷 디자인을 할 수 있었다. 끝으로 5장에서 결론을 맺었다.

II. 모의실험

본 장에서는 송신기와 코드 동기포착및 추적 시스템은 하드웨어 구현을 고려한 모의실험을 수행하였는데 실제 시스템 구현시에 문제가 될 수 있는 하드웨어 파라메타들은 데이터 전송율을 기준으로 정규화시켜 모의실험하여 구현할 하드웨어와 매우 근사화 시켰다. 따라서, 모의실험한 결과를 토대로 하드웨어를 구현할 수 있었으며 구현시 각 시스템의 부분에서 출력될 결과를 예상할 수 있었다.

2.1 송신부

송신부의 파라메타 설정은 하드웨어 구현을 고려하여 하드웨어의 파라메타와 동일하게 PN 차수는 7로 PN code 전송율은 데이터 전송율을 정규화시켜 128(4.096 MHz/32KHz)로 각각 설정하였다. 그리고 데이터의 확산을 위해 하드웨어와 같은 방법으로 EX-OR 게이트를 이용하였다. 데이터가 확산되었는가를 좀더 확실히 알기위해 그림 2.2와 같은 스펙트럼으로 확인할 수 있었는데 그림 2.2(c)에서 데이터가 PN 코드의 전송율과 똑같이 확산됨을 볼 수 있다.

2.2 수신부

코드 동기포착 시스템의 파라메타인 적분시간은 데이터 전송율과 같은 1로 설정하였고 효율적인 모의실험 수행을 위해 초기 PN code의 에러비트를 2로 각각 설정하였다. 모의실험의 3가지 수행결과로 동기포착의 locking을 확인할 수 있는데 그 3가지 수행결과로는 다음과 같다.

- 대역통과필터의 출력파형
- 적분기의 출력파형
- 임계값이 0에서 1로 변환후 송신기의 확산부호와 수신기의 on-time 부호가 반침 차이가 생긴

또한, 다음 그림 2.6과 2.7은 동기추적의 모의실험 결과로 그림 2.6은 루프 필터의 입력력 파형및 lock 지시자이고 (a), (b)를 살펴보면 동기 추적이 처음 시작되

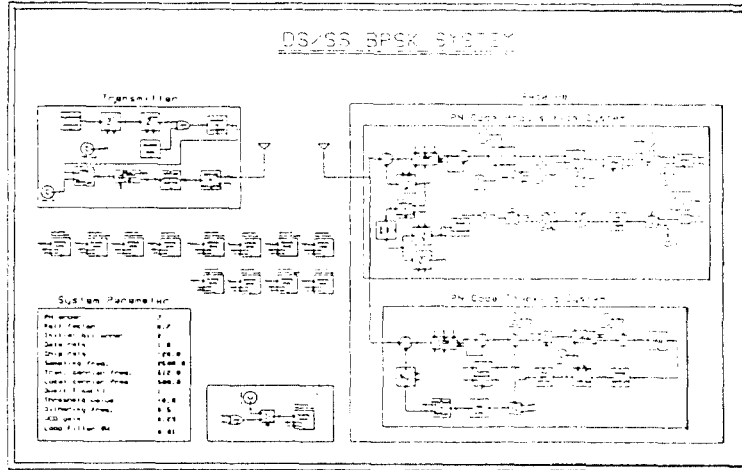
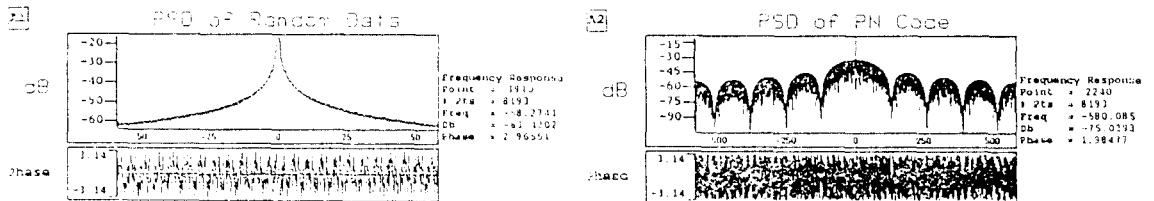
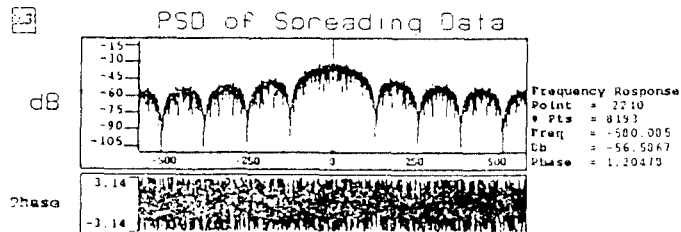


그림 2.1. DS/SS BPSK 시스템 모의실험 구성도
Fig. 2.1. Simulation diagram of DS/SS BPSK system



(a) 데이터 신호의 스펙트럼

(b) PN 코드의 스펙트럼



(c) 확산된 데이터 신호의 스펙트럼

그림 2.2. 데이터, PN 코드 및 확산된 데이터 신호의 스펙트럼
Fig. 2.2. Spectrum of data, PN code and spreaded data

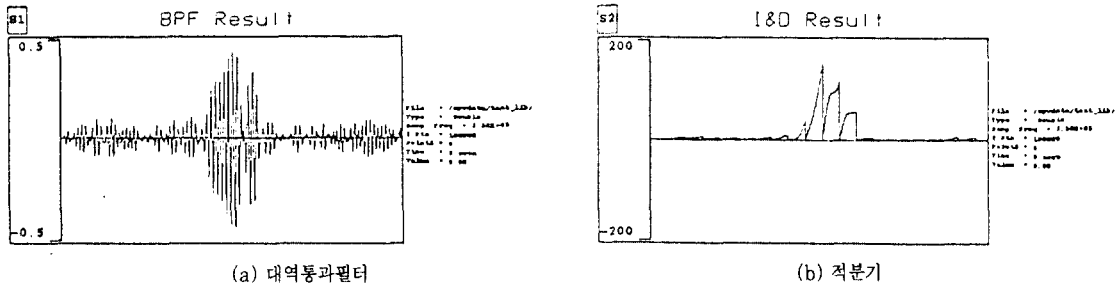


그림 2.3. 동기포착이 안된 경우 출력 파형
Fig. 2.3. Output waveform in lost code acquisition

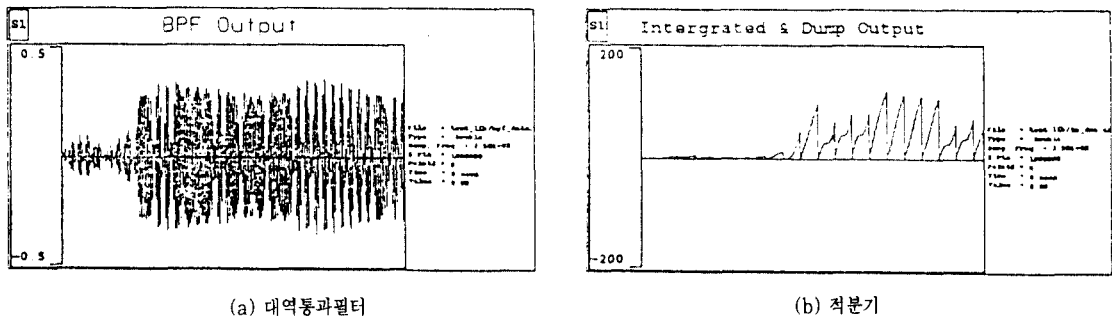


그림 2.4. 동기포착이 된 경우 출력 파형
Fig. 2.4. Output waveform in code acquisition

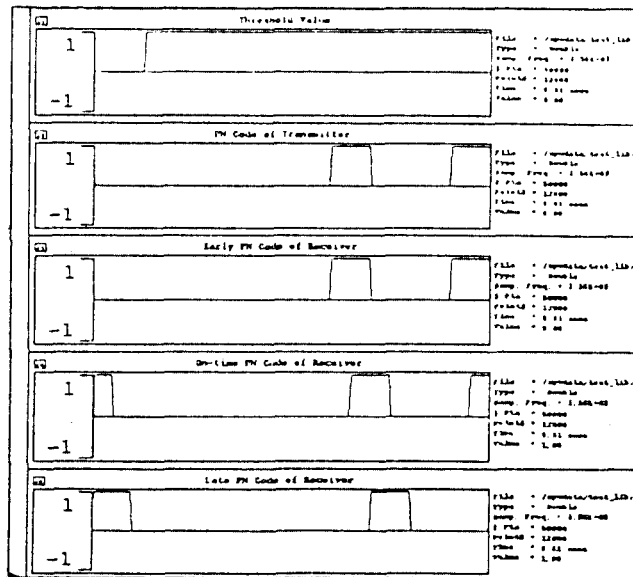


그림 2.5. 모의실험을 통해 동기 포착이 된후 송신측 확산부호와 수신측 early, on-time, late 확산코드
Fig. 2.5. PN code in transmitter and early, on-time, late PN code in receiver after code acquisition lock by simulation

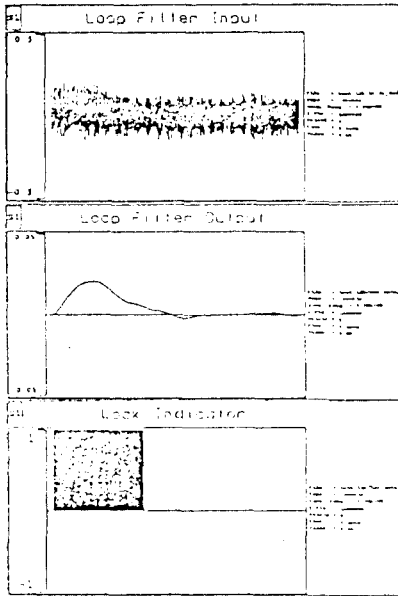


그림 2.6 루프 필터의 입출력 파형 및 lock 지시자
Fig. 2.6. Input/output waveform of filter and lock indicator

는 점에서는 에러신호가 크게 나오고 차츰 줄어드는 것을 볼 수 있고 (c)에서는 lock 지시자는 송신기의 PN 확산부호와 수신기의 on-time PN 확산부호를 XOR시킨 결과로서 출력이 0이 나와 동기추적이 된 것을 볼 수 있다. 그림 2.7은 동기추적이 수행된 후 송신측 확산부호와 수신측 early, on-time, late 확산부호이고 송신측 확산부호와 수신측 on-time 확산부호가 동일함을 모의실험을 통하여 알 수 있었다.

Ⅲ. 시스템의 설계 및 구현

송신부의 구성은 크게 랜덤 데이터 발생기, m-sequence 코드 발생기 및 BPSK 변조기로 구성되어 있고 수신기 블럭도는 그림 3.1과 같다. 그 구성을 살펴 보면 m-sequence 코드 발생기는 4.096MHz 클럭을 가지고 m-sequence 코드(4.096Mbps)를 발생하고 랜덤 데이터 발생기는 4.096MHz 클럭에서 분주한 32KHz 클럭을 가지고 랜덤 데이터(32Kbps)를 발생한다. 랜덤 데이터의 확산을 위해 m-sequence 코드와 랜덤 데이터를 EX-OR로 통과시킨 후 그 출력(확산된

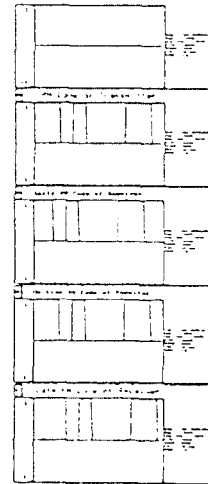


그림 2.7. 모의실험을 통해 동기 추적이 된 후 예상할 수 있는 송신측 확산부호와 수신측 early, on-time, late 확산부호

Fig. 2.7. PN code in transmitter and early, on-time, late PN code in receiver after code tracking lock by simulation

데이터)을 PM-103(BPSK 변조기)로 입력하고 70.55MHz의 반송파를 이용하여 BPSK 신호로 변조시킨다.

수신기는 구현을 용이하게 하기 위해 헤테로다인 복조 방식을 사용하였으며 수신기의 블럭도는 그림 3.2와 같다. 입력되는 RF(70.55MHz) 신호를 IF 신호로 down conversion한 후 그 출력은 코드 동기포착 및 추적 시스템으로 분산되며 코드 동기포착 및 추적 시스템을 통해 550KHz의 BPSK 변조신호로 역확산시킨다.

3.1 송신부

3.1.1 BPSK 변조부

PM-103은 넓은 대역폭과 우수한 선형성 가진 변조기로서 4.096MHz 대역으로 확산된 데이터 신호를 70MHz의 크리스탈 오실레이터를 반송파로 사용하여 BPSK 신호로 변조시키는 역할을 한다.

3.1.2 M-sequence 코드 발생부

7단의 shift 레지스터를 사용하여 m-sequence 코드 발생기를 설계하였다. 여기서 4.096MHz 주파수의

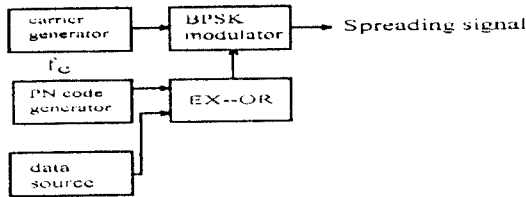


그림 3.1. 송신기 블럭도
Fig. 3.1. Block diagram of transmitter

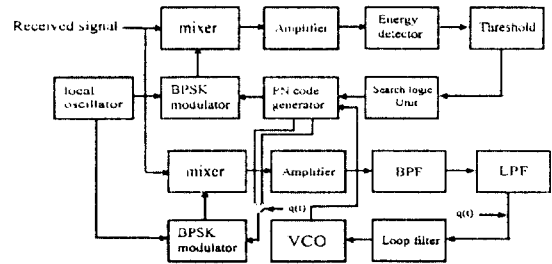


그림 3.2. 수신기 블럭도
Fig. 3.2. Block diagram of reciever

127 비트주기를 가지는 랜덤 코드가 발생되어 송신 데이터와 EX-OR 게이트를 통해 확산된다.

3.2 수신부

3.2.1 코드 동기포착 시스템

1) 믹서부

70.550MHz로 RF단에 입력되는 대역 확산된 신호를 70MHz인 local 입력 신호(수신단의 국부발생 코드부에서 발생한 확산부호에 BPSK를 변조한 신호)를 곱해 550KHz인 IF 신호로 변환시킨다. 실제 하드웨어 구현시 믹서의 출력은 믹서의 비선형성으로 인하여 IF 출력 신호는 잡음 처럼 보이는 여러가지 주파수가 실린 신호를 오실로스코프로 관찰할 수 있었고 스펙트럼 분석기로는 550KHz의 2고조파 이상의 불필요한 주파수가 나오는 것을 볼 수 있다. 믹서로는 Adams-Russell 사의 TSM-2를 사용하였다.

2) 증폭부

믹서 출력인 IF단 신호의 출력이 $100mV_{pp}$ 로 매우 작아 믹서와 VCVS (Voltage Controlled Voltage Source) 대역통과필터 사이에서 buffer와 증폭기의 역할을 함께 할 수 있는 증폭기를 필요로 한다. 따라서, 대역통과필터 전단에 OP Amp를 이용하여 각각 이득 3.33을 가진 반전 3단 증폭기를 두었다.

3) 에너지 검출부

○ 대역통과필터(Band-Pass Filter)

VCVS(Voltage Controlled Voltage Source

Filters) 2차 대역통과 필터로 중심주파수는 550KHz 이고 대역폭은 64KHz이다. VCVS 필터는 보통 비반전 접속이기 때문에 2차 필터 및 1차 필터를 전달함수에 맞게 종속 접속시키면 실험시 손쉽게 고차필터를 구성할 수 있다.

○ Sq. law detector

Analog Device사의 AD534를 자승 포락선 검파기로 사용하여 BPSK 변조신호의 변조효과를 없애 상관값을 에너지타입으로 검출한다.

○ 저역통과필터(Low-Pass Filter)

차단 주파수 f_c (cut-off frequency)=64KHz로서 신호를 평균해주어 포락선 검파 역할을 한다. 대역통과 필터와 마찬가지로 동기포착이 안된 경우는 확산부호의 상관값이 작아 저역통과필터의 출력은 대부분의 작은 신호가 나오고 lock이 된 경우는 확산부호의 상관값이 크므로 저역통과필터의 출력은 큰값이 계속 나오게 된다.

○ 적분기(Integrate and Dump)

적분회로는 미분회로와는 반대로 -6dB/oct 주파수 특성을 갖는 저역통과필터의 한 종류이다. 적분회로의 동작을 살펴보면 외부에서 리세트펄스로 콘덴서 C에 충전된 전하를 31.25 μ sec 마다 방전시키므로 그 결과 포락선 검출기의 출력을 적분 시간만큼 동기포착 알고리즘에 의해 적분 및 dump한다.

4) Search Lock Logic 부

기존에 확산대역 방식에서 채택한 search lock logic부는 동기포착에서 동기주적으로 상태 변이를 제어하는데 매우 복잡하여 마이크로프로세서나 많은 TTL을 사용하는 경우가 많으나 본 시스템에서는 H/W의 단순

화 및 비용절감을 위해 코드동기 알고리즘을 개선하여 카운터를 사용한 간단한 state control circuit으로 개선하였다. 그림 3.5와 3.6은 동기포착 과정에서 lock 발생과 해제를 발생하는 흐름도와 블럭도이며 lock 발생과 해제는 다음과 같은 과정에서 발생한다. 위의 그림 3.5에서 적분기의 출력이 임계값(V_{Th})과 비교하여 그 값이 크면 수신된 신호의 확산부호가 수신측의 확산부호 발생기의 코드와 반 chip이내에 든것으로 간주하여 확인과정(state 1)을 거친 후 동기추적 과정을 수행하며 이 과정의 수행중 계속적으로 적분값과 임계값(V_{Th})과 비교과정을 수행하며, 그 값이 n번이상 연속적으로 작게 나오면 카운터에서 clear 신호를 내보내 다시 동기포착 과정을 수행한다.

5) BPSK 변조부

BPSK 변조기로서 우수한 성능을 가진 PM-103은 수신기 국부발생 확산부호 발생기에서 발생된 확산부호들을 70MHz clock를 반송 주파수로 이용하여 mixer의 local 단에 입력시켜 RF단으로 들어오는 70.55MHz 신호와 곱해주어 550KHz IF 신호를 만들어 준다.

6) 수신기 m-sequence 코드 발생기

수신기에서 발생하는 m-sequence 발생기는 early, on-time, late 코드를 발생하기 위한 첨가된 회로를 제외하면 송신기의 m-sequence 발생기와 같다. 수신에서 발생하는 early, on-time, late 코드중에서 on-time m-sequence는 수신된 신호속의 확산부호와 수

신속의 국부발생 확산부호와의 차이를 반 chip 이내에 들게하는 과정인 동기포착 시스템에서 사용되고 early, late m-sequence는 동기포착에서 맞춘 동기점에서 더욱더 정확한 동기점을 찾아서 포착된 신호의 동기를 벗어나지 않게 계속 유지하는 과정인 동기추적 시스템에서 사용 되어진다.

3.2.2 코드 동기추적 시스템

동기추적을 구성하고 있는 여러 구성요소부중에서 믹서부, 증폭부, 대역통과필터부, Sq.law detector부, 저역통과필터부, BPSK 변조부는 동기포착의 구성요소와 동일하게 구성하고 있으므로 여기서는 다시 기술하지 않겠다.

1) Dithering 신호 발생부

Dithering 신호 발생기는 tau-dithering loop를 하드웨어로 구성하는데 중요한 요소중에 한부분이다. 보통 dithering 신호의 주파수는 chip rate, 잡음대역폭을 고려하여서 루프 잡음대역보다 보통은 4배, 데이터 전송율보다 2배 작게 설계해서 16KHz로 하였으나 비이상적인 소자들이나 이 소자들로 구성된 필터등 여러가지 회로부분들 때문에 dithering 신호의 주파수를 16KHz보다 작게 하여야 한다. 또한, dithering 신호는 early 코드가 선택될 경우 -5V로, late 코드가 택해질 경우 5V로 되어진다.

2) 능동 루프 필터부

앞의 II장에서 같이 SPW를 이용한 tau-dithering

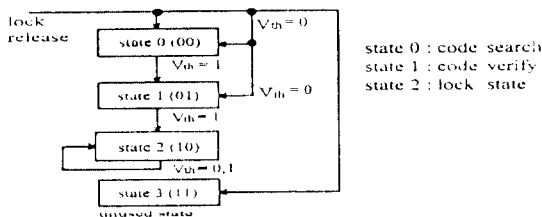


그림 3.5. 코드탐색 및 Lock 상태 발생 흐름도
Fig. 3.5. Block diagram of code search and state flow of lock event

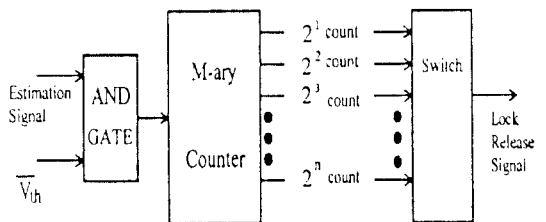


그림 3.6. Lock 상태 해제신호를 발생하는 블럭도
Fig. 3.6. Block diagram of release lock signal generation

loop 모의실험도를 구성하고 모의실험을 수행하여 BL이 2288.8Hz에서 동기추적이 수행함을 알 수 있었다. 이때 K_d (PD gain)=1v/rad, K_o (VCO)=0.29rad/s/v, loop filter BW=0.01Hz, dithering frequency = 0.5 Hz(16KHz/32KHz)로 놓았다. 대역폭 결정을 다음과 같은 방법으로 하였다.

우선, $B_L=2288.8\text{Hz}$ 이므로 식(3.1)에서

$$B_L \cong 0.53 \omega_n \quad (\zeta = 0.707\text{일 경우}) \quad (3.1)$$

$\omega_n = 4318.5\text{rad/s}$ 을 구할 수 있다.

ω_2 , K (loop gain)을 구하기 위하여 식(3.2)에 ω_n 을 대입하면

$$\zeta = 0.5\sqrt{K / w_2}, w_n = \sqrt{K w_2} \quad (3.2)$$

$\omega_2 = 3053.6 \text{ rad/s}$ 이고 $K=6107.2 \text{ Hz}$ 이고 정규화시킨 $K_n = 6107.2/32000 = 0.19$ 이다.

모의실험에서는 K_d (PD gain)=1v/rad, K_o (VCO)=0.29rad/s/v로 가정하였으므로 $K_h = 0.658(K_n = K_d K_o K_h)$ 이다. 위 결과에서 R_1, R_2, C 을 구하면 $R_1=4.97\text{KHz}$, $R_2=3.27\text{KHz}$, $C=0.1\mu\text{F}$ 을 구할 수 있다. 모의실험 구성도의 루프 필터인 butterworth 저역통과필터 대역폭을 결정하기위하여 ω_{LFF} (차단주파수)을 구해보면

$$\omega_{LFF} = 1/R_1 C = 2009.6 \text{ rad/s} \quad (3.3)$$

정규화된 차단주파수(ω_{NLFF})는 0.0628 rad/s 이고 Hz로는 0.01 Hz 이다.

IV. 시스템의 실험결과 및 검토

4.1 송신부

송신기는 32 KHz 랜덤 데이터 발생기, 4.096 MHz m-sequence 발생기 및 BPSK 변조기로 구성되며 그림 4.1과 같다. 여기서 주요관점은 순수잡음성분 및 잡음과 전송신호를 더한 성분의 전력 스펙트럼을 비교하고, 광대역 잡음내에 전송신호가 잘 감춰짐을 확인함으로써 전송신호가 광대역에 걸쳐 마치 잡음처럼 균일하게 분포됨을 볼 수 있다.

4.2 수신부

4.2.1 코드 동기포착 시스템

1) 성능평가

코드 동기포착 시스템의 성능 평가방법은 데이터 전송의 형태가 연속형 데이터 전송인 경우와 버스트형 데이터 전송인 경우로 크게 나눌 수 있다. 연속형 데이터 전송인 경우는 평균 코드 동기포착 시간 및 분산을 구하여 평가하나 버스트형 데이터 전송인 경우에는 코드 동기포착에 이르는 시간이 전치부호에 할당된 시간보다 적을

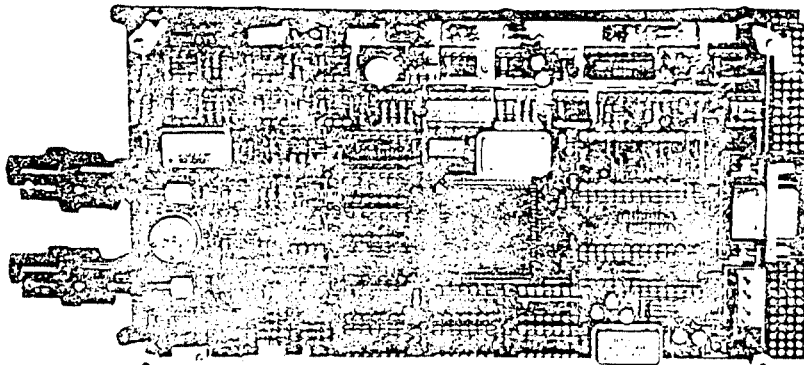


그림 4.1. 구현한 송신 시스템
Fig. 4.1. Configuration of implemented transmitter

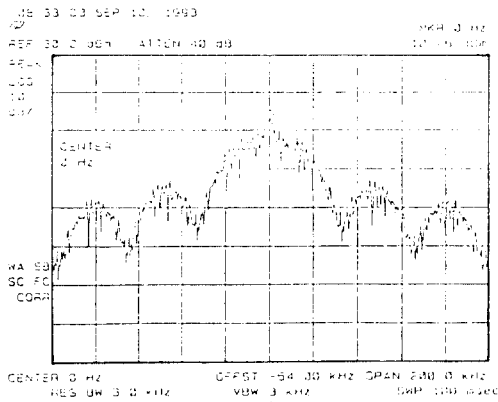


그림 4.2. 송신될 데이터의 스펙트럼
Fig. 4.2. Spectrum of data before transmission

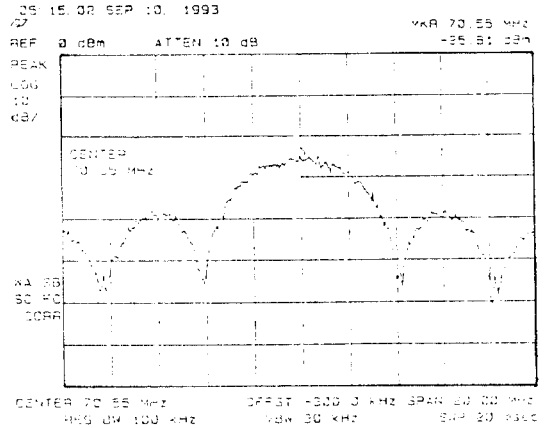


그림 4.3. 확산된 송신 데이터의 스펙트럼
Fig. 4.3. Spectrum of data before transmission

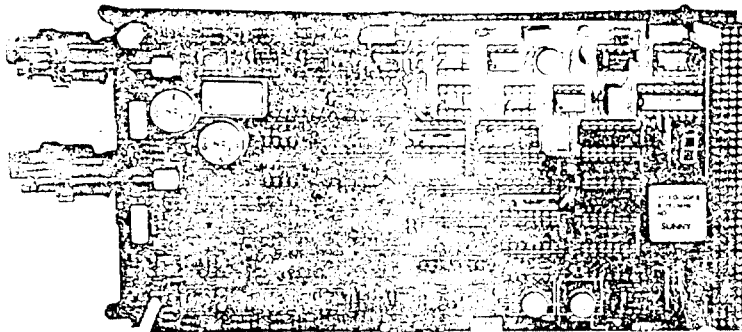


그림 4.4. 구현한 코드 동기포착 및 추적 시스템
Fig. 4.4. Configuration of implemented PN code acquisition and tracking system

확률을 근사화하여 구하는 방법을 많이 사용하고 있다. 본 연구에서 구현한 시스템은 패킷 데이터를 이용하는 무선 송수신 시스템에 이용될 예정이어서 각각에 할당된 전치부호내에 코드 동기포착 및 추적, 반송파복원, 비트 동기이 되도록 그림 4.5와 같이 패킷을 구성하였다.

다음은 최적 코드 동기포착 시스템을 정하기 위해 코드 동기포착 시스템을 partial dwell, single dwell 그리고 double dwell 시스템으로 구성하여 코드 동기포착 시간의 평균과 분산을 서로 비교해보고 패킷 손실 확률을 구해 보았다.

코드 동기포착 시간을 구하는 방법은 m-sequence 발생기가 reset된 후부터 lock 지시자가 1로 될때 까지 걸리게 되는 시간을 logic analyzer로 측정하였으며 시행횟수는 각각 100회를 수행하였다.

각 시스템의 코드 동기포착 평균시간과 분산은 표 4.1과 같다.

Single dwell 시스템과 double dwell 시스템을 비교해보면 평균시간은 double dwell 시스템이 앞서 연속형 데이터 전송에 적합하고 분산값면에서는 single dwell 시스템이 가장작아 패킷 데이터 전송이 적합하다

전체 전치부호(410bit)		데이터 (614 bit)
동기포착(378bit)	동기추적, 반송파복구, 비트동기 (32bit)	

그림 4.5. 송신데이터 패킷의 구조
Fig. 4.5. Packet Structure of data

표 4.1. 시스템 종류에 따른 코드 동기포착 평균시간과 분산
Table 4.1. According to system sort, mean time and variance of code acquisition

시스템 종류 항 목	Partial Dwell 동기포착시스템	Single Dwell 동기포착시스템	Double Dwell 동기포착시스템
적분시간	16 μ sec	32 μ sec	16 μ sec, 32 μ sec
동기포착 평균시간	7.20 msec	4.68 msec	4.61 msec
동기포착분산	6.36 msec	3.93 msec	4.25 msec
패킷손실확률	17 %	4 %	8 %
데이터 전송형태	연속형, 패킷 데이터 전송에 부적합	패킷 데이터 전송에 적합	연속형 데이터 전송에 적합

* 패킷 손실 확률은 100개의 패킷을 보내어 그중에 코드동기포착에 할당된 시간(11.72 msec)내에 코드 동기포착이 되지 못한 갯수.

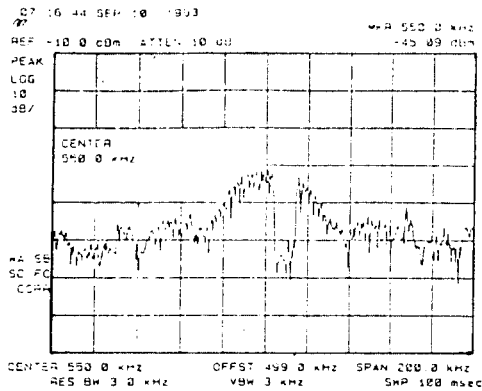


그림 4.6. 수신측 역확산된 데이터 신호의 스펙트럼
Fig 4.6. Spectrum of despreaded data in receiver side

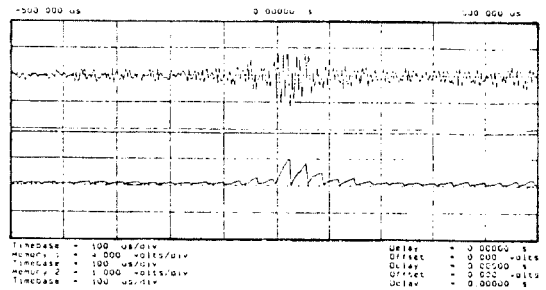


그림 4.7. 동기포착이 되지 않았을때 BPF와 I&D 출력 신호 파형
Fig. 4.7. Output waveform of BPF and I&D in lost lock

는 것을 알 수 있다.

2) 코드 동기포착 locking에 관한 실험 결과

○ 결과 1 : HP 8590B spectrum analyzer를 이용하여 코드 동기포착이된 후 송신된 데이터신호의 스펙트럼(그림 4.2)과 수신측 역확산된 데이터 신호의 스펙트럼을 비교하여 코드 동기포착을 확인하였다.

○ 결과 2 : HP 54100A 디지털 오실로스코우프를 이용하여 코드 동기포착이된 후 BPF의 출력파형과 I&D 신호가 항상 threshold 값보다 크게 나오는 것으로 코드 동기포착을 확인하였다.

4.2.2 코드 동기추적 시스템

코드 동기추적 시스템은 tau-dither loop을 사용하

였으며 주요구성은 코드 동기포착 시스템에서와 동일한 대역통과필터, 포락선검출기, 저역통과필터, multiplier와 dithering 신호발생기, VCXO, active loop filter로 구성된다. 먼저 완전한 S-curve를 얻기위해 임계값이 포착구간을 구분할 만큼 충분히 크다고 가정한다면, 이구간의 적분구간이 $32\mu s$ 임으로 여기서 dithering signal의 주파수는 32KHz보다 같거나 작아야한다. 실험에서 s-curve의 $\epsilon_{\mu} = 0$ 에서 약 0.1875 V/chip 정도의 기울기를 갖었다. 최종적으로 코드 동기추적 성능은 입력신호대 잡음비가 -12dB에서도 무난히 동작함을 확인하였고 대략 실험적으로 -13dB 근처에서도 lock 유지와 코드 동기추적이 가능하였다.

코드 동기추적의 locking을 확인하는 방법은 두가지 방법으로 확인할 수 있다. 첫째, 그림 4.9와 같이 active loop filter의 출력이 lock이 되지 않았을 경우에는 active loop filter의 캐패시터에 양전하나 음전하가 계속적으로 축적되어 $\pm 12V$ 직류가 나오게 되고 그림 4.10과 같이 lock이 되었을 경우에는 active loop filter의 캐패시터가 동기포착 직후에 축적되다가 동기추적이 되면 입력신호의 평균값이 0이 되어 축적이 멈추게 된다^[11]. 그러므로 이때의 출력파형은 캐패시터에서 방전된 전압과 dithering 신호가 합쳐진 파형을 볼 수 있다.

둘째, 송신 데이터신호의 스펙트럼(그림 4.2)과 수신측 역확산된 데이터 신호의 스펙트럼을 비교하여 동일함으로 코드 동기추적을 확인하였다. 그림 4.13에서 역확산된 신호의 스펙트럼으로 송신 데이터신호와 비교할때 정상 상태의 timing jitter에 의해 side lobe의 역확산이 완전하지 않음을 볼 수 있다.

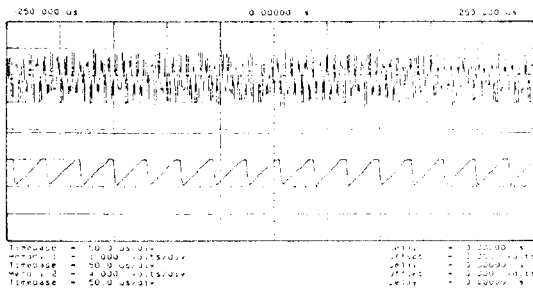


그림 4.8. 동기포착이 되었을때 BPF와 I&D 출력 신호 파형
Fig. 4.8. Output waveform of BPF and I&D in lock

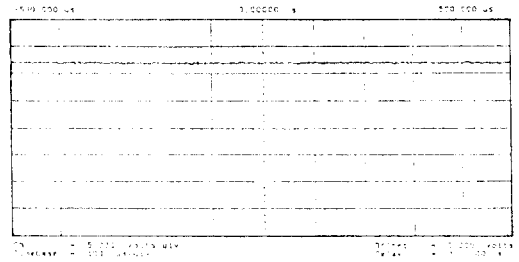


그림 4.9. 동기추적이 되지 않았을때 active loop filter의 출력파형
Fig. 4.9. Output Waveform of active loop filter in lost tracking

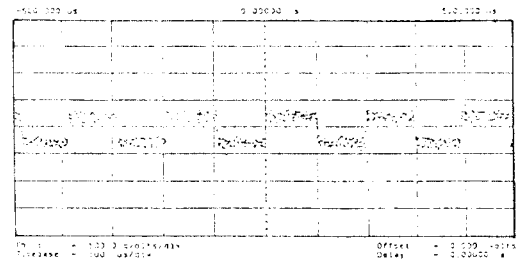


그림 4.10. 동기추적이 되었을때 active loop filter의 출력파형
Fig. 4.10. Output Waveform of active loop filter in tracking

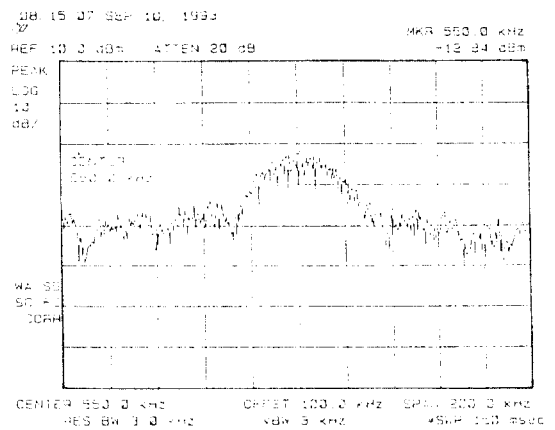


그림 4.11. 수신측 동기추적 후 역확산된 데이터 신호의 스펙트럼
Fig. 4.11. After in tracking, spectrum of despreading data in receiver side

V. 결 론

참고문헌

본 논문에서는 직접확산대역 시스템을 구성함에 있어 Workstation용 통신 시뮬레이터인 SPW를 확산대역 알고리즘의 확인, 구현된 하드웨어의 성능 예측 및 검증 용으로 이용하였고 그 수행결과를 계속적으로 하드웨어의 구현에 반영함으로써 하드웨어의 신뢰도를 높였다. 그리고 구현된 직접확산대역 시스템을 RF부 및 복조 채널부와 서로 interface시켜 실험한 결과 최종적으로는 데이터가 본 논문에서 제시한 패킷구조를 가진 패킷으로 전송되는 것을 확인할 수 있었다^[14]. 본 논문에서 얻어진 결과 및 성과를 크게 몇가지로 요약하면 아래와 같다.

첫째, 직접확산대역 통신방식을 이용한 시스템의 모의 실험 수행 및 구현을 수행하였다. 코드 동기포착 시스템은 패킷전송에 가장 이상적이고 구현이 용이하며 경제적인 single dwell serial search algorithm을 선택하였고 코드 추적시스템은 하드웨어 구현이 용이한 tau dither loop로 선택하였다.

둘째, 시스템 구현 후 동기포착에 할당된 진치부호내에서 포착의 여부를 동기포착 시스템 종류에 따라 성능 평가를 수행하였다. 그 결과 연속형 데이터의 경우에는 double dwell 시스템이 적합하고 데이터 전송이 패킷인 경우는 코드 동기포착 평균시간보다 분산이 더 중요시 되므로 single dwell 시스템이 적합하다는 사실을 알 수 있었다.

세째, 버스트형 직접확산대역 동기포착 시스템에서 패킷손실 확률이 최소가 되고 데이터 전송효율이 최대가 되는 최적의 패킷 디자인을 하고 실험을 통한 검증방법을 제시하였다.

네째, 빠른 코드 동기포착이 이루어지도록 코드 동기포착 과정을 연구하고 해석하였으며, 코드 동기포착 알고리즘을 개선하여 search lock strategy를 카운터를 사용하여 간단한 state control circuit를 개발하여 H/W를 단순화 시켰다.

본 논문을 통해 습득된 송수신기 회로의 설계 및 구현 기술은 점차 그 효용성을 넓혀가고 있는 확산대역통신에 적용될 수 있으며 확산대역 통신방식을 이용한 무선 LAN용 단말기, 차세대 PCN용 단말기 및 데이터망에 광범위하게 활용될 것으로 사료된다.

1. 대한전자공학회, 단기강좌 스펙트럼 擴散通信方式, 1986. 8. 21-22.
2. Holmes, Jack K., Coherent Spread Spectrum System, Wiley and Sons, New York, 1982.
3. Ziemer, R. E. and Peterson, R. L., Digital Communications and Spread Spectrum Systems, Macmillan Publishing Company, New York, 1985.
4. Pickholtz, R. L., et al., "Theory of Spread Spectrum Communication-A Tutorial" IEEE Trans. on Comm., Vol. COM-30, pp.855-844, May, 1982.
5. Dixon, R. C., Spresd Spectrum System, Wiley, New York, 1984.
6. D. M. DiCalro and C. L. Weber, "Statistical performance of signal dwell serial synchronization systems," IEEE Trans. Comm., Vol. COM-28, No.8, pp.1382-1388, Aug. 1980.
7. Simon, Marvon K., et al., Spread Spectrum Communications, Vol. 3, Computer Science Press, Rockville, MD., 1985.
8. Rappaport, S.S. and Grieco, D.M., "Spread-Spectrum Signal Acquisition Methods and Technology", IEEE Comm. Magazine, Vol.COM-22, No. 6. 1984.
9. Kемdirim, D.C., and Wight, J.S., "DS SSMA with Some IC Realizations", IEEE Jour. on COMM., Vol. 8, NO. 4, May, 1990
10. Urkowitz, H., "Energy Detection of Unknown Deterministic Signals", Pro-ceddings of the IEEE, Vol. 55, No. 4, April, 1967.
11. Dan H. Wolaver, Phase-Locked Loop Circuit Design, Prentice Hall, Inc, New Jersey, 1991.
12. Hartman, H.P., "Analysis of a Dithering Loop for PN Code Tracking", IEEE Trans. on Aerospace and Electronic Systems, Vol.AES-10, No. 1, January, 1974.
13. 최형진외 5인 "직접대역확산 방식 패킷 무선통신시스템의 구현에 관한 연구," JCCI, April, 1993.

14. 성균관대학교 부설 과학기술연구소, 디지털 이동무선통신 시스템 기술개발에 관한 연구(최종 보고서), 상공자

원부, 1993. 11.



徐昌錫(Hae Seong Jang) 정회원

1967년 7월 5일생
1990년 2월 : 성균관대학교 전자공학과 졸업(학사)
1994년 2월 : 성균관대학교 대학원 전자공학과 졸업(석사)
1994년~현재 : 한국통신 연구개발원 무선통신 개발원 전임 연구원

趙聖培(Scoung Bae Cho)

정회원

1964년 11월 15일생
1990년 2월 : 성균관대학교 전자공학과 졸업(공학사)
1992년 2월 : 성균관대학교 대학원 전자공학과 졸업(공학석사)
1992년 3월~현재 : 성균관대학교 대학원 전자공학과 박사과정
※주관심 분야 : 대역확산통신, 디지털통신, 개인휴대통신

趙炳錄(Byung Lok Cho)

정회원

1962년 9월 4일생
1987년 2월 : 성균관대학교 전자공학과 졸업
1990년 2월 : 성균관대학교 대학원 전자공학과 졸업(공학석사)
1994년 2월 : 성균관대학교 대학원 전자공학과 졸업(공학박사)
1987년 1월~1988년 3월 : 삼성전자(주) 종합연구소
1994년 3월~현재 : 순천대학교 전자공학과 전임강사
※주관심 분야 : 통신이론, 이동통신, 데이터 통신, 컴퓨터 네트워크 등임



崔炯辰(Hyung Jin Choi) 정회원

1952년 8월 30일생
1974년 2월 : 서울대학교 전자공학과 졸업(학사)
1976년 2월 : 한국과학기술원 전기전자공학과 졸업(석사)
1976년 3월~1979년 7월 : 주식회사 금성사 중앙연구소 근무(연구원)
1979년 10월~1982년 12월 : 미국 University of Southern California 전기공학과 박사(Ph.D)
1982년 10월~1989년 2월 : 미국 LinCom Corp. 연구원으로 근무
1989년 3월~현재 : 성균관대학교 전자공학과 근무(부교수)
※주관심 분야 : 디지털통신, 무선통신, 이동통신, 위성통신 및 동기화이론을 포함한 Modem 기술 등임