

# ADPCM용 고속 적응 예측기 하드웨어 설계

正會員 白德洙\*, 金煥溶\*\*

## Design of High Speed Adaptive Predictor Hardware for ADPCM

Deog Soo Baek\*, Hwan Yong Kim\*\* Regular Members

본 연구는 서울대학교 반도체공동연구소의 교육부 반도체분야  
 학술연구조성비(과제번호: ISRC-95-E-2020)에 의해 수행되었습니다.

### 要 約

본 논문에서는 CCITT에서 제안한 ADPCM 시스템을 One-chip ASIC화하기 위하여 가장 핵심블럭인 적응 예측기 블럭을 고속 동작이 가능하도록 설계하였다. 이를 위하여 먼저 적응 예측기 알고리즘을 분석하여 고속 동작이 가능한 하드웨어를 설계하기 위해 부동소수점 연산과정을 고정 소수점 형태로 변환하였으며, 각각을 C 언어로 프로그래밍하여 알고리즘 시뮬레이션을 통해 비교 고찰하였다. 또한, 하드웨어 설계 툴인 COMPASS tool을 이용하여 Bottom-up 방식으로 적응 예측기를 설계하였으며, CCITT G.721에서 제시한 시퀀스 테스트 벡터를 이용하여 적응 예측기의 입력값을 결정한 다음 알고리즘 시뮬레이션을 통해 얻은 결과와 논리 시뮬레이션을 통해 얻은 결과를 비교함으로써 회로 검증을 수행하였다. 회로 검증결과 알고리즘 시뮬레이션을 통해 얻은 결과와 일치하는 것을 확인하였으며, 처리속도가 2[ $\mu$ s] 정도임을 확인하였다. 따라서 ADPCM 시스템 전체 처리시간의 1/2 정도를 적응 예측기에서 차지하기 때문에 본 논문에서 설계된 적응 예측기를 사용하여 ADPCM 시스템을 고속처리가 가능하도록 설계할 수 있다.

### ABSTRACT

In this thesis, Adaptive Predictor has been designed based on the CCITT standard 32 kbps ADPCM algorithm. Designed Adaptive Predictor could calculate through the fixed-point evaluation deciding the exact prediction signal attaining the improved processing speed characteristic.

Hardware has been designed with the COMPASS design tool adopting 1.0[  $\mu$ m] CMOS design rule. For the verification of

\*이리농공전문대학 전자과  
 Dept. of Electronics, Iri National College of  
 Agriculture & Technology

\*\*원광대학교 전자공학과  
 Dept. of Electronic Eng. Wonkwang University  
 論文番號 : 95003-0104  
 接受日字 : 1995年 1月 4日

designed hardware, the results of the logic simulation has been compared with that of the algorithm simulation followed by the concided results with the processing time characteristic of 2[ $\mu$ s]. According to this result, ADPCM system could be able to design for high speed processing and to multiplex PCM channel property.

## I. 서 론

현대사회가 정보화 사회로 급격히 변모함에 따라 각종 정보통신에 대한 수요가 급격히 증가 하게 되었고, 이에 따라 기존의 디지털 통신망은 더욱 많은 통화량을 처리해야 하는 부담을 안게 되었다. 더욱이 음성, 모뎀 데이터 및 영상 등을 동시에 송 수신하기 위해서는 보다 많은 채널(channel)을 요구하게 되었다. 이러한 문제점을 해결하기 위해서는 기존의 통신 채널을 확장 하는 방법이 있을 수 있으나 이것보다는 기존의 채널을 그대로 이용하되 정보를 압축하여 송 수신 데이터의 비율을 감소시켜 대역폭(bandwidth)을 줄임으로써 한 채널에 여러 정보를 동시에 송 수신하는 방식이 보다 경제적이고 실용적이라 할 수 있다. 이를 위해 ADPCM(adaptive differential pulse code modulation) 알고리즘이 제안되었다.<sup>(1)</sup> 다른 음성 코딩방식에 비해 시스템은 조금 복잡하지만 음성의 질에 있어서도 우수한 것으로 알려져 있으며, 기존의 64 kbps PCM 데이터를 32 kbps로 압축함으로써 통신 채널의 처리능력을 2배로 증가시키는 효과를 가지고 있다. 이러한 ADPCM 알고리즘은 1984년 CCITT에서 표준화가 되었고 1988년에 CCITT 권고 G.721로써 보완 확정되었다.<sup>(2)</sup> 제안된 ADPCM 시스템은 일종의 코드변환기(transcoder)로서 기존의 PCM 채널에 연결하여 log PCM → ADPCM 또는 ADPCM → PCM 채널로 변환하게 된다. 이러한 ADPCM 시스템의 가장 핵심 블록으로는 적응 양자화기와 적응 예측기 블록이며, 특히 적응 예측기가 전체 ADPCM 시스템의 성능을 좌우하는데, 이는 다음에 들어올 입력 신호를 얼마나 정확히 예측할 수 있는가와 처리 속도를 얼마나 감소시킬 수 있는가로 나눌 수 있다.

따라서, 본 논문에서는 CCITT에서 제안한 ADPCM 적응 예측기 알고리즘을 분석하여 고속 처리가 가능한 하드웨어를 설계하기 위하여 부동소수점 연산과정을 고

정소수점 형태로 변환하여 데이터를 Long double 형태의 C언어로 프로그래밍하여 변환한 알고리즘의 연산 결과를 시뮬레이션을 통해 비교 고찰하였다. 또한, 하드웨어 설계 툴인 COMPASS tool을 이용하여 적응 예측기를 설계하였으며, 알고리즘 시뮬레이션을 통해 얻은 결과와 논리 시뮬레이션을 통해 얻은 결과를 비교함으로써 회로 검증을 수행하였다. 회로 검증결과 알고리즘 시뮬레이션을 통해 얻은 결과와 일치하는 것을 확인하였다.

## II. 적응 예측 알고리즘 분석 및 설계 명세 조건 설정

### 1. ADPCM 시스템

CCITT G.721 권고안의 ADPCM 알고리즘은 기존의 log PCM 형태로 디지털화된 PCM 채널에 호환이 가능하도록 제시된 코드변환기로서 PCM에 의해 출력된 64 kbps 데이터를 32 kbps로 대역폭을 축소하고 데이터의 압축율을 2배로 향상시키며 음질에 있어서도 PCM과 거의 같은 특성을 갖는 알고리즘이다. CCITT G.721 ADPCM 시스템의 부호기(encoder)와 복호기(decoder)의 블록도는 그림 1과 같으며 특징은 다음과 같다.

- ① 기존의 64 kbps PCM 통신망과 호환이 가능
- ② 음성신호 뿐만아니라 전화망을 사용하는 모뎀 데이터 및 톤 신호까지도 압축 및 전송이 가능
- ③ 양자화기와 예측기를 모두 입력신호에 적용하도록 설계
- ④ SQNR이 크고 채널 에러에도 비교적 강함
- ⑤ 적응 예측기의 예측계수를 갱신하는 방식은 간단한 gradient 방식을 채택

### 2. 적응 예측 알고리즘 분석

적응 예측기의 역할은 이전에 들어온 신호를 바탕으로

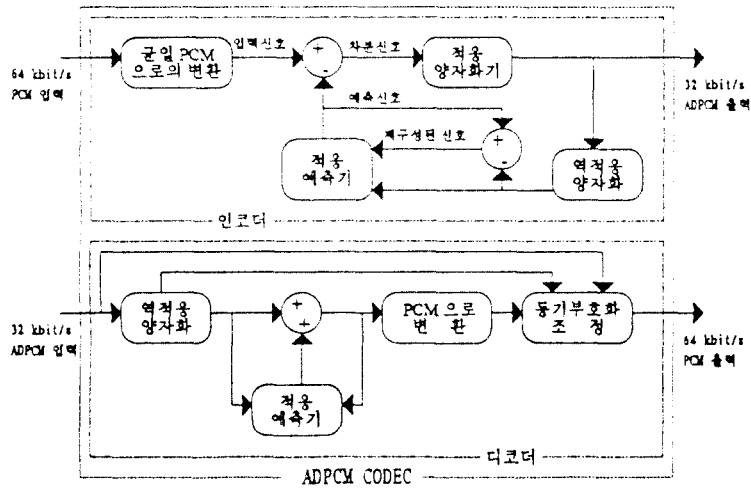


그림 1. 부호기와 복호기의 블럭도  
Figure 1. Block diagram of encoder and decoder

다음에 입력될 신호를 정확히 예측하여 입력신호와 예측신호의 차를 구하고 본래의 입력신호 보다 분산을 줄이므로서 효과적인 양자화를 돕는 것이라 할 수 있으며, 이는 음성 신호가 시변적이고 불규칙한 변화를 하지만 인접한 샘플들 사이에 자기 상관관계가 매우 높은 특성을 이용한 것이다. 적응 예측에 의한 예측 오차신호의 분산을 계산하면 식(1)과 같은 결과식을 얻을 수 있다.

$$\begin{aligned}
 \sigma_e^2 &= E[(x_n - \hat{x}_n)^2] = E[x_n^2] - E[\hat{x}_n x_n] \\
 \sigma_e^2 &= R_{nn} - (a_1 R_{n1} + a_2 R_{n2} + \dots + a_n R_{nn})
 \end{aligned}
 \tag{1}$$

식(1)에서  $\sigma_e^2$ 는 오차신호의 분산이고  $R_{nn}$ 가 원 신호의 분산이며, 또한 예측계수가 최적 이라고 가정한다면, 오차신호의 분산이 원 신호의 분산에 비해 훨씬 작다는 것을 알 수 있다.

따라서, 오차신호의 분산을 줄이기 위해서는 예측계수를 최적의 값을 갖도록 해야 한다. 예측계수를 구하는 방법에는 주로 매 샘플링 시간마다 예측계수를 갱신하는 순차(sequential)해석법을 사용하며 gradient 방식과 Kalman 방식이 있다. Kalman 방식은 수렴속도가 빠르고 SQNR이 약간 향상되지만 알고리즘이 복잡하고 많은 계산량을 요구하기 때문에 음성 코딩에는 대부분 gradient 방식을 사용하고 있다.

적용 예측기에서 고려되어야 할 사항은 부동소숫점 연산과 승산과정이다. CCITT ADPCM의 적응 예측기는 승산을 부동소숫점형태로 수행한다. 물론 부동소숫점으로 연산을 수행할 경우에 정보의 정확도는 증가하지만 고정소숫점 연산에 비해 50%의 속도가 저하되며 하드웨어 구현도 어렵게 된다. 더욱이 ADPCM 적응 예측기에서 총 10번의 부동소숫점 → 고정소숫점 변환과 고정소숫점 → 부동소숫점 변환이 요구되어 처리속도는 더욱 저하된다. 반면에 고정소숫점 연산은 비록 절단(truncation)과 라운딩(rounding) 과정을 수행해야 하며, 이 과정으로 인한 정확도의 감소가 발생되지만 하드웨어를 쉽게 구성할 수 있고 비용(cost)의 절감을 가져오기 때문에 통신시스템의 ASIC화에서는 일반적으로 고정소숫점 연산을 수행하도록 설계하고 있다. 따라서, 본 논문에서는 두경우에 대하여 정확한 연산 결과를 비교 고찰하기 위하여 데이터 형식을 long double 형태로 취하여 C언어로 프로그래밍 하였으며, CCITT에서 제시한 디지털 시퀀스 테스트 백터를 이용하여 알고리즘 시뮬레이션을 수행하였다. 알고리즘의 컴퓨터 시뮬레이션 결과 부동소숫점 연산 결과를 최적 이라고 가정하였을때 약 0.1%의 오차가 발생하는데 이 정도의 오차는 실제의 ADPCM 구현시 예측신호를 15 bit의 부호있는 2의 보수형태를 취하기때문에 시스템 구현에는 문제가

없음을 확인하였다.

3. 설계명세조건 설정

ADPCM 시스템의 표본화 주파수는 8(KHz)이며, 양방향성 통신을 하기위해 매 125[μs]마다 하나의 데이터를 읽고 쓸 수 있어야 한다. 특히 적응 예측기 블록이 시스템의 전체 연산 처리 시간의 50% 이상을 차지하고

있는데, 그중에서도 10번의 부동소숫점 변환 및 8번의 승산에서 대부분을 차지하고 있다. 따라서 적응 예측기 블록에서는 최소한 62[μs]안에 데이터가 처리되어야 한다.

그러므로 본 논문에서는 고속의 적응 예측기를 설계하기 위하여 알고리즘 분석 결과를 이용 하여 고정 소숫점 연산 형태로 수행하도록 설계 명세를 설정하였고, 이에 대한 신호처리 흐름도는 그림 2와 같다.

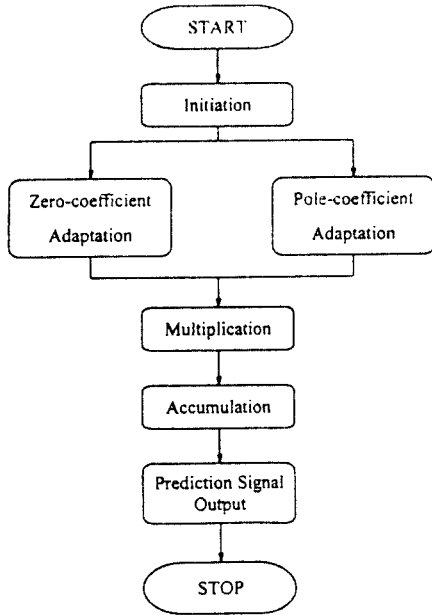


그림 2. 적응 예측기 설계를 위한 신호처리 흐름도  
Figure 2. Signal processing flow chart for design of adaptive predictor

Ⅲ. 적응 예측기 설계 및 시뮬레이션 결과

적응 예측기 연산처리의 대부분은 가감산 및 승산등 산술연산으로 구성되어 있으며, 그 외에 XOR, AND, shift, Complement 등 논리연산으로 구성되어 있다. 그리고 크게 6차 영점 적응 예측기와 2차 극점 적응 예측기로 구성된다. 본 논문에서는 적응 예측기의 처리속도를 향상 시키기 위하여 알고리즘 시뮬레이션을 통해 얻은 결과를 바탕으로 모든 연산과정을 고정소숫점 형태로 수행하도록 설계하였으며, 영점 예측과 극점 예측이 동시에 처리되도록 하였다. 또한, 산술 연산을 위하여 "Carry Select Adder" 방식을 도입하여 가산기를 설계하였으며, 승산기를 "Modified booth algorithm"을 적용한 Multiplier standard cell을 이용하였다. 전체적인 하드웨어 설계는 하드웨어 설계 툴인 COM-PASS tool을 이용하였으며 1.0[μm] Standard Cell을 사용하였다.

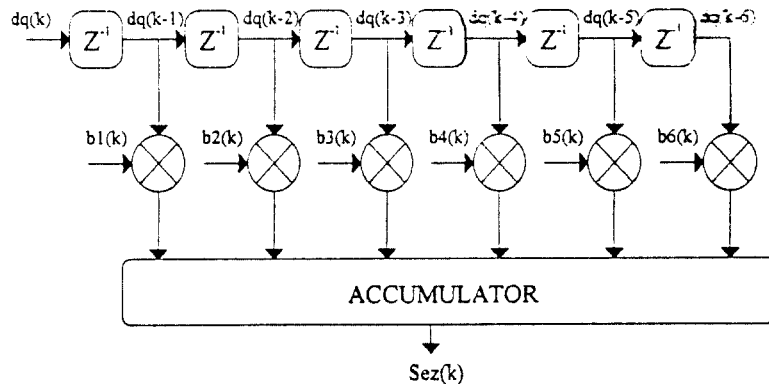


그림 3. 영점 적응 예측기의 구조  
Figure 3. A structure of zero adaptive predictor

1. 6차 영점 적응 예측기 설계

영점 적응 예측기는 6차 FIR 필터 구조의 트랜스버설(transversal) 필터이다. 이러한 비회귀적(nonrecursive) 형태의 필터는 필터 특성을 향상시키기 위하여 고차(high-order)의 필터가 요구되지만 양자화에 민감하지않고 안정하기 때문에 적응 예측기의 안정성을 관장하며 그림 3과 같은 구조를 갖는다.

예측기 입력신호에 적응되기 위해서는 예측계수(필터계수)가 입력신호의 변화에 따라 가중(weight)이 조절되어야 하며 식 (2)에 의하여 갱신된다.

$$b_i(k) = (1-2^8)b_i(k-1) + \text{sgn}(d_q(k))\text{sgn}(d_q(k-i)) \quad (2)$$

여기서,  $\text{sgn}(x) = x$ 의 부호

$$i = 1, 2, 3, \dots, 6$$

식 (2)에서 첫번째 항은 이전 입력 샘플에 의한 누설 인자이며, 두번째 항은 현재의 입력 샘플의 부호와 이전 입력 샘플의 부호를 통해 얻어지는 예측계수 이득이다. 그림 4는 설계한 영점 적응 예측기의 회로도이다. CCITT에서 테스트용으로 사용하도록 권고한 VECTOR1.MU 파일등을 이용하여 설계된 영점 적응 예측기의 논리 시뮬레이션 결과와 알고리즘 시뮬레이션을 통해 얻은 결과값을 15 bit 부호있는 2의 보수형태로 변환한후 비교하여 일치함을 확인하였다. 입력신호  $d_q(k)$ 와 영점 예측계수  $b_1(k) \sim b_6(k)$ 의 시뮬레이션 결과와 입력신호  $d_q(k)$ 와 지연신호  $d_q(k-1) \sim d_q(k-6)$ 의 시뮬레이션 결과는 그림 5와 같다.

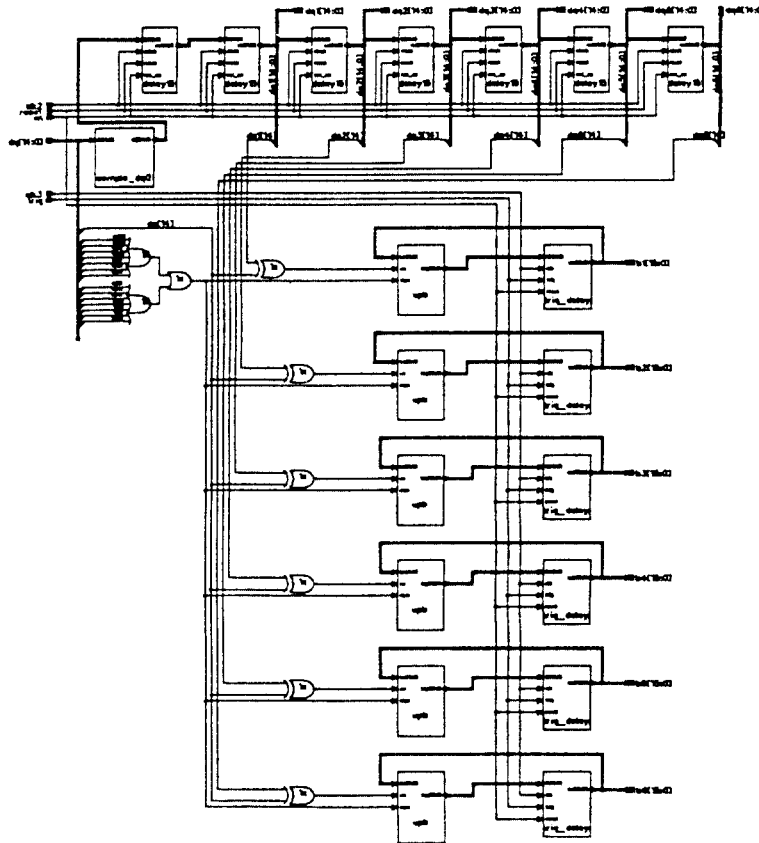
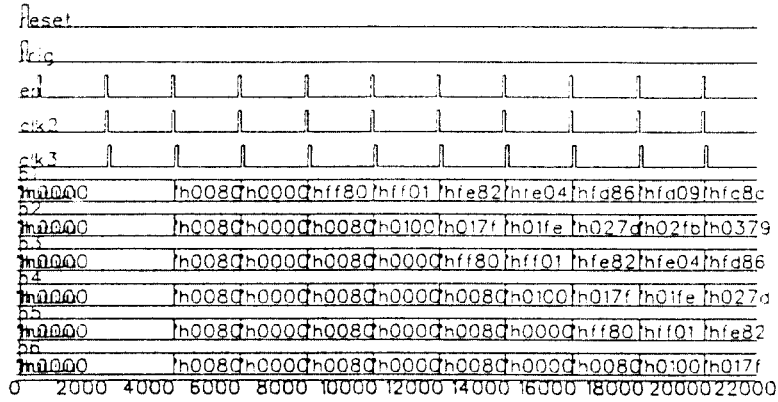
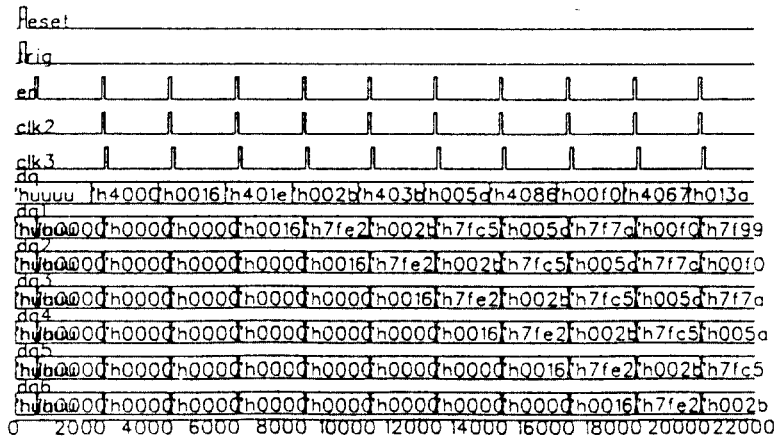


그림 4. 영점 적응 예측기 회로도  
Figure 4. Circuit of zero adaptive predictor



(a) 입력신호와 예측계수  
(a) Input signal and prediction factor



(b) 입력신호와 지연신호  
(b) Input signal and delayed signal

그림 5. 영점 적응 예측기의 시뮬레이션  
Figure 5. Simulation of zero adaptive predictor

2. 2차 극점 적응 예측기 설계

극점 적응 예측기는 2차의 IIR 필터 구조를 가지며 전체 적응 예측기의 필터 특성을 향상 시키기 위해 사용되며 그림 6과 같은 구조를 갖는다.

그러나, 이러한 회귀적(recursive) 구조는 양자화에 큰영향을 받으며, 안정성의 문제가 발생 할 수 있다. 이러한 문제를 해결하기 위하여 예측계수가 발진하지 않도록 제한(limit)되어야 하며 양자화에 의한 영향을 줄이기 위하여 원 신호로 재구성하여 신호를 처리해야 한다.

따라서 극점 적응 예측기는 크게 재구성 신호계산 블럭과 예측 필터 부분으로 구분된다.

2차 극점 적응 예측기의 예측계수  $a_1(k)$ 와  $a_2(k)$ 는 식 (3)에 의해 갱신된다.

$$\begin{aligned}
 a_1(k) &= (1-2^*)a_1(k-1) + (3 \cdot 2^*)sgn[p(k)]sgn[p(k-1)] \\
 a_2(k) &= (1-2^*)a_2(k-1) + 2^7\{sgn[p(k)]sgn[p(k-2)] \\
 &\quad - f[a_1(k-1)sgn[p(k)]sgn[p(k-1)]\} \\
 \text{여기서, } f(a_1) &= 4a_1 \quad |a_1| \leq 2^{-1}
 \end{aligned}
 \tag{3}$$

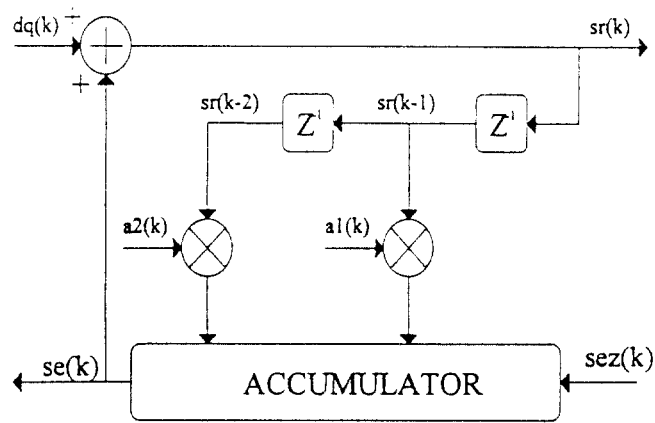


그림 6. 극점 적응 예측기의 구조  
Figure 6. Structure of pole adaptive predictor

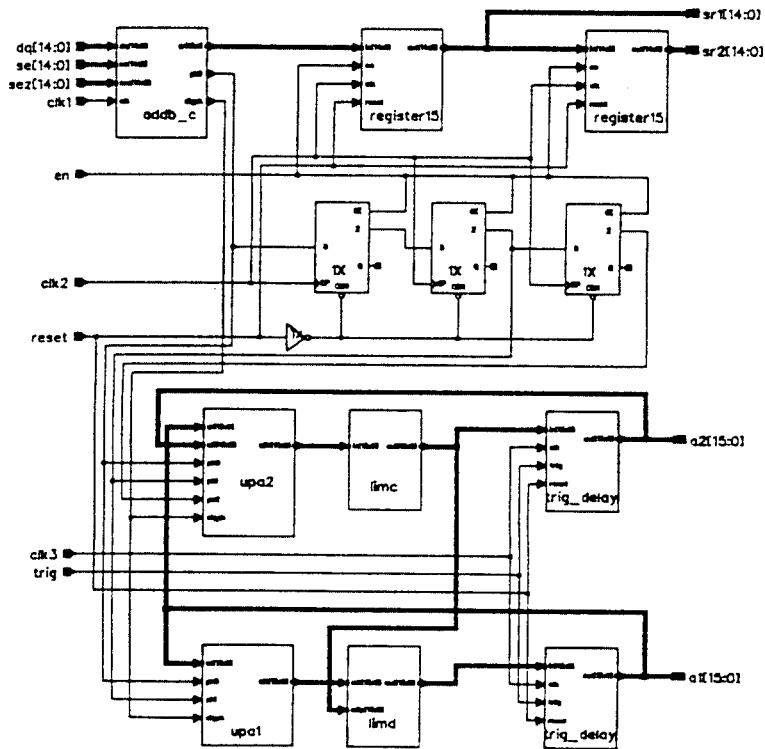


그림 7. 극점 적응 예측기의 회로도  
Figure 7. Circuit of pole adaptive predictor

$$= \sim 2sgn(a_1) \quad |a_1| > 2^{-1}$$

그리고, 예측계수의 발진을 방지하기 위하여 식 (4)와 같이 계수를 제한한다.

$$\begin{aligned} |a_2(k)| &\leq 0.75 \\ |a_1(k)| &\leq 1 - 2^{-4} - a_2(k) \end{aligned} \quad (4)$$

예측계수 갱신과 재구성 신호 계산 및 추정신호와 양자화된 차분신호와의 합의 부호를 구하는 블럭으로 구성된 2차 극점 적응 예측기의 회로도도는 그림 7과 같다.

그림 8은 설계된 2차 극점 적응 예측기에서 입력신호  $d_q(k)$ 와 극점 예측계수  $a_1(k)$ ,  $a_2(k)$  및 재구성신호

$sr_1(k-1)$ ,  $sr_1(k-2)$ 의 시뮬레이션 결과이다.

### 3. 적응 예측기 전체 블럭 설계

적응 예측기 전체 블럭은 앞 절들에서 설계한 6차 및 2차 적응 예측기 블럭과 승산기 블럭 및 어큐뮬레이터(accumulator)로 구성되며 블럭도는 그림 9와 같다.

본 논문에서는 6차 및 2차 적응 예측기 블럭이 동시에 수행되도록 설계하였으며, 하나의 승산기로 승산을 수행하였고, 승산을 위한 데이터 선택 신호를 생성하기 위하여 3비트 카운터와 데이터 선택을 위한 8-to-1 MUX를 첨가하였다. 적응 예측기의 전체 블럭 회로도도는 그림 10과 같다.

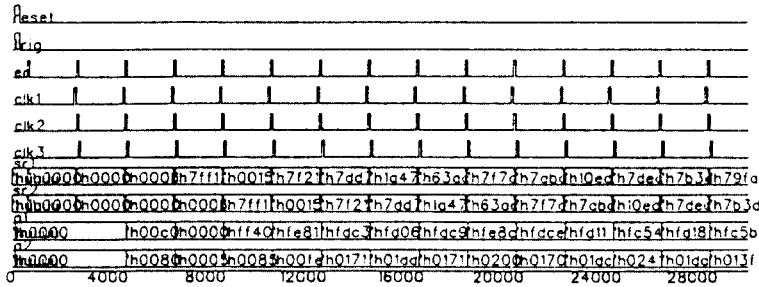


그림 8. 극점 적응 예측기 시뮬레이션  
Figure 8. Simulation of pole adaptive predictor

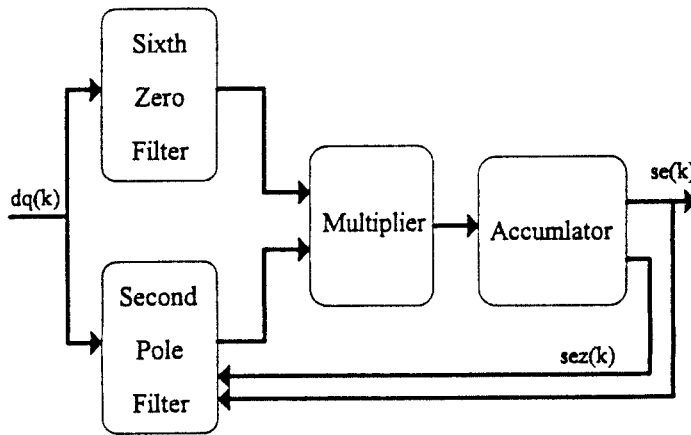


그림 9. 적응 예측기의 블럭도  
Figure 9. Block diagram of adaptive predictor



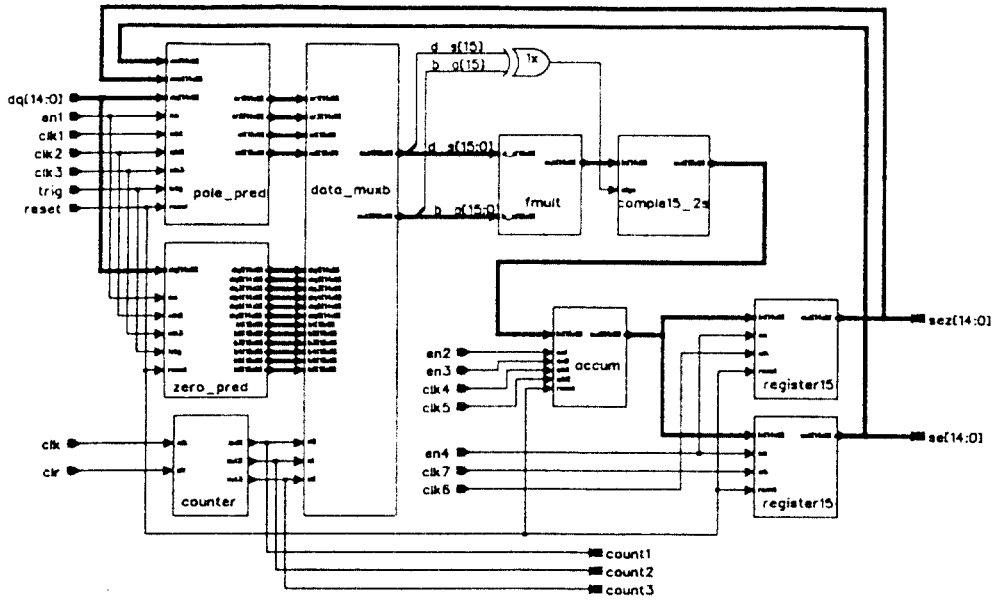


그림 10. 적응 예측기 회로도  
Figure 10. Circuit of adaptive predictor

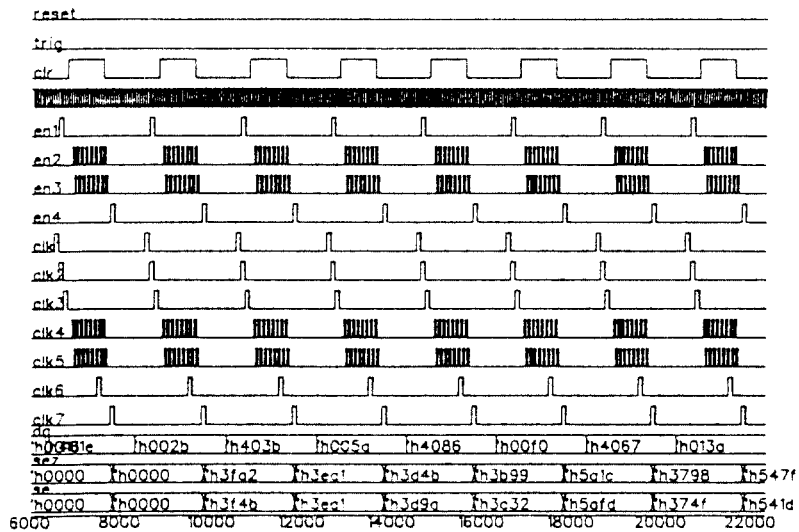


그림 11. 적응 예측기 전체 블록 시뮬레이션  
Figure 11. Simulation of adaptive predictor

그림 11은 전체 블록 회로의 시뮬레이션 결과이다. 논리 시뮬레이션 결과 알고리즘 시뮬레이션 결과와 일치함을 확인하였으며, 전체 지연시간은 약 75(ns) 정도임을 확인하였다.

#### IV. 결 론

본 논문에서는 기존의 64 kbps PCM 데이터틀 32 kbps 데이터로 압축하여 통신채널의 처리 능력을 2배로 증가시키면서 양질의 음성통신이 가능한 ADPCM 시스템의 One-chip ASIC화를 위하여 ADPCM 시스템의 핵심 블록인 적응 예측기를 설계하였다.

적응 예측기의 하드웨어 설계는 고속 처리가 가능하도록 COMPASS tool을 이용하였으며 설계한 하드웨어의 검증을 위해 알고리즘 시뮬레이션을 통해 얻은 결과와 하드웨어의 논리 시뮬레이션을 통해 얻은 결과가 일치하는것을 확인하였으며, 설계한 예측기의 처리 속도가 2( $\mu$ s)로서 고속처리가 가능함을 확인하였다. 따라서 ADPCM 시스템의 전체 처리속도의 약 1/2을 적응 예측기에서 차지하기 때문에 고속의 ADPCM 시스템의 하드웨어 설계가 가능하며, 125( $\mu$ s)이내로 처리해야 하는 CCITT 알고리즘을 충분히 만족 시킬 수 있는 속도 개선이 가능하다. 그러므로 기존의 PCM 통신망의 여러 채널을 하나의 ADPCM 시스템으로 수용할 수 있어 통신채널의 다중화가 가능 하리라 사료되며 영상처리 및 이동통신에 적용가능할 것이다.

#### 참고문헌

1. CCITT Recommendation G.721, 32 kbit/s Adaptive Differential Pulse Code

- Modulation(ADPCM), CCITT Red Book, Fascicle III.3, pp.125-155, Oct. 1984.
2. CCITT Recommendation G.721, 32 kbit/s Adaptive Differential Pulse Code Modulation(ADPCM), CCITT Blue Book, Fascicle III.4, pp.231-268, Nov. 1988.
3. T. Nishitani, S. Aikoh, T. Araseki, A 32 kb/s Toll Quality ADPCM Codec Using a Single Chip Signal Processor, Proc. of ICASSP' 82, Vol. 2, pp.960-963, Apr. 1982.
4. P. Noll, N. S. Jayant, Digital Coding of Waveforms, Prentice hall, 1984.
5. W. R. Daumer, X. C. Maitre, P. Mermelstein, I. Tokizawa, Overview of the ADPCM Coding Algorithm, IEEE Proc. GLOBECOM' 84, Vol. 2, pp.774-777, Nov. 1984.
6. N. AHMED, Adaptive Signal Processing, Prentice-Hall inc., 1988
7. B. Widrow, S. D. Stearns, Adaptive Filtering Handbook of Digital Signal Processing, Academic Press. inc., 1987.
8. T. Nishitani, I. Kuroda, M. Satoh, A CCITT standard 32 kbit/s ADPCM LSI Codec, IEEE Trans. on Acous. Speech and Signal Proc., Vol. ASSP-35, No. 2, pp. 219-225, Feb. 1987.
9. M. Bonnet, O. Macchi, Theoretical Analysis of the ADPCM CCITT Algorithm, IEEE Trans. on comm., Vol. 38, No. 6, pp. 847-858, June, 1990.
10. S. Haykin, Adaptive Filter Theory, second edition, Prentice-Hall, 1991.



白 德 洙(Dedg Soo Baek) 정희원

1963年 1月 7日生

1988年 2月 : 圓光大學校 電子工學  
科 工學士1990年 2月 : 崇實大學校 電子工學  
科 工學碩士1992年 3月~現在 : 圓光大學校 電子  
工學科 博士課程修了

1991年 12月~現在 : 裡里農工專門大學 電子科 助教授



金 煥 容(Hwan Young Kim) 정희원

1951年 5月 11日生

1973年 2月 : 全北大學校 電氣工學  
科 工學士1978年 2月 : 全北大學校 電氣工學  
科 工學碩士1984年 2月 : 全北大學校 電氣工學  
科 工學博士1986年~1987年 : CANADA MANITOBA University 客  
員教授

1994年 6月~現在 : 韓國通信學會 全北支部 副支部長

1979年~現在 : 圓光大學校 工科大学 電子工學科 教授