DBpia

論文 95-9-9-15

비정상적인 모드로 동작되는 동기식통신망에서 발생되는 포인터조정지터의 분석

正會員 崔 承 國*

Analysis of Pointer Adjustment Jitter in Synchronous Network Operating in Degraded Mode

Seung Kuk Choi* Regular Member

要 約

동기식통신망이 비정상적으로 동작하는 degraded 모드에서 포인터조정이 여러번 연속적으로 행하여졌을 때 발생되는 지터를 연구하였다. 이러한 지터를 분석하기 위하여 하드웨어 시뮬레이터가 제작되었으며 시뮬레이터에서 발생되는 지터가 측정되었다. 연속적으로 20개 연결된 시스템에서 스타핑비가 모두 0.01 근처의 값으로 조정되었을 때 발생되는 지터의 rms값은 대략 160ns로 측정되었다. 또한 스타핑비가 모두 0 근처의 작은 값을 가질때 n개 연결된 시스템에서 √n에 비례하여 √n 44.6ns의 rms값을 가지는 가장 큰 지터가 발생되는 것이 밝혀졌다.

ABSTRACT

The accumulated jitter in a chain of pointer adjustment systems in degraded synchronous network mode is analyzed. To analyze the jitter, a hardware simulator is built and the simulated jitter is measured. The rms amplitude of the simulated jitter at the output of 20 systems is ca. 160ns. When all systems operate at stuffing ratio near 0, the greatest jitter appears. The rms amplitude of this worst case jitter accumulates at a rate of the square root of the number of systems in the chain.

* 市立仁川大學校 情報通信工學科
Dept. of Information and Telecomm. Eng., Univ. of Inchon
論文番號 : 95110-0317
接受日字 : 1995年 3月 17日

www.dbpia.co.kr

Ⅰ. 서 론

광대역 통신망의 망노드접속(NNI: Network Node Interface)의 표준으로 동기식 디지탈계위(SDH: Synchronous Digital Hierarchy)가 제정되었으며 동기식 전송장치가 상용화되고 있다 [1][2]. 동기식통신망의 각 노드에 있는 클럭들은 이상적인 경우 그 주파수 및 위상이 모두 동기되어 일치되어져야 한다. 그러나 동기망이 동기를 잃어서 각 노드의 클럭들이 서로 다른 주파수로 비정상적으로 동작하거나 한 국가에서 서로 동기가 되어있지 않은 다른 국가로 신호가 전송될 때 주파수편차로 인하여 노드클럭간의 위상차는 급격하게 증가 또는 감소한다(degraded mode). 이와 같은 위상변화는 버퍼(buffer)에 데이타를 임시로 저장한 후에 다시 노드내로 읽어 들이는 과정에서 에러를 발생하게 한다. 그러므로 동기식전송장치에서는 이러한 위상차 변화를 정/영/부 위치맞춤(positive/zero/negative justification)으로 보정하여 주며 이러한 과정에서 포인터조정지터(pointer adjustment jitter)가 발생된다. 통신망내의 한 노드에서 다른 노드로 전송되어지는 신호는 매번 정/영/부 위치맞춤에 의해 지터가 발생되여 전송과정에서 지터는 축적(accumulation)되어 점점 더 증가할 것이다.

정/영/부 위치맞춤은 버퍼에 들어 있는 데이타를 읽어 들이기 위하여 공급되는 노드클럭중 정위치맞춤자리에 있는 클럭들을 삭제시켜 gap을 만들거나 부위치맞춤자리에 있는 클럭들을 생성시켜서 노드클럭과 입력클럭간의 위상차이를 상한과 하한값 사이에서 만 변동하게 하여 주는 스타핑동기방식(stuffing synchronization technique)이다. 이런 과정에서 발생되는 포인터조정지터(또는 스타핑지터)는 Duttweiler[3], Matsuura[4]에 의해 이론적으로 분석되었는데 이 연구들에서는 스타핑장치의 구조에 따라 발생되는 지터가 달라지는 영향이 고려되지 않았기 때문에 이 지터모델을 이상적스타핑지터(ideal stuffing jitter)라고 표시하기로 한다. 스타핑장치에 나타나는 실제의 지터가 이상적지터와 다른 것이 발견되어 그 원인의 규명 및 실제의 지터에 대한 연구가 행하여졌으며, 연구 결과, 실제 발생되는 지터는 이상적지터보다 크기가 큰 것으로 밝혀졌다[5][6]. 크기가 작아서 유리한 이상적지터를 발생시킬 수 있는 스타핑제어방식이 소개되었으며 또한 비동기식 다중화장치 139/565(digital signal multiplexer DSMX139/565)에서 신호가 여러번의 스타핑-역스타핑 과정을 거치면서 전송될 때 축적되어 증가하는 이상적지터의 성질이 연구되었다[7].

동기식전송망에서 각 노드클럭은 거의 같은 주파수로 동작하며 동기망에 장애가 생기면 미세한 주파수편차가 발생한다. 이러한 작은 주파수편차에 의한 위상차를 보정하기 위하여 행하여지는 위치맞춤의 빈도는 그러므로 거의 0에 가깝다. 스타핑이 행하여지는 빈도가 0에 가까운 포인터조정시스템에서 발생하는 지터는 종래의 비동기식 다중화시스템에서 발생하는 지터와는 그 모양이 다른 특수한 경우가 된다. 본 논문에서는 여러번의 위치맞춤을 거치면서 디지탈신호가 전송될 때 축적되어 증가되는 지터를 이론적으로 분석하며 하드웨어 시뮬레이션에 의한 방법으로 연구하고자 한다.

Ⅱ. 포인터조정동기장치

동기식 디지탈계위와 각 계위의 전송속도 및 프레임구조는 CCITT권고안 G.707, 708과 709에 의해 확정권고되었다[1]. 동기식전송방식에서 사용되는 다중화단계에서 기본요소는 STM-1(Synchronous Transport Module level-1)으로 이의 기본주파수는 155.52 Mbit/s이며 프레임(frame)의 반복주파수는 8 kHz이다. STM-1에 수용되는 신호들은 가상콘테이너(VC:Virtual Container), TU(Tributary Unit) 및 AU(Administrative Unit)등의 다중요소를 거치면서 단계적으로 STM-1 프레임내의 페이로드(payload)에 삽입된다.

가상콘테이너는 STM-1의 페이로드내에 AU 포인터에 의해 지시되는 위치에 규칙적으로 배열된다. 한 노드(노드 A)에서 신호가 사상된 후 동기식 STM에 다중화되어 다른 노드(노드 B)로 전송된다. 이 전송된 STM에서 VC가 분리되어 다른 STM에 다시 다중화되어 다른 노드(노드 C등)로 전송된다. 비정상적으로 동작하는 동기식통신망에서는 노드 A의 클럭으로 형성된 VC와 이 클럭과 다른 주파수를 가지는 노드 B의 클럭으로 형성된 STM간의 위상차가 계속 증가 또는 감소하게 되므로 동기식다중장치에서는 정/영/부 위치맞춤으로 그 위상차를 보정하여 준다.

정/영/부 위치맞춤은 버퍼에 들어있는 데이타를 읽어

www.dbpia.co.kr

내기 위하여 공급되는 노드 B의 클럭(read clock : node multiplex clock) 중 STM의 프레임내에 있는 정위치맞춤자리(positive justification opportunity)에 있는 클럭들을 AU-4의 경우 세 바이트씩 삭제시켜 gap이 있는 클럭을 만들어 그 자리에 더미바이트를 삽입하거나(정위치맞춤) 또는 부위치맞춤자리(negative justification opportunity)에 있는 gap 대신 그 자리에 클럭들을 세 바이트씩 생성시켜 그 자리에 데이타를 삽입하여(부위치맞춤) STM 프레임과 VC의 위상차이가 상한과 하한 한계값(upper and lower threshold values) 사이에서 만 변동하게 하여주는 방식이다. 이때 STM프레임내에서 계속 변동되는 VC의 시작위치는 위치맞춤에 따라 변화되는 포인터에 의해서 표시되며 이 과정에서 지터가 발생한다.

이와 같은 정/영/부 위치맞춤은 매 프레임마다 발생할 수 있는 것이 아니라 최대 매 4번째 프레임마다 발생할 수 있도록 CCITT권고안 G.709[11]에서 규정하고 있다. 따라서 발생가능한 최대위치맞춤의 주파수는 2kHz(8kHz/4)가 된다. 비정상적으로 동작하는 동기식통신망에서 각 노드클럭의 주파수는 155.52 Mbit/s 보다 4.6 ppm 높거나 낮을 수 있다. 이러한 노드클럭간의 주파수편차는 한번에 24비트씩 보정되는 위치맞춤으로 조정되어야 하므로 실제 위치맞춤이 행하여지는 빈도 대 최대로 위치맞춤이 일어날 수 있는 빈도(1초당 2000번)의 비인 스타핑비는 +0.03에서 -0.03 사이의 값을 가진다.

다른 노드에서 전송되어 역다중화(demultiplexing)된 가상콘테이너를 다시 STM의 페이로드에 정/영/부 위치맞춤을 이용하여 다른 신호와 함께 다시 재다중화시키기 위한 포인터조정(pointer adjustment)동기장치의 구성도가 그림 1에 도시되었다[8,9]. 버퍼의 입력번지발생기(write address generator)는 수신된 입력클럭(write clock)에 의해서 카운트(count)된다. 버퍼의 데이타를 순차적으로 읽어내기 위한 출력번지발생기(read address generator)는 오버헤드 및 현 노드에서의 위치맞춤으로 인한 gap이 포함된 노드클럭(read clock)으로 카운트된다. STM의 프레임내 일정한 위치(comparison position)때마다 두 번지발생기의 출력값이 latch되어 저장된다. 이 저장된 두 발생기의 번지값이 서로 비교되어 그 차이값이 상한값보다 크거나 하한값보다 작게될 때마다 위치맞춤이 요구된다.

이와 같은 새로운 스타핑동기제어장치는 종래에 사용되어오던 장치들에 비해 그 구조가 복잡하나 두 클럭간의 위상비교가 매 프레임내 일정한 위치에서 행하여지므로 이상적지터가 발생할 것이라 예측되었다. 이러한 구조를 가지는 포인터조정동기장치가 제작되어 발생되는 지터가 측정된 결과, 그러나 이상적지터와 다른 모양의 지터가 관측되었다[10]. 비교위치신호가 위치하는 순간에 write번지발생기에 공급되는 클럭에 오버헤드등으로 인한 gap이 존재하면 write번지발생기가 이 순간 카운트

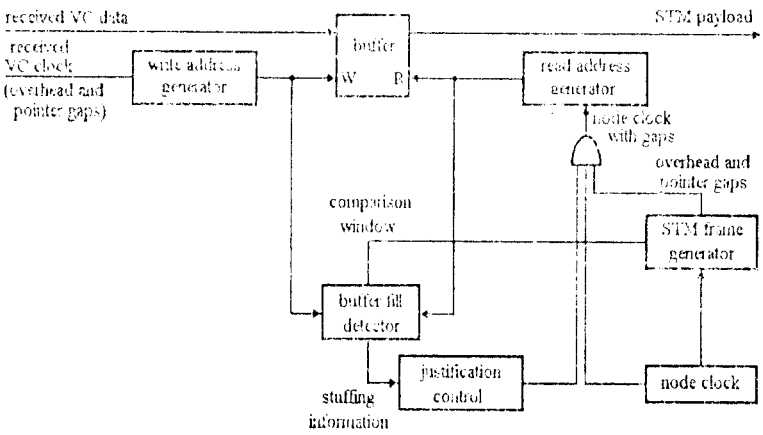


그림 1. 포인터조정동기장치의 구성도
Fig. 1. Block diagram of pointer adjustment synchronization system

www.dbpia.co.kr

되지 못하며 따라서 두 클럭간의 위상비교가 제대로 이루어지지 못하는 것이 그 이유로 분석되었다. 그러므로 이 gap이 존재하는 입력클럭을 또 하나의 PLL로 평활시켜 균일한 클럭으로 만들어서 write번지발생기에 공급하면 이상적인 스타핑지터가 발생한다[10].

Ⅲ. 연속적으로 연결된 포인터조정장치에서 발생되는 지터

다중화되어 어떤 노드로 전송된 신호는 분리, 재배치되어 다른 신호와 다중화된 후 또 다른 노드로 계속 전송될 수 있다. 이때 각 노드에 있는 포인터조정장치에서 위치맞춤이 행하여지며 이 과정에서 지터가 발생한다. 발생된 지터는 다음 노드에 있는 평활 PLL에 의해 감쇠되며 이 감쇠된 지터가 포함된 클럭이 포인터조정시스템의 입력에 가해진다. 연속적으로 n개 연결된 시스템의 출력에 나타나는 지터는 n-1번째 시스템의 출력에서 발생된 지터와 n-1 번째 노드클럭의 주파수 및 n번째 노드클럭의 주파수에만 따라서 결정된다. 동기식통신망에서는 각 노드클럭의 주파수가 거의 같으므로 두 노드클럭의 주파수편차에 의해 결정되는 스타핑비 S_r가 0 근처의 작은 값을 가진다.

노드클럭의 주파수가 입력클럭의 주파수 보다 조금 높으면 두 클럭간의 위상차는 서서히 일정한 기울기로 증가하며 이 값이 상한경계값보다 커지게 되면 정위치맞춤이 발생하여 그 때마다 24비트 위상시간(24UI: 24 Unit Interval: 155.52 Mbit/s 클럭에서 150ns)씩 위상차가 감소하게 된다. 그러므로 이때 발생되는 이상적인 지터는 반복주기가 $(1/S_r)$ (1/2000)sec.인 저주파의 톱니파 모습이 된다. 이러한 지터의 모양은 종래의 비동기식 다중화장치에서 대기시간효과 때문에 발생되는 지터(waiting time jitter)와는 다른 모습이다.

입력클럭의 주파수가 노드클럭의 주파수 보다 조금 높아 노드간의 위상차가 서서히 일정한 기울기로 감소하는 경우에는 이 위상차 값이 하한경계값 보다 작아지게될 때 마다 부위치맞춤이 발생하여 그때마다 24비트씩 위상값이 증가한다.이 경우에 발생하는 지터도 정위치맞춤시에 발생하는 지터와 같은 모습이나 다만 그 기울기가 음인 점만이 다르다. 지터는 스타핑비가 0 근처의 값으로 아주 작은 경우에 더욱 그 반복주기가 큰 저주파의 지터가 되므로 이러한 지터는 평활 PLL로도 감쇠되지 못하여 시스템의 출력에 그대로 나타난다(worst case jitter). 노드클럭의 주파수편차가 최대 4.6ppm으로 큰 경우에는 스타핑비도 0.03의 값을 갖게되며 이러한 지터는 지터전달함수의 3-dB 대역폭이 수백 Hz 정도인 평활 PLL에 의해 각 노드에서 톱니파지터의 고조파성분이 감쇠된다.

스타핑비가 0 근처의 작은값으로 동작하는 포인터조정시스템이 두개 연속적으로 연결되었을때 두번째 시스템의 출력에 나타나는 이상적인 지터가 그림 2에 도시되었다. 이때 첫번째 시스템에서 정위치맞춤이 행해지며 그 스타핑비를 S_{r1}이라 하면 첫번째 시스템에서 발생하는 지터는 양의 기울기를 가지며 반복주기는 $(1/S_{r1})$ (1/2000)sec.이며 높이는 24UI인 저주파의 톱니파형이다. 두번째 노드클럭의 주파수가 첫번째 노드클럭의 주파수보다 높으면 두 클럭간의 위상차도 역시 증가하게 된다. 이때 이 크기가 첫번째 시스템에서 발생되는 지터 $\phi_{S1}(t)$에 비해서 위상차이가 너무 커져서 상한경계값(그림 2(a)에서 점선)을 초과하게되면 그 때마다 정위치맞춤이 발생하여 24UI씩 지터의 크기가 감소 된다. 따라서 두 시스템의 출력에 나타나는 지터의 파형 $\phi_{S2}(t)$는 그림 2(a)에서 굵은 선으로 표시된 것과 같은 모양이 되며 이 지터는 최대 48UI의 값을 가질 수 있다.

이때 오직 첫번째와 두번째 노드클럭의 주파수차이에만 따라서 두번째 시스템에서의 스타핑비 S_{r2}와 지터의 기울기가 결정된다. 한편 첫번째 시스템의 출력에 발생되는 지터는 오직 입력클럭과 첫번째 노드클럭의 주파수 차이에만 따라서 결정된다. 그러므로 그림 2(a)에서와 같이 연속적으로 두개 연결된 시스템의 출력에 나타나는 지터 $\phi_{S2}(t)$는 기울기는 랜덤하게 서로 다르나 높이는 24UI로 같은 독립적인 두 톱니파 지터신호의 합과 같다. 따라서 두 포인터조정시스템의 출력에 나타나는 랜덤한 톱니파형의 지터는 0에서 24UI까지의 균일한 확률밀도함수(uniform probability density function)을 가지는 독립적인 두 랜덤변수 Φ의 합이 된다. n개 연속적으로 연결된 시스템에서 발생되는 랜덤지터 Φ_n도 n=2인 경우와 마찬가지로 n개의 서로 독립적인 랜덤변수 Φ의 합으로 표시된다.

$$\Phi_n = \Phi + \Phi + \cdots + \Phi \quad (1)$$

이러한 n개의 독립적인 랜덤변수의 합으로 표시되는

www.dbpia.co.kr

지터의 variance σ_n^2(또는 교류성분지터의 평균전력)은 한 시스템에서 발생되는 톱니파형 지터의 평균전력 σ^2의 n배이다.

$$\sigma_n^2 = n \cdot \sigma^2 = n \cdot (1/12) \cdot (1/155.52 \cdot 1000 \cdot 24)^2 = n \cdot 1985\ [ns^2] \quad (2)$$

만일 두번째 노드클럭의 주파수가 첫번째 노드클럭의 주파수보다 낮으면 두 클럭간의 위상차는 일정한 기울기로 감소하게 된다(그림 2(b) 참조). 이때 이 크기가 첫번째 시스템에서 발생되는 지터 $\phi_{S1}(t)$에 비해서 위상차이가 너무 작아져서 하한경계값(그림 2(b)에서 점선)보다 작게 되면 그때마다 부위치맞춤이 발생하여 24UI씩 지터의 크기가 증가 된다. 따라서 두 시스템의 출력에 나타나는 지터의 파형 $\phi_{S2}(t)$는 그림 2(b)에서 굵은 선으로 표시된 것과 같은 모양이 되며 이 지터의 최대값은 48UI 보다 작다. 즉 연속적으로 연결된 시스템에서는 S_{r1}, S_{r2}, S_{r3}, ……, S_{rn}의 크기가 모두 0 근처의 아주 작은 값이고 극성이 모두 같은 경우에 크기가 가장 큰 지터가 발생한다(worst case accumulated jitter).

Ⅳ. 연속적으로 연결된 포인터조정장치에서 발생되는 지터의 시뮬레이션

그림 3이 연속적으로 연결된 포인터조정장치에서 발생되는 이상적인 지터를 분석하기 위하여 제작된 하드웨어 시뮬레이터에 대한 구성도이다. 포인터조정동기장치는 그림 1의 구조로 설계되었으며 두장의 카드(그림 3의 PP1-1과 PP1-2)에 수용되었다. 이때 over head로 인한 gap이 제거된 클럭이 이 동기장치의 내부에 동작되도록 하여 이상적인 스타핑지터가 발생하도록 하였다[10]. 이외에 25932.4kHz에서 동작하는 평활 PLL(그림 3의 PLL1)도 아울러 제작되었다. 이 PLL의 지터전달함수는 1차 저역필터의 전달함수와 근사한 모양으로 설계되었으며 그 3-dB 대역폭을 100 또는 500Hz(제작된 PLL에서는 17.2 또는 86.2Hz)로 선택할 수 있도록 제작하였다. 두장의 카드로 구성된 PP와 PLL1으로 한 노드에서 발생되는 지터 및 그 지터의 평활과정이 시뮬레이션될 수 있다. 두쌍의 이와 같은 시스템과 세개의 노드클럭 OSC1-3이 제작되었다.

이러한 시뮬레이터를 동작시키면 연속적으로 두개 연결된 포인터조정장치에서 발생되는 지터가 PLL2의 출력클럭에 나타난다. 이 지터가 포함된 클럭(clock

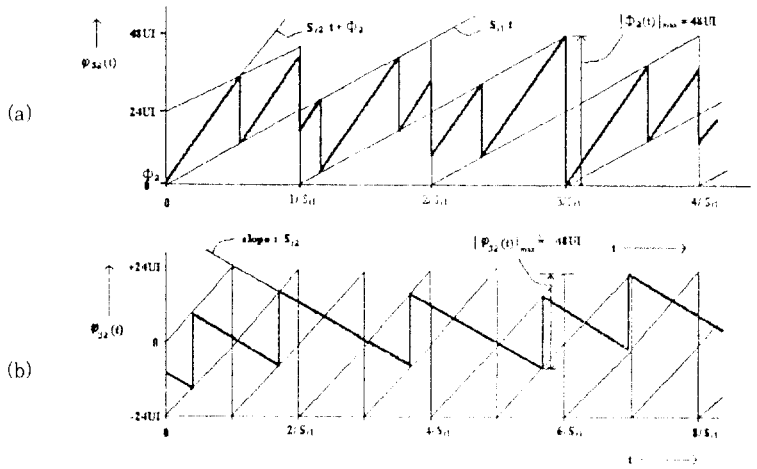


그림 2. 스타핑비 Sr가 0 근처로 동작되는 포인터조정시스템이 두개 연속적으로 연결되었을때 발생되는 지터의 파형((a): $S_{r1}>0$, $S_{r2}>0$: (b): $S_{r1}>0$, $S_{r2}<0$)
Fig. 2. Generation of jitter in a chain of 2 pointer adjustment systems, when both systems operate with stuffing ratio close to 0.

www.dbpia.co.kr

with jitter)를 OSC1 기준입력클럭과 위상검출기(PD:Phase Detector)로 비교하여 그 지터를 측정하였다. 포인터조정장치는 원래 155.52Mbit/s로 동작하여야 하나 하드웨어 제작의 어려움을 피하기 위하여 시뮬레이터는 약 26Mbit/s로 동작되도록 TTL을 사용하여 설계하였다. 시뮬레이터에서 측정되는 지터신호도 주파수를 155.52 -> 26Mbit/s로 낮춘것에 비례하여 그 주파수 성분이 낮아지게 되지만 앞으로 본 논문에서는 원래의 155.52Mbit/s 시스템에 맞도록 그 측정 데이타를 표시하기로 한다.

PD로 검출된 지터신호는 A/D변환기의 샘플링주파수보다 1/2배 낮은 주파수성분만 존재하도록 저주파 필터링된 후에 A/D변환기를 통하여 컴퓨터에 저장된다. 저장된 신호를 위상변조기(PM:Phase Modulator)에 가하면 다시 이 지터성분이 포함된 클럭(write clock with jitter)을 만들 수 있다. 이 지터가 포함된 PM의 출력클럭을 시뮬레이터 PP1-1의 입력에 인가하면 PLL2의 출력에는 4개의 포인터조정시스템이 연속적으로 연결되었을때 발생되는 지터가 나타난다. 이와 같은 방법을 반복하여 임의의 여러개의 시스템이 연속적으로 연결되었을 때 나타나는 지터를 발생시켰다. 그림 4에 위상변조기의 구성도가 도시되었다. 이 변조기의 기본구조는 PLL이며 PLL내에 있는 phase detector 뒷단에 변조시키고자 하는 아날로그 신호 $v_m(t)$를 외부에서 인가시키면 이 변조신호와 출력클럭에 변조된 위상 $\phi_0(t)$간의 전달함수는 다음과 같이 된다.

$$\frac{\Phi_o(s)}{V_m(s)} = \frac{1}{K_d} H(s) \tag{3}$$

이때 H(s)는 PLL의 지터전달함수이며 K_d는 phase detector의 이득이고 $V_m(s)$는 변조신호의 Laplace변환식이다. 위 식에서 보듯이 위상변조시키고자 하는 변

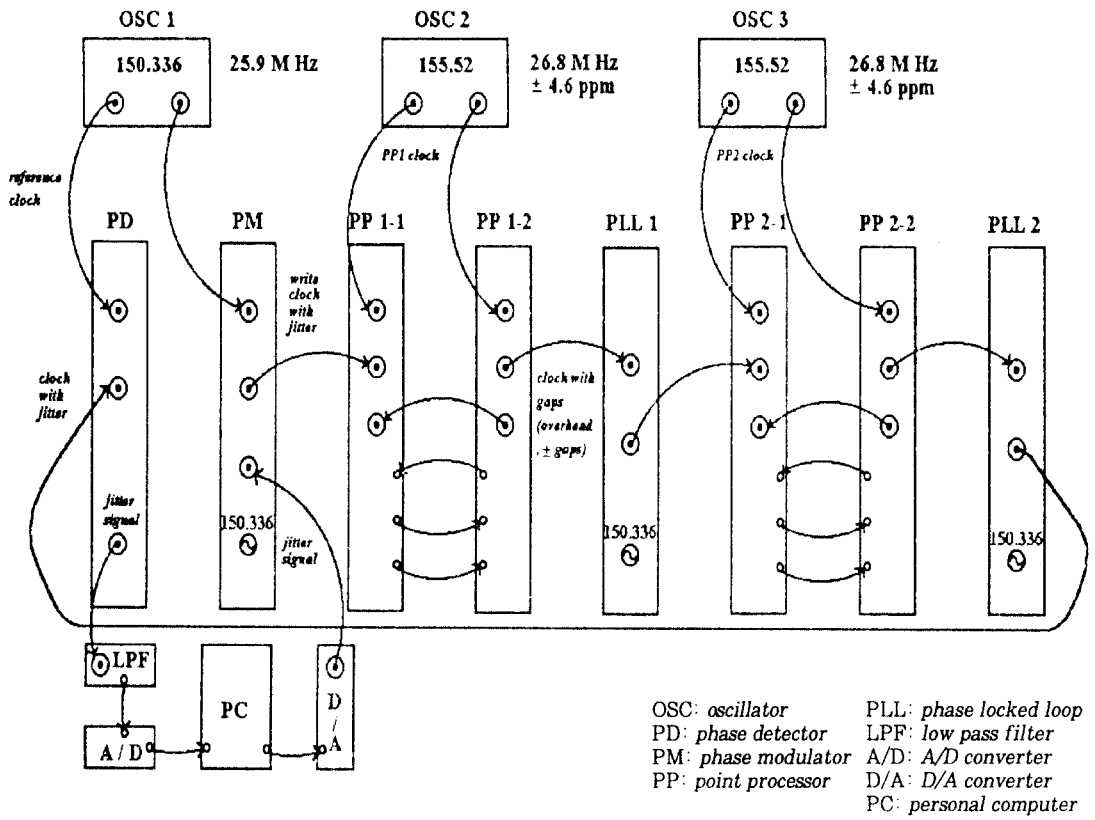


그림 3. 하드웨어 시뮬레이터의 구성도
Fig. 3. Block diagram of hardware simulator

www.dbpia.co.kr

조신호의 주파수대역폭보다 10배 이상의 넓은 대역폭을 PLL이 가져야 감쇠 없는 위상변조가 이루어질 수 있다. 포인터조정시에는 세 바이트씩 제어되어 매우 큰 크기의 지터가 발생되므로 위상변조기도 그 변조도가 커야 되므로 변조기내의 VCO(Voltage Controlled Oscillator)로 Motorola IC MC1648을 이용한 LC oscillator를 사용하였다. 제작된 위상변조기와 위상검출기의 중요한 특성은 자체고유지터와 선형성(linearity)이다. 즉 자체 시스템 내부에 발생되는 잡음이 작아야 하며 위상변조와 검파가 모두 찌그러짐이 없이 이루

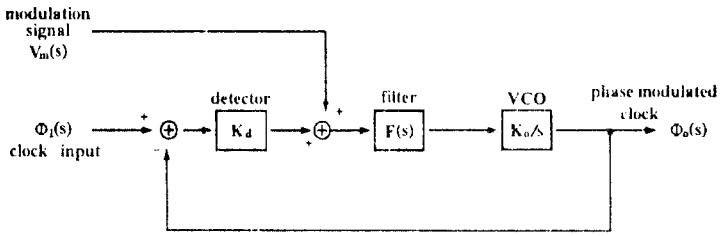


그림 4. 위상변조기의 구성도
Fig. 4. Block diagram of phase modulator

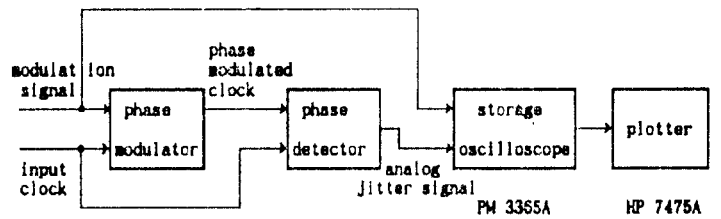


그림 5. 위상변조기와 위상검출기의 특성측정을 위한 시스템 구성도
Fig. 5. System configuration for measurements of characteristic of PM and PD.

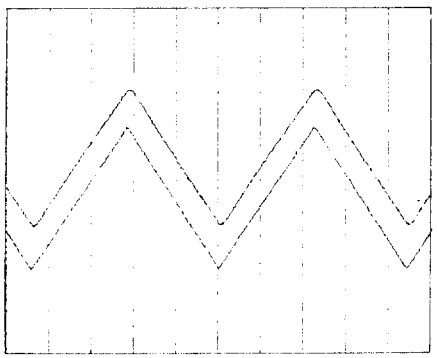


그림 6. 위상변조신호와 이 신호로 PM을 이용하여 클럭을 위상변조시킨 후 다시 PD로 검출된 신호의 파형
Fig. 6. Phase modulation signal and phase detected signal.

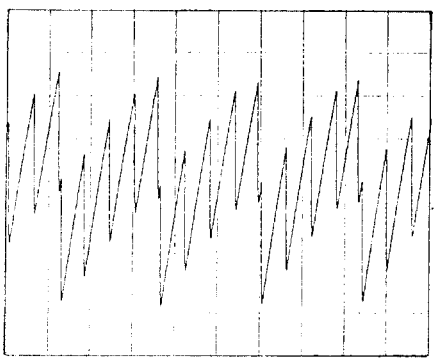


그림 7. 첫번째 포인터조정시스템의 스타핑비가 0.01이며 두번째 시스템의 스타핑비가 0.01보다 조금 크게 조정되었을 때 발생되는 지터.
(x축:86 ms/div.; y축:8UI/div. ; 1UI:6.43 ns; PLL의 대역폭:300Hz)
Fig. 7. Jitter waveform in a chain of two pointer adjustment systems. when S_{r1} is 0.01 and S_{r2} is close to 0.01.

www.dbpia.co.kr

어져야 한다. 선형성을 측정하기 위하여 그림 5와 같이 시스템을 구성하여 먼저 기준클럭의 위상을 PM으로 변조시킨 후에 그 변조된 클럭의 위상변화를 다시 PD로 검파하여 그 입·출력 신호를 그림6에 비교하였다.

그림 3의 하드웨어 시뮬레이터에서 평활 PLL의 3-dB대역폭을 300Hz로 조정하고 첫번째 포인터조정장치의 스타핑비 S_{r1}을 0.01 되도록 첫번째노드클럭(OSC1)과 두번째 노드클럭(OSC2)의 주파수를 조정하였다. 이때 두번째 포인터조정장치의 스타핑비 S_{r2}를 0.01보다 약간 크게하거나 0.01보다 작게 되도록 세번째 노드클럭(OSC3)의 주파수를 조정했을 때 두번째 시스템의 출력에 크기가 큰 포인터조정지터가 발생되었다(그림 7). 이 측정파형은 그림 2(a)의 이론적인 파형과 일치한다. 다만 측정파형에서는 S_r이 0 보다 큰 0.01로 조정되었으므로 발생되는 지터의 고주파 주파수 성분이 평활 PLL에 의해 약간 감쇠된 것만 다를 뿐이다. 첫번째 포인터조정시스템의 스타핑비 S_{r1}을 +0.01로 그대로 두고 두번째 시스템의 스타핑비 S_{r2}를 -0.01로 조정했을 때에는 그림 8과 같은 크기가 작은 지터가 발생된다. 이 측정파형은 그림 2(b)의 이론적인 파형과 일치하며 따라서 첫번째 시스템과 두번째 시스템의 스타핑비의 극성이 같은 경우에만 두 시스템의 출력에 큰 크기의 지터가 발생되는 것이 확인된다.

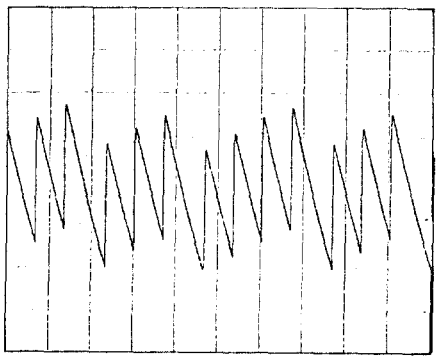
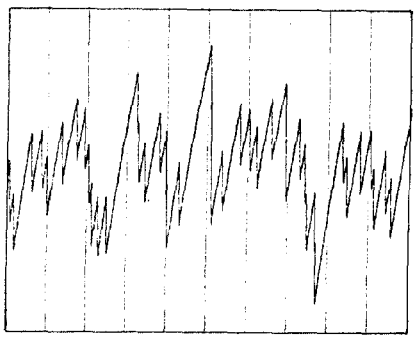


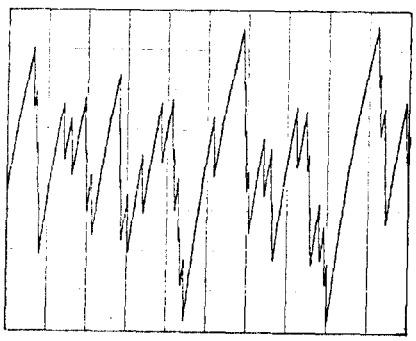
그림 8. 첫번째 포인터조정시스템의 스타핑비가 0.01이며 두번째 시스템의 스타핑비가 -0.01으로 조정되었을 때 발생되는 지터
(x축:86 ms/div.; y축:8UI/div. ; 1UI:6.43 ns; PLL의 대역폭:300Hz)

Fig. 8. Jitter waveform in a chain of two pointer adjustment systems, when S_{r1} is 0.01 and S_{r2} is -0.01.

그림 9(a)는 포인터조정이 11번 연속적으로 이루어졌을때 즉 노드수 n = 12 일때 발생하는 지터의 측정파형이다. 이때 각 시스템의 스타핑비 S_{r1} - S_{r11}은 모두 0.01 근처의 값으로 조정되었다. 그림 9(b)는 노드수 n = 20을 통해 전송된 디지탈신호가 포함하고 있는 포인터조정지터의 측정파형이다. 그림 10의 곡선 2가 스타핑비가 모두 0.01인 시스템이 n개 연속적으로 연결되었을때 발생되는 지터의 rms값이 연결된 시스템의 수에 따라 증가하는 모습이다. 이때 각 노드내 평활 PLL의 3-dB 대역폭은 300Hz이다. 연속적으로 연결된 포인터조정장치에서 나타날 수 있는 가장 큰 지터는 스타핑비



(a)



(b)

그림 9. 연속적으로 n개 연결된 포인터조정시스템에서 스타핑비가 모두 0.01 근처로 조정되고 평활 PLL의 대역폭이 300Hz일 때 발생되는 지터의 파형.
(x축:172ms/div. ; y축:16UI/div.; (a):n=12, (b):n=20)

Fig. 9. Filtered pointer adjustment jitter in a chain of n systems, when all systems operate with stuffing ratio 0.01.
((a):n=12, (b):n=20 ; 3-dB bandwidth of smoothing PLL:300 Hz)

www.dbpia.co.kr

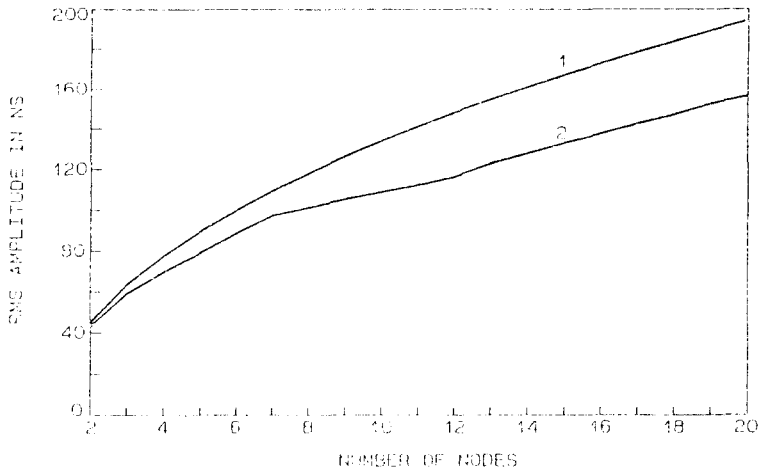


그림 10. 연속적으로 연결된 모든 시스템에서 평활 PLL의 3-dB 대역폭이 300Hz일때 연결된 시스템의 수에 따라 증가되는 필터링된 포인터조정지터의 실효치.
(1: 스타핑비가 모두 0 근처인 worst case에 대한 이론치;
2: 스타핑비가 모두 0.01일 때 시뮬레이터에서 측정된 값)

Fig. 10. rms amplitude of filtered pointer adjustment jitter as a function of the number of cascade connected systems.
(1: theoretical worst case value when all stuffing ratio is close to 0 ;
2: measured value in simulator when all stuffing ratio is 0.01)

가 모두 0 근처로 아주 작을때 발생한다(worst case accumulated jitter). 이러한 bound값은 이론적으로 식(2)로 계산되었으며 그림 10에 곡선 1로 표시되었다.

V. 결 론

디지탈신호가 SDH 동기식전송망을 통하여 다중화되어 전송될 때 발생하는 지터에 대하여 연구하였다. 각 노드에서 포인터조정이 매번 행하여지면서 신호가 계속 전송되어지면 지터는 축적되어 증가된다. 이 축적되는 포인터조정지터가 이론적 및 제작된 하드웨어 시뮬레이터에서 발생되는 지터를 측정하여 분석되었다. 동기식통신망에 장애가 발생하여 각 노드내 클럭들이 서로 다른 주파수로 동작되는 비정상적인 모드에서는 클럭간의 위상차가 급격하게 변화하기 때문에 빈번하게 포인터조정이 행하여지게 되므로 비교적 높은 주파수의 지터가 발생한다.

이론적인 연구결과, 스타핑비가 0 근처 값으로 모든 시스템이 동작할때 제일 큰 크기의 포인터조정지터 (worst case accumulated jitter)가 발생하였다. 이 지터는 포인터조정횟수 n의 $\sqrt{n}$에 비례하여 $\sqrt{n} \cdot 44.6$ns의 rms값을 가지는 것이 밝혀졌다. 따라서 연속적으로 20번 포인터조정이 행해졌을때 발생되는 지터는 그 rms값이 최대 199ns의 값을 가질 수 있다. 스타핑비가 0.01 근처 값으로 모든 시스템이 동작할 때 나타나는 지터가 제작된 하드웨어 시뮬레이터를 이용하여 생성되어 연결 시스템의 수에 따라 증가하는 지터의 rms값이 측정되었다. 이때 지터는 고주파성분이 PLL로 감쇠되어 그 크기가 위의 worst case 경우보다는 작은 값을 보였으나 포인터동기장치에서 발생되는 지터는 바이트단위로 위치맞춤이 처리되므로 그 크기가 크다. 그러므로 앞으로 발생되는 지터의 크기를 작게할 수 있는 포인터조정 제어방식에 대한 연구가 자세히 이루어져야 할 것이다.

참고문헌

1. CCITT revised Recommendation, G. 707, G. 708, and G. 709, 1992.
2. 황성문, "한국통신의 광통신기술 발전전략", 한국통신

www.dbpia.co.kr

학회지, 제9권 8호, pp.5~13, 1992. 8.
3. Duttweiler D.L., "Waiting Time Jitter", Bell Syst. Tech. J., Vol. 51, pp.165~207, Jan. 1972.
4. Matsuura Y., Kozuka S. and Yuki K., "Jitter Characteristics of Pulse Stuffing Synchronization", IEEE Int. Conf. on Commun., pp.259~264, June 1968.
5. Choi S.-K., "Messtechnische Untersuchung des Stopfjitters in Multiplex systemen fuer Breitbandsignale", ntzArchiv, Vol. 8, No. 12, pp.311~316, Dec. 1986.
6. 최승국, "동기식 통신망을 위한 스타핑동기 방식에서 발생되는 지터에 관한 연구", 한국통신학회 논문집, 제17권, 제5호, pp.433~441, 1992. 5.
7. 최승국, "연속적으로 연결된 스타핑동기장치들에서 발생되는 지터에 대한 연구", 한국통신학회 논문집, 제19권, 제8호, pp.1558~1569, 1994. 8.
8. Sexton M.J. and Reid A.B., "ATM Terminal Engineer's Guide, 10. Transmission Networking : SONET and the SDH", Artech House, 1992.
9. Wolaver D., "Pointer Adjustment Sequence Due to Frequency Offset", Contribution to T1 standards project T1X1.3 / 92~149.
10. 최승국, "포인터조정장치에서 발생되는 지터의 측정 및 분석", 한국통신학회논문지 게재예정.

崔 承 國(Seung Kuk Choi) 정회원

1974년 : 연세대학교 전자공학과(공학사)
1981년 : 연세대학교 대학원 전자공학과(공학석사)
1988년 : 독일 Braunschweig 대학교 전자공학과(공학박사)
1978년~1981년 : 한국전자통신연구소 연구원
1989년~현재 : 인천대학교 정보통신공학과 부교수
※주관심 분야 : 디지탈통신시스템, 동기(synchronization)

www.dbpia.co.kr