

마이크로 스트립 전송선로상의 MIM 커패시터의 모델링

正會員 安東植*, 張東弼*, 吳承燁**

A Study on Modelling of MIM Capacitor in Microstrip Line

Dong Sik Ahn*, Dong Pil Jang*, Seung Heup Oh** Regular Members

要 約

마이크로 스트립 전송선로상에 구현된, 또는 부착된 MIM 커패시터에 대한 집중형 등가회로 모델은 여러 사람들에 의해 다양하게 제시되었지만, 직접회로인쇄기법에 의한 제작공정에 적합한 것은 없었다. 따라서 본 논문에서는 Micro-Pen이라는 직접회로 인쇄장치를 이용하여 테프론과 알루미나 기판에 MIM 커패시터를 제작 또는 부착하여 그 특성을 측정하였다. 그리고 집중형 R, L, C 와 분산형 전송선로 T 를 이용하여 등가모형을 만들고 Optimization 기법과 관련 이론들을 적용하여 요소값들을 결정하였다. 그리고 가장 적당한 등가회로 및 요소값 결정을 위한 공식을 제시하였다. 이 등가 모델은 기존의 공개된 등가모델과 현재 상용으로 사용 중인 Super-Compact의 TFC 모델에 비해 높은 주파수 대역에서 측정결과 우수한 특성을 나타내었다.

ABSTRACT

MIM Capacitor models for microstrip line are proposed by many people, but those are not based on direct writing process. In this paper MIM capacitors are fabricated by Micro-Pen direct writing equipment, or attached by wire bonding on Teflon and Alumina substrates and measured their characteristics. Lumped element R, L, C , and distributed transmission line T are combined to find adequate model for every possibilities and used optimization technique and related theory to determine their elements values.

Finally most adequate model and its elements equations were chosen and proposed.

This equivalent model shows better performance for high frequency than conventional equivalent circuit and commercial Super-Compact TFC model.

*한국전자통신연구소

ETRI

**충남대학교

Chungnam National University

論文番號 : 95207-0608

接受日字 : 1995年 6月 8日

I. 서론

박막이나 후막을 이용한 집중형 초고주파용 회로를 만들 때나 MMIC 회로의 제작에 있어 MIM 커패시터의 활용은 매우 많다. 그러나 이와 같은 MIM 커패시터를 직접회로에 인쇄하거나, MIC 선로상에 부착한 경우 그 특성이 간단한 커패시터만으로 나타나지 않으므로 이와 같은 MIM 커패시터에 대한 해석은 쉽지 않다. 실제로 여러 종류들의 해석을 위한 등가회로들이 나와 있지만 (2), (3), (4), (5), (6), (7) 이들 관련 문헌들은 명확히 기생효과들까지 포함한 그 요소값들을 결정하는 수식의 제공을 꺼리고 있다. 특히 집중형 등가회로 모델의 경우가 그러하며 이러한 내용들은 MMIC 회로설계의 핵심일 뿐더러, 제작방식 및 장비에 따라서도 다소 차이가 있을 수 있어, 일반적인 사항 이외에는 공개하지 않고 있다. 따라서 본 논문에서는 집중형과 분산형을 혼합하여 적정한 등가회로를 만들어 쉽게 이론적으로 구할 수 있는 집중형 요소값들은 구하고 그렇지 못한 부분들은 최적화 알고리즘을 이용하여 직접인쇄 기법에 의한 회로 제작에 적합한 MIM 커패시터의 등가모델을 구하고자 하였다.

본 논문에서는 이와 같은 혼합형 등가회로를 찾기 위하여 먼저 대표적인 등가 모델에 임피던스 Z₀의 마이크로 스트립 전송선로를 삽입하여 실제 제작과 측정을 통해 얻어진 데이터들로 최적화 알고리즘을 이용하여 이들의 요소값들을 결정하는 방법을 제시하며 성능을 파악하고자 하였다. 그리고 비교의 기준으로 기존에 공개된 등가회로 모델 (7)의 경우와 상용 S/W인 Super-Compact의 TFC 모델을 선택하였다.

II. 본론

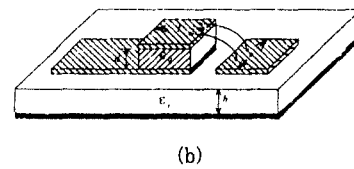
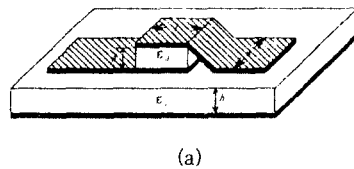


그림 1. MIM 커패시터의 연결 방법에 따른 구조.
 (a) 전송선로상에 직접 구현한 경우 (b) 전송선로에 Chip을 붙이고 Wire로 Bonding한 경우.
 Fig. 1. The structure according to the connecting methods of MIM capacitors.
 (a) Directly made capacitor on line (b) The chip capacitor using wire bonding connection.

1. MIM 커패시터의 구조 및 해석

그림1은 MIM 커패시터 회로 내 연결 방법에 따른 구조를 나타낸 것이다.

이제 해석을 위해 그림 1(a)의 구조에 대해 분석하기로 한다. 그림 2 는 이와 같은 것을 등가회로로 나타낸 회로이다 (4).

만일 커패시터의 구조가 s/10 가까이 또는 그 이상이 될 경우 그 구조는 몇 개의 연결 구조로 해석될 수 있다.

그림 2에서 T₁는 밀면 전송선로를 나타낸 것이고, T₂는 윗면의 전송선로를 나타낸 것이다. 그리고 G는 커패시터 유전체에서의 손실을 나타낸 것이며, C_T와 C_B는 MIM 커패시터의 윗면과 밀면이 접지면 사이에서 갖는 기생 커패시턴스를 나타낸 것이다. 한편 그림 1(b)의 구조에 있어서는 T₂ 다음에 Wire bonding에 의한 인덕터 L을 하나 삽입하여 해석하면 될 것이다.

이때 각각의 소자값은 다음과 같이 구할 수 있을 것이다 (1).

$$C = \frac{\epsilon_0 \epsilon_r w l}{d} \tag{1}$$

$$C_B = \frac{\epsilon_0 \epsilon_r w s l^2}{h} + C_{os} \tag{2}$$

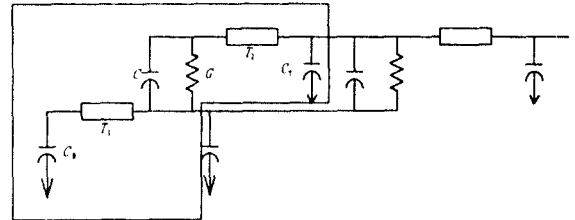


그림 2. 일반적인 MIM 커패시터의 등가회로.
 Fig. 2. The equivalent circuit of MIM capacitor.

$$C_T = \frac{\epsilon_r \epsilon_0 (w_{eff} - w) \cdot l}{h} + C_{\infty} \cdot \frac{w}{w_{eff}} \quad (h \gg d) \quad (3)$$

$$w_{eff} = \frac{h \cdot \eta}{Z_0 \sqrt{\epsilon_{eff}}} \quad (4)$$

$$C(\delta) = \omega C \tan \delta \quad (5)$$

여기서 C_{∞} 는 마이크로스트립선로의 단락에 의한 커패시턴스를 나타낸다. 그리고 실험적 결과에 대해 최적화 알고리즘을 수행해 본 결과 T_1 은 무시할 만 하였고 T_2 는 폭이 w 이고 기판의 유전율이 ϵ_r , 두께 h , 길이가 $l/2$ 인 특성임피던스 Z_0 의 전송선로가 적당하였다.

w_{eff} 는 전계 퍼짐에 의한 전송선로의 실효폭을 나타낸 것이며, η 는 376.7, 그리고 $\tan \delta$ 는 유전체 필름의 loss tangent를 나타낸다.

한편 그림 1(b)와 같은 경우 Bonding wire에 의한 인덕턴스 L 은 식(6)과 같다.⁽²⁾

$$L_w (nH) = 5.08 \times 10^{-1} \cdot l_w \cdot \left[\ln \left(4 \frac{l_w}{d_w} - 1 \right) \right] \quad (6)$$

$$R_w(\Omega) = R_s \cdot \frac{l_w}{\pi d_w} \quad (7)$$

여기서 d_w 와 l_w 의 단위는 mils이다.

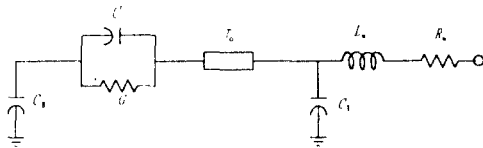


그림 3. MIM 커패시터의 제안 등가회로.
Fig. 3. The proposed equivalent circuit of MIM capacitor.

표 1. $\epsilon_r=2.2$, $h=0.787$ mm 인 기판에서 MIM 커패시터 설계 규격.
Table 1. The design spec. of MIM capacitor on the substrate with $\epsilon_r=2.2$, $h=0.787$ mm

C(pF)	ϵ_d	$d(\mu m)$	$w(mm)$	$l(mm)$	표본 이름
4	3	25	2.4	1.6	표본 1
7.6	3	10	2.4	1.2	표본 2
7.6	3	10	1.2	2.4	표본 3

만일 커패시터의 길이 l 이 최고 이용 주파수의 $\lambda/10$ 이상이 되면 2개 이상의 회로로 나누어 연속 접속으로 해석하는 것이 적합 할 것으로 판단된다. 그러나 일반적으로 l 이 $\lambda/10$ 에 비해 적은 경우이므로 하나의 등가회로로 하면 될 것이다.

따라서 두 경우를 모두 포함하는 등가회로는 그림 3과 같이 나타낼 수 있을 것이다.

이제 이와 같은 등가회로에 의한 해석과 그림 4의 공개된 등가모델 및 수식에 의한 결과를 비교하여 보기로 한다.⁽⁷⁾

$$C_1 = C_2 \text{ (pF)} = 10^{-2} \left[\frac{\sqrt{\epsilon_{eff}}}{Z_0(w, h, \epsilon_r)} - \frac{\epsilon_r w}{360 \pi h} \right] \cdot l \quad (8)$$

이 경우 Bonding Wire에 의한 것은 식(6), (7)으로 그림3과 같이 부가하면 될 것이고, R 은 무시하기로 한다. 여기서 단위는 μm 이다. 그런데 L 은 구하는 수식이 없다. 이것은 다만 제작되어 측정된 특성에서 ω_0 를 구한 후 $\omega_0=1/(LC)^{1/2}$ 로 부터 L 을 구하는 것으로 되어 있다.

본 논문에서는 제작후 측정에 의해 L 을 역 추정한다는 것은 큰 의미가 없으나, 특성 파악을 위해 $L=0$ 인 경우와 측정값으로부터 ω_0 를 찾아 L 을 구해 대입한 경우들에 대해 특성 비교를 하여 보도록 한다.

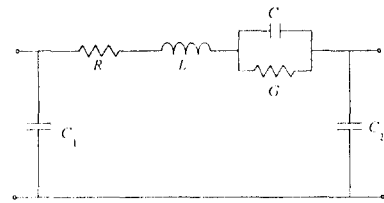


그림 4. 기존 공개된 등가모델.
Fig. 4. Conventional known equivalent circuit.

표 2. MIM 표본 커패시터의 등가 요소값.
Table 2. The equivalent element value of MIM capacitor.

등가요소 표본	C_1 (pF)	C_0 (pF)	C_T (pF)	T_2 (mm)	L_w (nH)	R_w (ohm)
1	4	0.111	0.053	0.8	0	0
2	7.64	0.092	0.045	0.6	0	0
3	7.64	0.097	0.054	1.2	0	0

2. 설계 및 제작

MIM 커패시터의 제작은 그림 1(a)와 같은 경우 직접 인쇄기법에 의해 유전율(ϵ_r) 2.2이고 두께(h)가 0.787mm인 테프론 기판 위에 표 1과 같은 규격으로 제작하였다.

이와 같은 MIM 커패시터의 제안된 등가모델의 경우의 각 등가 파라미터는 표 2와 같다.

그리고 기존 공개 모델에 있어 등가 파라미터들은 표 3과 같다.

한편 MIM Chip Capacitor와 wire bonding에 의한 경우의 제작 규격표 및 등가 요소값들은 표 4와 표 5에 나타내었다.

3. 측정 및 결과

MIM 커패시터는 크기가 매우 작기 때문에 측정을 위하여 마이크로스트립 전송선로에 직렬로 연결하여 회로망 분석기로 분석하였다. 따라서 별도의 보상용 키트가 필요하게 되며 그림 5는 이러한 보상용 키트를 나타낸 것이다. 그러나 MIM 커패시터의 성능 측정을 하는데 있어 저항이 무시할 만한 경우 S-파라미터의 크기만으로도 충분하며 이럴 경우에는 별도의 보상용 키트를 사용하지 않아도 큰 차이가 없다.

다음은 직렬로 연결된 피 측정체의 임피던스를 S-파라미터로 나타낸 것이다.

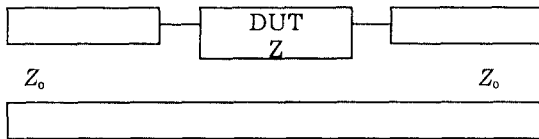


표 3. 표본 커패시터에 대한 기존 공개 모델의 등가 요소값.
Table 3. The equivalent element value of conventional model for sample capacitance.

등가요소 표본	C (pF)	C_1 (pF)	C_2 (pF)	L (nH)	R (ohm)
1	4	0.34	0.34	0.868	0
2	7.64	0.254	0.254	0.576	0
3	7.64	0.35	0.35	0.75	0

* L은 제작 및 측정에 의해 ω_0 를 구한후 $L=1/\omega_0^2 C$ 로 부터 구했음.

$$[s] = \frac{1}{Z+2Z_o} \cdot \begin{bmatrix} Z & 2Z_o \\ 2Z_o & Z \end{bmatrix} \quad (9)$$

따라서 Z는 다시 S-파라미터 S_{11} 또는 S_{21} 으로 식 10과 같이 나타내어진다.

$$Z = R_{eff} + \frac{1}{j\omega C_{eff}} = 2Z_o \cdot \frac{S_{11}}{1-S_{11}} \quad \text{or} \quad 2Z_o \cdot \left(\frac{1}{S_{21}} - 1 \right) \quad (10)$$

여기서 $R_{eff} \approx 0$ 인 경우 X_c 즉 $1/j\omega C$ 는 식 11과 같이 나타낼 수 있어 S_{11} 이나 S_{21} 의 특성으로부터 C의 특성을 파악할 수 있게 된다.

$$\frac{i}{j\omega C_{eff}} = X_c = 2Z_o \cdot \frac{S_{11}}{1-S_{11}} \quad \text{or} \quad 2Z_o \cdot \left(\frac{1}{S_{21}} - 1 \right)$$

이를 다시 나타내면 다음과 같다.

$$j\omega C_{eff} = \frac{1-S_{11}}{2Z_o \cdot S_{11}} \quad \text{or} \quad \frac{S_{21}}{2Z_o(1-S_{21})} \quad (11)$$

그림 5는 제작된 마이크로스트립 보상용 전송선로 키트를 나타낸 것이다.

그림 6은 표본1의 등가회로 방식별 S-파라미터 특성을 비교하여 나타낸 것이다. 이때 기존 공개 등가회로의

표 4. $\epsilon_r = 9.6$, $h=0.625$ mm인 기판에 부착한 MIM Chip Capacitor의 규격표(표본4).

Table 4. The spec. table of the MIM chip capacitor on transmission line (sample4).

C (pF)	기판 ϵ_r	w(mm)	l(mm)	d_w (mils)	l_w (mils)
1.3	9.6	0.89	0.89	1.25	53

표 5. 회로에 부착된 MIM Chip Capacitor의 등가 요소값들(표본4) 파라미터등가요소값

Table 5. The equivalent element values of the MIM chip capacitor on transmission line (sample4).

파라미터 등가요소값	C (pF)	T (mm)	C_0 (pF)	C_1 (pF)	L_w (nH)	R (ohm)	R_w (ohm)
제안된 회로	1.3	0.45	0.074	0.035	1.2	0.029	0.2
기존 회로	1.3	없음	0.45	0.45	1.2	0.029	0.2

L값은 측정 데이터의 공진 주파수 2.7GHz로 부터 계산 될 수 있으며 0.868nH이었다. 이 결과들을 보면 기존 공개 등가회로에서 L을 고려하는 것이 좀더 측정치에 근접함을 알 수 있고, 제안된 등가모델이 가장 실험 데이터에 근접하고 있음을 볼 수 있다. 커패시터의 측정은 50Ω 마이크로스트립 전송선로 위에서 함께 측정되나 전송선의 길이는 위상의 지연만을 가지므로 S-파라미터의 절대치만을 측정하면 된다. 측정에 사용된 회로망 분석기는 HP사의 8753C Network Analyzer이다.

그림 7은 표본2의 S-파라미터 특성을 등가회로 방식 별로 나타낸 것이다. 이 경우에 있어서도 표본 1과 비슷한 양상을 보이고 있으며 공진 주파수 2.4GHz로부터 공개 등가회로의 L은 0.576nH이다.

그림 8은 표본 3의 S-파라미터 특성을 비교하여 나타낸 것이다. 이것 역시 비슷한 특성을 나타내고 있다. 그

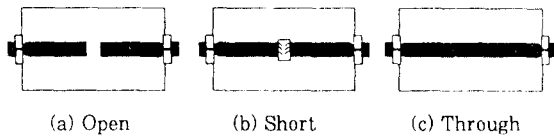


그림 5. 마이크로스트립 보상용 전송선로 키트.
Fig. 5. Specially designed calibrating set.

리고 공개 등가회로의 L은 공진 주파수 2.1GHz로 부터 0.75nH이다.

그림 9는 표본4의 S-파라미터 특성을 기존의 공개된 등가회로와 비교하여 나타낸 것이다. 공개된 등가회로의 경우 커패시터가 자체적으로 갖는 인덕턴스는 Bonding에 의한 인덕턴스에 비해 무시할 만 하므로 하나의 경우로 하여 비교하였다. 이 경우 기존의 공개된 등가회로에

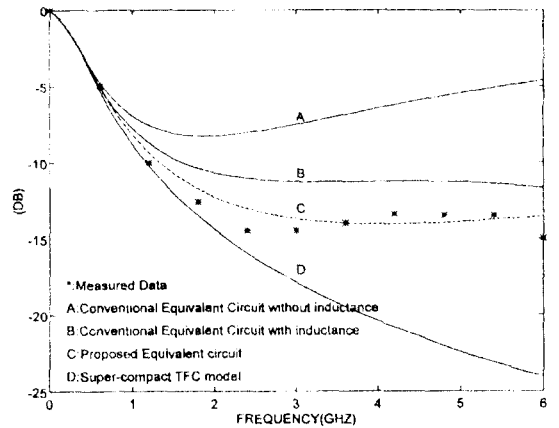


그림 6. 표본1의 |S11| 특성 비교.
Fig. 6. Comparison of |S11| characteristics of the sample 1.

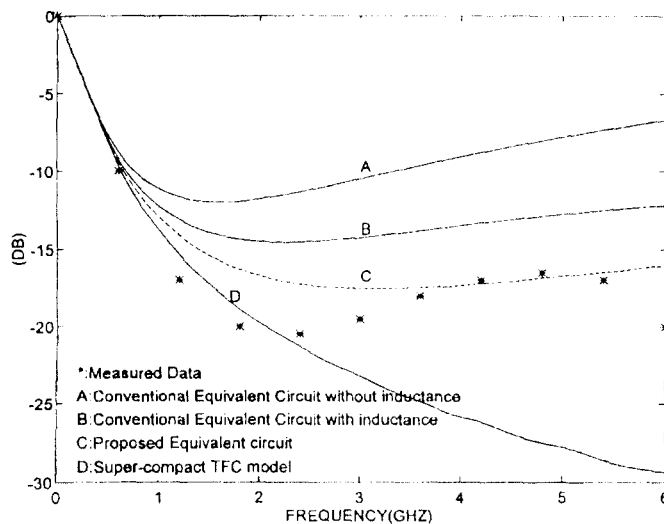


그림 7. 표본2의 |S11| 특성 비교.
Fig. 7. Comparison of |S11| characteristics of the sample 2.

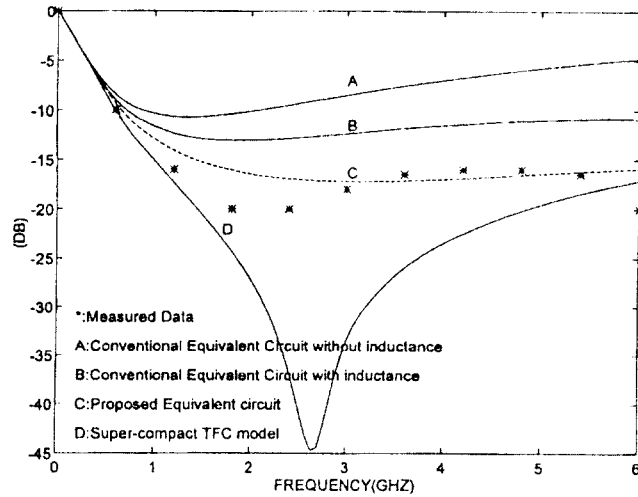


그림 8. 표본3의 |S11| 특성 비교.
Fig. 8. Comparison of |S11| characteristics of the sample 3.

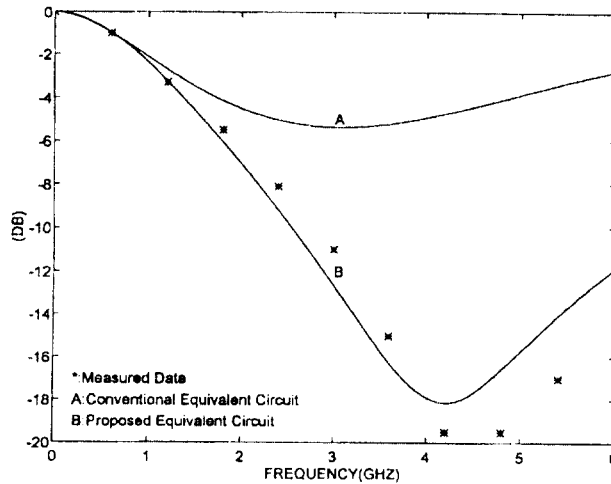


그림 9. 표본4의 |S11| 특성 비교.
Fig. 9. Comparison of |S11| characteristics of the sample 4.

비해 제안된 등가회로가 높은 주파수에서 월등히 우수한 특성을 보여 주고 있다.

Ⅲ. 결 론

본 논문에서 제시한 등가회로 모델은 집중형 요소들과

전송선로를 삽입하여 보다 높은 주파수에서 까지 측정결과들이 이론치에서 크게 벗어나지 않도록 하였으며, 전반적으로 비슷한 여러 경우에 있어 적용이 가능하도록 하는데 관점을 두고 개발되었으며, 실제 여러 경우에 있어 기존의 공개된 등가회로 모델에 비해 우수한 특성을 가짐이 확인되었다. 특히 MIM 커패시터의 크기가 $\lambda/30$

이상이 되는 경우 그 유효성이 크다. 실제 전송선로 T를 제외하고 나면 그 모델의 모양은 기존의 것과 같다. 그러나 기존의 것들과 요소값 결정 수식에 차이가 있으며, 실험 결과 본 논문에서 제시하는 수식이 좀더 신뢰성이 있다고 판단 되었다. 그리고 전송선로 T의 삽입으로 좀더 높은 주파수 또는 좀더 큰 크기에 있어 적용이 가능해졌음을 확인할 수 있었다. 또한 현재 많이 사용 중인 상용 S/W인 Super-Compact TFC 모델에 비해 높은 주파수에서 우수한 비교 특성을 나타내어 신뢰성을 가졌다고 생각 할 수 있다. 이번 모델의 개발은 직접회로인쇄기법에 의해 개발되었지만 다른 초고주파 회로 제작 기법인, 후막(Thick Film), 박막(Thin Film), MMIC등에 적용될 수 있을 것으로 판단된다.

참고문헌

1. Terry Edwards, *Foundations for Microstrip Circuit Design*, John Wiley & Sons, 1992, p.102.
2. K.C.Gupta, *Computer Aided Design of Microwave Circuits*, Artech House, 1981, p.212.
3. Hurt, John C., "A Computer-Aided Design System for Hybrid Circuits," *IEEE Transactions on Components, Hybrids, and Manufacturing Technology*, Vol. CHMT-3, NO. 4, December, 1980, pp.525-535.
4. Ravender Goyal, editor, *Monolithic Microwave Integrated Circuits*, Artech House, 1989, pp.333-340.
5. Allen A.Sweet, *MIC & MMIC Amplifier and Oscillator Circuit Design*, Artech House, 1990, pp.311-312.
6. Jyoti P. Mondal, "An Experimental Verification of a Simple Distributed Model of MIM Capacitors for MMIC Applications," *IEEE Trans. Microwave Theory Tech.*, Vol. MTT-35, pp.403-408, April, 1987.
7. Inder Bahl, and Prakash Bhartia, *Microwave Solide State Circuit Design*, John Wiley & Sons, 1988, pp.52-55.



安東 植(Dong Sik Ahn) 정희원

1980년 2월 : 아주대학교 전자공학과(학사)
 1984년 8월 : 연세대학교 대학원 전자공학과(석사)
 1990년 3월~현재 : 충남대학교 전자공학과 박사과정

1984년 3월~현재 : 한국전자통신연구소 근무, 선임연구원



張東 弼(Dong Pil Jang) 정희원

1992년 2월 : 충남대학교 전자공학과(학사)
 1994년 2월 : 충남대학교 대학원 전자공학과(석사)
 1994년 2월~현재 : 한국전자통신연구소 근무, 연구원

吳承 燾(Seung Heup Oh)

정희원

1971년 2월 : 연세대학교 전기공학과(학사)
 1973년 2월 : 연세대학교 대학원 전기공학과(석사)
 1982년 7월 : 연세대학교 대학원 전기공학과(박사)
 1977년~현재 : 충남대학교 전자공학과 교수
 1980년~1981년 : 일본 동국대 전기통신연구소 객원연구원
 1985년~1986년 : 미국 펜실바니아 주립대학 객원연구원