

최적 바이어싱에 의한 MOSFET 선형 전력 증폭기의 설계

正會員 金周弘*, 嚴基煥*, 李元一*, 李鎔求*, 孫東高**

The Design of MOSFET Linear Power Amplifier by Optimal Biasing

Joo-Hong Kim*, Ki-Hwan Eom*, Won-Il Rhee*, Yong-Gu Lee*, Dong-Seol Son** Regular Members

要 約

MOSFET 전력 증폭기의 왜율 및 전력 손실에 대한 최적 바이어스 전압을 이용한 설계법을 제안하고 시뮬레이션 하며, 제작 실험하였다. 최적 바이어스 전압은 왜율 및 전력 손실을 목적함수로 하고, 목적함수 안에 하중상수는 왜율과 전력손실에 대한 함수값이 서로 다르므로 단위계수 K_w 를 정하여 두 하중상수를 동일하게 작용하게 하여 3 분 탐색 알고리즘을 이용하여 구하였다.

3분 탐색법을 기본 알고리즘으로 하여 제안한 MOSFET 전력 증폭기의 최적 설계법은 시뮬레이션과 실험을 통하여 그 타당성을 확인 하였다.

ABSTRACT

This dissertation proposes for optimal design method of POWER MOSFET linear amplifier by considering the distortion of output swing and power loss within MOSFETs.

The Optimal bias voltages are determined by the trinary search algorithm. Unit coefficient(K_w) are used by the two weighting constants equivalent working.

In order to verify results of the optimal design method by the computer aided design, a single ended push pull POWER amplifier is realized with output stage of POWER MOSFETs.

The measurement results are in good agreement with the designed values.

*동국대학교 전자공학과

**유한전문대학 전자과

論文番號 : 94188-0715

接受日字 : 1994年 7月 15日

I. 서 론

MOSFET 전력 증폭기의 응용은 전력 구동회로, 오디오 출력회로, 각종 통신회로등 많은 산업 분야에 사용되고 있다.

MOSFET는 1980 년대에 들어와서 성능향상을 위한 기술동향이 저 저항화, 고 내압화, 고주파화, 전압 구동화, 파괴내량의 향상등 으로 진행되고 있다. MOSFET는 BJT에 비해 ON 저항이 높은 결점이 있었으나 미세공 기술의 진보로 소자의 단위면적당 ON 저항이 대폭 감소하였다⁽¹⁾.

출력의 대 전력화를 만족시키기 위하여 고 내압품이 개발되어 드레인소스 전압이 1500 V 까지 제품화가 되어있으며, 통신기기용 고주파 출력 트랜지스터는 바이폴라 트랜지스터가 주류였으나 고효율화, 고기능화로 인해 차단주파수가 높은 3 GHz 까지 POWER MOSFET를 사용할 수 있게 되었다. 이와 같이 성능의 향상으로 미소한 전력으로 큰 전력을 얻을 수 있으며 열적 안정이 뛰어나므로 적절한 방열판의 부착으로 신뢰성을 높일 수 있다^(2, 7).

MOSFET 전력증폭기의 부하로는 모터, 트랜스, 플랜저 코일, 스피커, 통신기기등에 필요한 전력을 공급할 수 있는데, 오디오(AUDIO) 분야에서는 게이트 소스간 전압과 드레인 전류의 비선형 특성으로 왜율이 문제가 되므로 이를 개선하기 위하여 적절한 바이어스 전압을 걸어주어야 한다.

통신분야에서는 전력증폭기의 비선형 성분으로 인하여 출력에서 원치 않는 IMD(Intermodulation Distortion), XMD(Crossmodulation Distortion) 등의 왜율이 있으며, 이는 다중 채널 전송시 장애의 원인이 되어 시스템의 성능을 저하시키므로, 이를 개선하기 위하여 선형화하고 있다.^(10, 11) 이와 같이 각종 왜율들은 전력증폭기의 비선형 특성에 의하므로 선형화 과정이 필요하다.

모터등의 구동회로 분야에서는 전력 손실이 문제가 되므로 이를 줄이기 위하여 적절한 바이어스 전압을 걸어 해결한다.^(1, 2, 8)

본 논문에서는 MOSFET 전력 증폭기의 비선형 특성에 의한 왜율과 아이들링(Idling) 전류에 의한 파워 트랜지스터의 전력 손실을 최소화 하는 전력 증폭기를 설계한다⁽³⁾.

증폭기의 전력단으로 MOSFET를 사용하며 이에 대한 왜율과 MOSFET 내부에서 소모되는 전력을 목적함수(Object function) J로 설정하고, 3 분 탐색법을 이용하여 J가 최소로 되는 최적 바이어스 전압을 구하여 시뮬레이션하고, MOSFET 전력 증폭기를 제작하여 실험을 통하여 타당성을 확인한다.

II. MOSFET 전력 증폭기의 특성

MOSFET는 식 (2.1)에서와 같이 게이트 소스간 전압(V_{gs})에 드레인 전류(I_d)의 특성이 2 차 이므로 증폭기는 비선형 입출력 특성을 가지게 되며 선형성을 확보하기 위하여 바이어스를 게이트 소스간에 가한다⁽⁹⁾.

$$I_d = k(V_{gs} - V_{th})^2 \quad (2.1)$$

여기서 k는 MOSFET의 특성에 관계되는 상수이고, V_{th} 는 문턱 전압이다.

상보형 (Complementary type) MOSFET 전력 증폭기에서, 바이어스를 가하여 드레인전류와 게이트 소스 전압과의 관계는 다음과 같다.

NMOS의 경우,

$$I_d = k(V_{gs} + V_a)^2 \quad (2.2)$$

PMOS의 경우,

$$I_d = -k(V_{gs} - V_a)^2 \quad (2.3)$$

단, V_a 는 바이어스전압을 걸어줄때 게이트 소스 전압이다.

$-V_a < V_{gs} < V_a$ 의 구간에서는 식 (2.2)와 식 (2.3)의 차로 나타나므로 식 (2.4)와 같이 선형성을 갖는다⁽³⁾.

$$I_d = 4kV_aV_{gs} \quad (2.4)$$

선형화 구간 밖의 게이트 소스간 전압에서의 입출력특성은 2 차 함수인 비선형이므로, 이 때의 전달 컨덕턴스(Transconductance) g_m 은 다음과 같다.⁽³⁾

$$-V_a < V_{gs} < V_a : g_m = \frac{dI_d}{dV_{gs}} = 4kV_a \quad (2.5)$$

$$-V_a < V_{gs} : g_m = \frac{dI_d}{dV_{gs}} = -2k(V_a + V_{gs}) \quad (2.6)$$

$$V_{gs} > V_a : g_m = \frac{dI_d}{dV_{gs}} = 2k(V_a + V_{gs}) \quad (2.7)$$

위의 세 식을 구간별로 게이트 소스간 전압에 대한 입출력 특성과 전달 컨덕턴스는 그림 2.1과 같다.

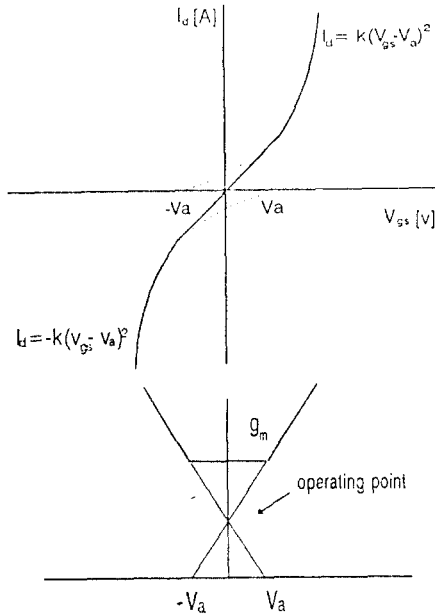


그림 2.1 바이어스 전압에 의한 전달 컨덕턴스의 변화.
Fig. 2.1 Changing of trans conductance by biasing voltage.

입력 신호는 2 차의 전압 전달 특성으로 입력 신호에 대해 어느정도의 바이어스 전압을 걸어주는가에 따라서 출력에서 고조파(Harmonics)가 포함되어 왜율(Distortion)이 발생하게 된다⁽³⁾.

선형화된 구간에서는 무신호시 출력 부하에서는 전류가 0이 되지만 바이어스 전압에 의한 전류가 계속 MOSFET에 흐르게 된다. 이 전류는 게이트 소스간 바이어스 전압 V_a 를 식(2.4)에 대입하면

$$I_d = 4kV_a^2 \tag{2.8}$$

이 되며, 신호의 유무에 관계없이 소자 내에 흘러서 전력 손실을 가져온다.

Ⅲ. MOSFET 전력 증폭기의 최적 설계

1. 왜율과 전력 손실에 관한 목적함수

일반적인 왜율이나 통신회로에서 IMD등은 모두 전력 증폭기의 비선형 특성에 의하므로 이러한 왜율에 관한 목적함수를 다음과 같이 정의한다.

게이트 소스 전압 대 드레인 전류의 특성곡선은 그림 3.1 이며, 선형 구간이 게이트 소스 최대 전압 V_{gsm} 까지 연장된 직선 특성과 2 차 곡선 특성의 차이가 클수록 왜율이 크므로 바이어스 전압 V_a 의 변화에 따른 왜율을 함수화 할 수 있다.

왜율 E_{dis} 는 그림 3.1에서 2 차 특성에서의 드레인 전류 I_{non} 와 선형화가 연장되어졌을 때 전류 I_{lin} 의 차를 전력과 관련시키기 위하여 다음과 같이 E_{rr} 로 정의하고,

$$I_{non} = k(V_a + V_{gs})^2 \tag{3.1}$$

$$I_{lin} = 4kV_aV_{gs} \tag{3.2}$$

$$E_{rr} = 2R_o(I_{non} - I_{lin})/2 = 2R_o[k(V_a + V_{gs})^2 - 4kV_aV_{gs}] \tag{3.3}$$

식 (3.3)을 게이트 소스 입력의 최대 전압까지 적분시켜서 식 (3.4)로 정의한다.

$$\begin{aligned} E_{dis}(V_a, V_{gsm}) &= \int_{V_a}^{V_{gsm}} E_{rr} dv_{gs} \\ &= 2R_o \int_{V_a}^{V_{gsm}} (k(V_a + V_{gs})^2 - 4kV_aV_{gs}) 2dv_{gs} \\ &= 2R_o k^2 \left[\frac{(V_a + V_{gs})^5}{5} - \frac{32}{5} V_a \right. \\ &\quad \left. + 4V_a^3 V_{gs}^2 - 2V_a V_{gs}^4 + 6V_a^5 \right] \end{aligned} \tag{3.4}$$

여기서, R_o 는 부하저항이다.

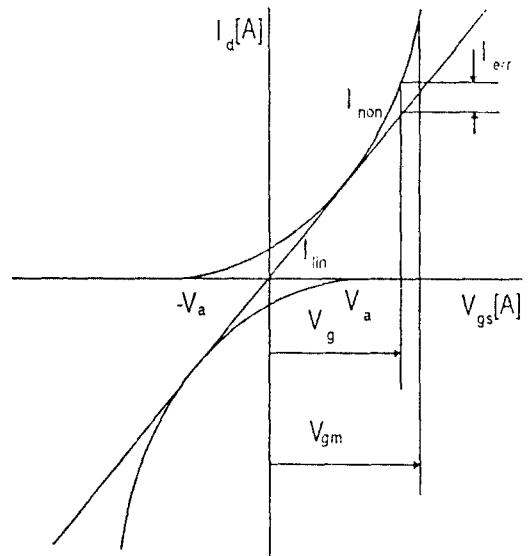


그림 3.1 바이어스시 게이트 소스간 전압 대 드레인 전류 특성
Fig. 3.1 Characteristics of Gate Source Voltage vs Drain Current With Bias

전력손실에 관한 목적함수는 다음과 같이 정의한다.

바이어스 전압의 증가로 발생하는 소자내의 손실 전력은 $-V_a$ 부터 게이트 소스전압의 최대치 V_{gm} 까지의 전원전력과 부하에서 소모되는 전력과의 차가 되며, 게이트 소스전압에 대한 전력의 관계를 나타낸것은 그림 3.2 이다.

전원의 소비 전력 P_{dd} 는 그림 3.2 (a)에서 식 (3.5)와 같다.

$$P_{dd}(V_a, V_{gm}) = \frac{2}{\pi} V_{DD} \int_{-V_a}^{V_{gm}} I_d dv_{gs} = \frac{2}{\pi} V_{dd} k^2 (V_a + V_{gm})^3 \quad (3.5)$$

부하에서 소모되는 전력은 선형화된 구간에서 식 (2.5)를 게이트 소스에 관하여 $0 < V_g < V_a$ 까지 적분하여 얻은 식 (3.6)과 비선형 구간 V_a 에서 V_{gm} 까지 적분하여 얻은 식 (3.7)을 합한 것으로 그림 3.2 (b)와 같다.

$$P_{L1}(V_a) = 4k \int_0^{V_g} V_a V_{gs} = 2k V_a^3 \quad (3.6)$$

여기서, P_{L1} 은 선형화된 입 출력 특성에서 부하에서 소모되는 전력 함수이다.

$$P_{L2}(V_a, V_{gm}) = \frac{R_o k^2}{2} \int_{V_a}^{V_{gm}} V_{gm}^4 dv_{gs} = R_o [k^2 (V_{gm} + V_a)^5 - \frac{32 V_a^5}{5}] \quad (3.7)$$

여기서, P_{L2} 는 비선형구간에서 부하저항 R_o 에서 소모되는 전력의 함수이다.

소자내 전력손실 P_{loss} 는 전원전력과 부하에서의 소비 전력의 차 이므로 이를 계산하면 식 (3.8)이 되고, 이것은 그림 3.2 (c)와 같다.

$$P_{loss}(V_a, V_{gm}) = P_{dd}(V_a, V_{gm}) - P_{L1}(V_a) - P_{L2}(V_a, V_{gm}) = \frac{2}{\pi} V_{dd} k^2 (V_a + V_{gm})^3 - R_o [k^2 (V_{gm} + V_a)^5 - \frac{32 V_a^5}{5}] - 2k V_a^3 \quad (3.8)$$

그러므로 왜율과 전력 손실에 대한 목적함수를 식 (3.4), (3.8)에 의해 다음과 같이 설정한다.

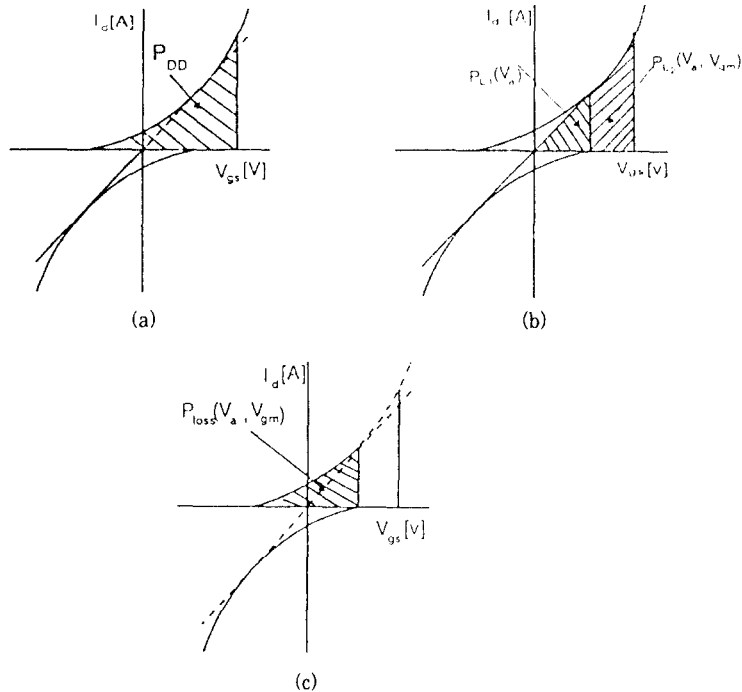


그림 3.2 게이트 소스 전압에 관한 전력

(a)전원전력의 계산 (b)부하전력의 계산 (c)전력 손실 계산

Fig. 3.2 Power Relative to Gate-source Voltage.

(a) Calculation Of Power Supply. (b) Calculation Of Load Power. (c) Calculation Of Power Loss.

$$\begin{aligned}
 J &= W_1 E_{dis}(V_a, V_{gm}) + W_2 P_{loss}(V_a, V_{gm}) \\
 &= W_1 2R_o k^2 \left[\frac{(V_a + V_{gs})^5}{5} - \frac{32}{5} V_a \right. \\
 &\quad \left. + 4V_a^3 V_{gs}^2 - 2V_a V_{gs}^4 + 6V_a^5 \right] \\
 &\quad + W_2 \frac{2}{\pi} V_{dd} k^2 (V_a + V_{gm})^3 \\
 &\quad - R_o [k^2 (V_{gm} + V_a)^5 - \frac{32V_a^5}{5}] - 2k V_a^3 \quad (3.9)
 \end{aligned}$$

여기서 W_1 은 왜울의 하중상수(weighting constant)이고, W_2 는 전력 손실의 하중상수로서, 왜울과 전력 손실중 어느쪽에 더 비중을 주느냐에 따라 설계자가 임의로 줄 수 있다.

2. 3분 탐색을 이용한 최적 바이어스

최적 설계법으로 주어진 시방과 구속 조건에 맞는 목적함수 J 를 정의하고, J 를 최소로 하기 위해 설계시 설정한 변수의 최적치를 구하는 방법을 이용한다.^[5]

목적함수를 최소화하는 변수의 최소치를 구하기 위하여 3 분 탐색 알고리즘을 사용한다.^[4]

목적함수 안에 하중상수를 정할 때는 각항의 상대적 크기는 서로 다르기 때문에 하중상수의 효과가 나타나도록 하기위하여 각항의 절대값의 비에 의한 단위계수 K_w 를 정의한다.

$$K_w = \frac{Err(V_a, V_{gm})}{P_{loss}(V_a, V_{gm})} \quad (3.10)$$

단, 여기서 V_a 는 왜울과 전력을 최소로 하는 바이어스 전압이다.

식 (3.10)에서 하중의 정도가 균형이 이루어지도록 하기위해 최적 바이어스 전압과 게이트 소스간의 최대 전압을 각 식에 대입하여 그 값의 비로 K_w 를 설정한다. 여기서 구한 K_w 와 W_1, W_2 의 비에 따라 왜울과 전력 소모를 선택적으로 설계할 수 있다.

단위계수를 고려하려면 왜울과 전력의 함수값이 같은 경우가 되어야 하므로 임의의 전압과 최대입력 게이트 전압 V_{gm} 을 대입할 때의 비가 된다. 단위계수 K_w 가 정해지면 임의의 바이어스에서 왜울과 드레인 소스간의 전력 소모의 비를 고려하여 바이어스점을 이동시킬 수 있다.

시뮬레이션 조건으로 부하에 최대 25(W)의 전력을 공급하는 증폭단을 설계할 때, 최대 부하 전류 3(A)로

주어 최적 바이어스 전압을 구한다. 게이트 소스간 전압을 8(V)로 설정하여 하중상수 1:1로 하였을 때의 시뮬레이션 결과, 목적함수 J 의 최적전압은 $V_a=3.87$ V가 되었으며 이 전압을 택하여 단위계수 값은 식 (3.11)로 된다.

$$K_w = \frac{Err(V_a, V_{gm})}{P_{loss}(V_a, V_{gm})} = 3.5 \quad (3.11)$$

식(3.11)에서 바이어스 전압에서의 단위계수를 전력 손실의 항에 곱하고, 왜울을 소자의 전력 소모에 비해 상당히 감소시키기 위해 W_1 은 2로 놓고, W_2 는 1로 놓아 바이어스값을 구한 결과는 표 3.1(a)이며, 전력 소모를 더욱 최소화 하기위해 W_1 은 1로 놓고, W_2 는 2로 설정하고, 바이어스 값을 구한 결과는 표 3.1(b)이다.

표 3.1 하중치가 고려된 바이어스의 변화.
Table 3.1 Change of Bias considering Weight Constant.

탐색범위	2<Va<3	3<Va<4	4<Va<5	5<Va<6
목적함수값	439.0317	323.11428	375.26757	412.01101
최적전압	3.0	*4.0	4.0	5.0

(a)

탐색범위	1<Va<2	2<Va<3	3<Va<4	4<Va<5
목적함수값	745.122	398.348	435.6757	552.158
최적전압	2.0	*2.5	3.0	4.00

(b)

표 3.1 (a)와 (b)에서와 같이 왜울을 중요시한 경우에는 바이어스 전압이 4.0 [V]이고, 전력손실을 중요시한 경우에는 바이어스 전압이 2.5 [V]로 감소됨을 알았다.

IV. 실험 및 검토

전력 증폭단에서 왜울과 소자내의 전력 손실을 최소화 하는 바이어스 전압을 찾기위한 실험을 위해 히다치사의 콤플리멘터리 형 MOSFET 2SK135 와 2SJ50 을 사용하여 전력단을 설계하고, 전치증폭기는 2SC732를 이용하여 3단 증폭시켰으며 실험 장치도는 그림4.1이며, 전력단은 그림 4.2와 같다.^[6]

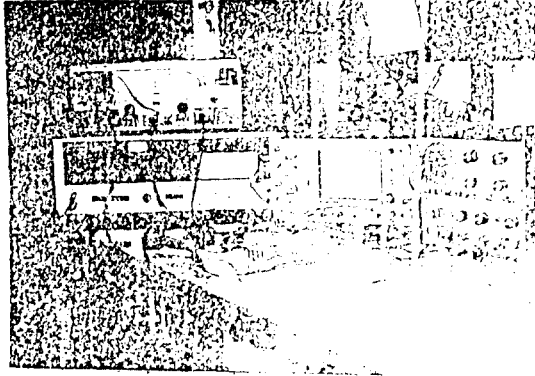


그림 4.1 실험 장치도.
Fig. 4.1 A Photograph of an Experimental Set

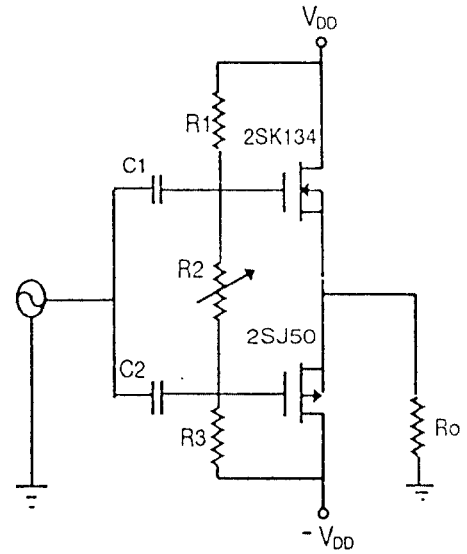
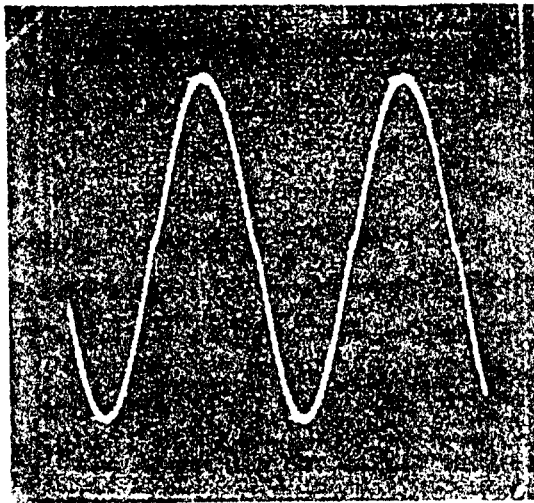
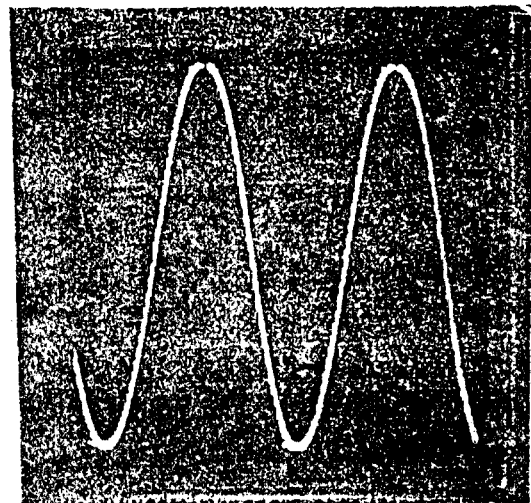


그림 4.2 MOSFET 전력단 회로도.
Fig. 4.2 Circuit of POWER MOSFET Terminal.



(a)



(b)

그림 4.3 오실로스코프에 나타난 파형.
(a) 바이어스를 고려하지 않은 경우. (b) 최적 바이어스를 고려한 경우.
Fig. 4.3 A Photograph of Oscilloscope Waveform.
(a) In Case Not considered Bias. (b) In Case With Optimal Bias.

그림 4.2의 회로에서 부하용으로 $R_O=6[\Omega]$, $R_1=R_3=20[k\Omega]$ 이며 R_2 는 가변저항 $1[k\Omega]$ 을 사용하였다. 그림 4.3은 최적 바이어스를 고려하지 않고 임의로 2.0[V]을 바이어스 한 경우 (a)와 최적 바이어스 전압을 구하여 최적 바이어스 전압 2.4[V]를 바이어스 한 경우 (b)의 오실로스코프로 측정된 파형의 사진이다.

K_w 를 고려하여 하중치 $W_1 = 1$, $W_2 = 1$ 로 주고 부하에 정격최대전력 25[W]를 공급하여 바이어스 점을 단계적으로 증가시키면서 AUTOMATIC DISTOR-

TION METER (MEGURO사)로 왜율[%]을 측정하였으며, 부하의 전압을 측정하여 소자내 전력 손실 [mW]를 단위계수 3.5를 곱하여 계산하였고, 이들의 합을 나타낸 것은 그림 4.4이다. 그림 4.4에서 왜율과 전력 손실의 합은 단지 크기만 비교한 것으로 단위는 없으며, 목적함수 J를 계산한 것을 실험 결과와 비교하기 위한 것이다.

K_w 를 고려하여 하중치 $W_1 = 2$, $W_2 = 1$, $W_1 = 1$, $W_2 = 2$ 의 경우 최적 바이어스 전압을 그림 4.5에 나타내었다.

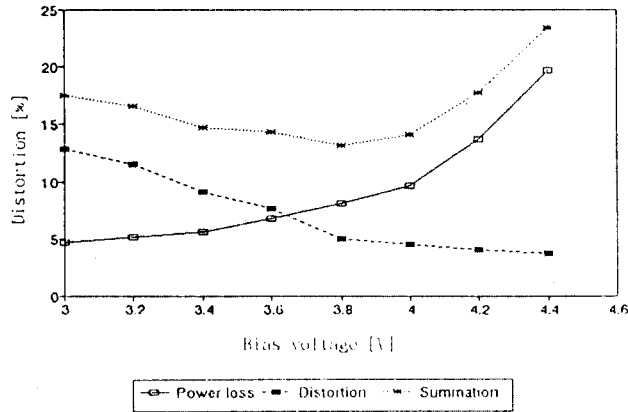
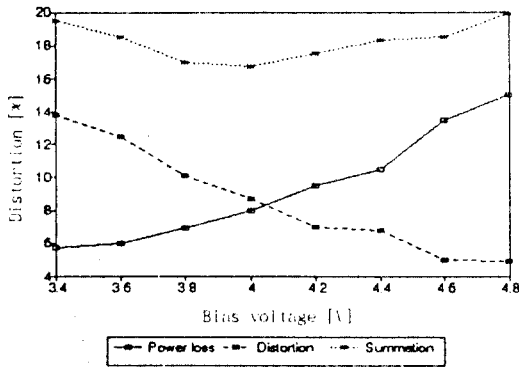
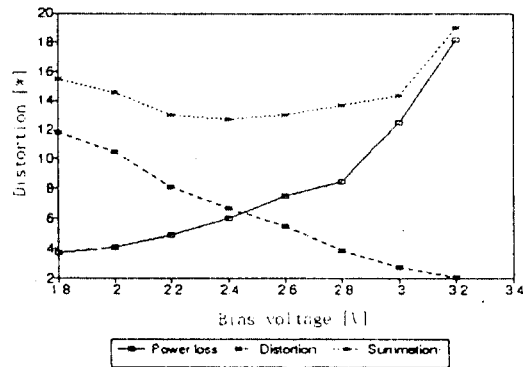


그림 4.4 바이어스 변화에 따른 왜율과 전력손실측정 ($W_1 = 1$, $W_2 = 1$).
Fig. 4.4 Distortion and Power loss by changing bias. ($W_1 = 1$, $W_2 = 1$).



(a)



(b)

그림 4.5 하중치를 고려할 때 최적바이어스 전압의 변화.

(a) $W_1 = 2$, $W_2 = 1$. (b) $W_1 = 1$, $W_2 = 2$.

Fig. 4.5 Change of Optimal Bias Voltage case in considering weight constants.

(a) $W_1 = 2$, $W_2 = 1$. (b) $W_1 = 1$, $W_2 = 2$.

그림 4.5의 결과에서 전력 소모와 왜율의 합이 최소가 되는 최적 바이어스 전압은 $W_1 = 2, W_2 = 1$ 인 경우 3.9[V], $W_1 = 1, W_2 = 2$ 인 경우 2.4[V]로 구해졌으며, 3분 탐색에 의한 최적 바이어스 전압은 $W_1 = 2, W_2 = 1$ 인 경우 4.0[V], $W_1 = 1, W_2 = 2$ 인 경우 2.5[V]로 유사한 결과를 나타냄을 알았다.

제한한 최적 설계 방식($W_1=1, W_2=1$)과 폐환(Feedback) 바이어스에 의한 기존의 방식(1.9)과 검토한 결과는 다음과 같다.

표 4.1 제한한 방식과 기존 방식의 비교
Table 4.1 comparison of proposed method and conventional method

	제한한 방식		기존방식
	시뮬레이션	실험결과	
왜율(%)	1.87	1.95	1.98
전력 소모(W)	1.55	1.56	1.67

단, 출력 전력 25 [W]의 경우 표4.1과 같이 제한한 방식은 기존 방식에 비하여 왜율 및 전력소모가 적음을 알수있다.

V. 결 론

MOSFET 선형 POWER 증폭기의 왜율 및 전력 손실에 대한 최적 바이어스 전압을 이용한 설계법을 제안하고, 시뮬레이션하며 제작, 실험하였다.

최적 바이어스 전압은 왜율 및 전력 손실을 목적함수로 하고, 목적함수안에 하중상수는 왜율과 전력손실에 대한 함수값이 서로 다르므로 단위계수 K_w 를 정하여 두 하중상수를 동일하게 작용하게 하여 3분 탐색 알고리즘을 이용하여 구하였다.

하중상수 W_1 (왜율), W_2 (전력손실)는 사양에 따라 최적 설계함수 있으며 $W_1=1, W_1=2$ 인 경우는 $W_2=2, W_2=1$ 인 경우보다 바이어스 전압이 적어지는 것을 알았다.

위와 같이 3분 탐색법을 기본 알고리즘으로 하여 제한한 POWER MOSFET 선형 증폭기의 최적 설계법은 시뮬레이션과 실험을 통하여 그 타당성을 확인 하였

으며, 왜율을 중시하는 AUDIO, 통신기거나 전력 손실을 중요시하는 POWER CONTROLLER 설계에 적용이 가능하다고 사료된다.

參考文獻

1. Robert R.Cordell, "A MOSFET POWER Amplifier with error correction", MOSPOWERApplications Handbook, 6-111-129, Siliconix in coporated, 1984.
2. William Roehr, "A SimpleDirect-Coupled Power MOSFET Amplifer Topology Featuring Bias Stabilization", MOSPOWER Applications Handbook, 6-105, 110, Siliconix in coporated, 1984.
3. 黒田, 基礎トランザスタ アンブ設計法, (株)ラゾオ技術社.
4. 金周弘, 孔徽植, "最適 設計를 위한 3 점 탐색 알고리즘의 제안." 한국통신학회논문지, Vol. 16권, NO. 4, pp.640-649, July, 1991.
5. Donald E.Kirk, Optimal Control theory, Prentice Hall, 1970.
6. 最新 電界效果 FET 規格表, CQ 出版社.
7. Ero Borbely, "80-100 watt mosfet audio amplifier", wireless world, June, 1982.
8. Paul M. Chirlian, Analysis and Design of Intergrated Electronic Circuits, John Wiley & Sons.
9. 이봉희, "POWER MOSFET 증폭기의 선형특성 개선에 관한 연구." 동국대학교 대학원 전자공학과 석사학위 논문, July, 1989.
10. Yongcai Hu, "A new method of third-order intermodulation reduction in nonlinear microwave systems." on Microwave Theory and Tech., vol. MTT-34, NO. 2, Feb., 1986.
11. Roy Vaninetti, "Predict Third-order intermodulation in RF power amplifiers", MICROWAVE & RF, June, 1994.



金周弘(Joo-Hong Kim) 정회원

1929년 1월 5일생
1952년 8월 : 서울대학교 전자공학과 졸업(공학사)
1981년 8월 : 전북대학교 대학원 전기공학과 졸업(공학박사)

1968년 3월~1994년 2월 : 동국대학교 전자공학과 교수
1994년 3월~현재 : 동국대학교 전자공학과 명예교수



嚴基煥(Ki-Hwan Eom) 정회원

1949년 10월 8일생
1972년 2월 : 동국대학교 공대 전자공학과 졸업
1985년 2월 : 동국대학교 대학원 전자공학과 졸업(공학박사)

현재 : 동국대학교 전자공학과 부교수



李元一(Won-Il Rhee) 정회원

1968년 8월 8일생
1992년 : 동국대학교 전자공학과 졸업(공학사)
1994년 8월 : 동국대학교 대학원 전자공학과 졸업(공학석사)

1994년 9월~현재 : (주)대우전자 근무



李鏞求(Yong-Gu Lee) 정회원

1963년 7월 28일생
1987년 2월 : 동국대학교 전기공학과 졸업
1993년 2월 : 동국대학교 대학원 전자공학과 졸업(공학석사)

1993년 9월~현재 : 동국대학교 대학원 전자공학과 박사과정



孫東嵩(Dong-Seol Son) 정회원

1952년 8월 18일생
1978년 2월 : 동국대학교 전자공학과 졸업
1981년 2월 : 동국대학교 대학원 전자공학과 졸업(공학석사)

1994년 2월 : 동국대학교 대학원 전자공학과 졸업(공학박사)
1989년 3월~현재 : 유한전문대학 전자과 조교수