

## 1.8~1.9GHz 대역에서 동작하는 DECT용 무선 디지털 송수신기의 설계 및 구현

正會員 邊宇鎭\*, 柳鐘元\*, 明魯勳\*

Design and Implementation of the 1.8~1.9GHz Wireless Digital Transceiver for DECT

Woo-Jin Byun\*, Jong-Won Yu\*, Noh-Hoon Myung\* Regular Members

### 要 約

본 논문에서는 1.8~1.9 GHz에서 동작하는 개인휴대통신용 무선 송수신기를 설계하고 구현했다. 집적화를 위하여 직접 상향 변환 송신 및 일차 하향 변환 수신 방식을 채택했다. 변조기는 PLL(Phase Locked Loop)과 VCO(Voltage Controlled Oscillator), 연산 증폭기를 이용하여 보상 회로를 갖는 주파수 변조기를 구성하였는데, 제안된 사양을 만족시키면서 신호의 왜곡을 감소시킬 수 있도록 했다. 중간 주파수 복조기의 복조 주파수는 110.592 MHz이며, GFSK(Gaussian\_filtered Frequency Shift Keying) 신호에 대한 복조 방식은 quadrature detector를 사용했다. 구현된 변조기의 특성은 이론적인 접근을 통해서 추출해 내었고, 구현된 수신기를 이용해서 타당성을 확인했다.

### ABSTRACT

In this paper, a wireless transceiver for personal communications in the frequency of 1.8~1.9 GHz is designed and implemented. For the system integration, the techniques of direct up conversion for transmitter and single down conversion for receiver is employed. The modulator of the system is composed of PLL, VCO and OP Amp and its requirement is to reduce signal distortion. Intermediate frequency of the demodulator is 110.592 MHz and GFSK modulation technique is employed using quadrature detector. The characteristics of the modulator are checked from the theoretical data and verified by the designed receiver.

---

\* 한국과학기술원 전기 및 전자공학과  
論文番號 : 95184-0520  
接受日字 : 1995年 5月 20日

### I. 서 론

본 논문에서는 1.8 GHz에서 동작하는 유럽형 디지털 무선 전화기의 표준안인 DECT(Digital European Cordless Telecommunications)용 무선 송수신기를 설계하고 구현했다<sup>(1)</sup>. 이 표준안은 10msec 간격으로 구성되는 한 프레임을 다시 24개의 시간 간격으로 나누어 접근하는 시 분할 다중 접근 방식(TDMA)과 시 분할 이중 방식(TDD), 10개의 무선 채널을 가지는 주파수 다중 분할 방식(FDMA)을 사용한다. DECT 표준안의 최하위 계층인 물리 계층에 대한 사양을 (표 1)에 나타내었고, 주파수 채널과 시간 채널, 데이터 구성의 관계를 (그림 1)에 나타내었다. 데이터 구성을 바꿈으로써 DECT 표준안에 맞는 가정용 무선 전화기, 무선 PABX, Pager 등 여러 가지에 응용되어질 수 있다.

시스템의 면적을 줄이기 위하여 송수신기의 설계 방식은 (그림 2)에서 보여지는 것처럼 직접 변환 송신, 일차 변환 수신 방식을 사용했다. 현재 상용 제품의 경우에 변조 방식은 개방 루프 (open loop) 변조 방식을 사용하는데, 이 방식은 구현이 용이한 장점이 있지만, 짧은 시간 동안에 변조를 해야 하기 때문에 slot의 수를 더 이상 증가시킬 수 없으며, 응용 범위가 제한된다. 개방 루프 변조 방식의 단점을 보완할 수 있는 변조기의 설계 과정을 II절에서 설명했다. 복조기의 경우 FSK 수신기

에 많이 이용되는 limiter-discriminator 방식에 적합한 tank 회로 및 저역 통과 필터의 설계 과정을 III절에서 설명했다. 그리고, IV절에서 측정 결과를 보였다.

### II. 변조기

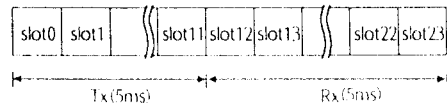
#### 1. 주파수 합성부의 설계 및 제작

DECT 표준안에 맞게 PLL을 이용한 주파수 합성기를 설계할 경우 여러 채널을 모니터하기 위하여 고려해야 할 문제점이 몇 가지 있다. 특히, (표 1)에서 보듯이 주파수 획득시간이 450  $\mu$ sec이내이기 때문에 고속의 주파수 합성기가 필요하며, 이를 구현할 경우 spurious 문제와 뒤에서 설명되어질 변조기 설계가 서로 상관 관계를 가지고 있다. 주파수 합성기의 주파수 획득시간에 영향을 주는 것은 위상 비교기의 이득(Kp), 루프 필터 대역폭, 전압조정발진기의 sensitivity(Kv), 기준 주파수의 크기 등이다<sup>(2)</sup>. 실험에서 사용한 PLL chip은 5V에서 동작하며 dual modulus prescalers(64/65, 128/129)와 charge pump가 내장된 Fujitsu사의 MB1502이며, 이 PLL chip에 내장된 위상 비교기는 디지털 방식이기 때문에 위상 비교기의 이득은  $K_p = 5/4\pi$ 이다<sup>(3)</sup>. 그리고, 전압조정발진기는 중심 주파수의 제 2고조파를 이용했는데, DECT용 송신기의 무선 채널을 얻기 위하여 기준 주파수를 864 kHz로 설정했으며, 전

표 1. 물리 계층의 사양  
Table 1. Specification for physical layer

다중화 방식	TDMA & FDMA/TDD
변조 방식	GFSK (변조도=0.3~0.7)
데이터 전송 속도	1.152 Mbps
주파수 편이	288 kHz
무선 채널	0: 1897.344 MHz 9: 1881.792 MHz
채널 간격	1.728 MHz
중간 주파수	110.592 Mhz
주파수 정확도	50 kHz
최대 전력	250mW
수신 감도	-83dBm~-86dBm
BER	0.001 @ -83dBm
주파수 획득 시간	450 $\mu$ sec

1개의 무선 채널에서 time frame



1개의 슬롯에서 구성되어지는 데이터

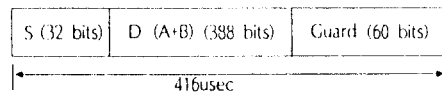


그림 1. DECT 표준안의 데이터 구성  
Fig. 1. Data format for DECT

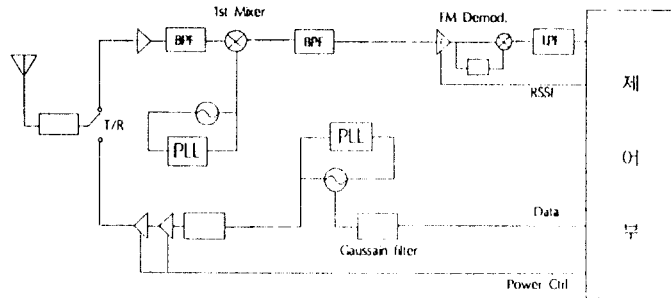


그림 2. 직접 변환 송신기 및 일차 변환 수신기  
Fig. 2. Direct up conversion Tx and single down conversion Rx

압조정발진기의 sensitivity  $K_v=8$  MHz/V이다.

DECT 표준안에서 제안된 채널 간격이 1.728 MHz 이기 때문에 기준 주파수가 큰 주파수 합성기를 구현해야 한다. 기준 주파수를 크게 함으로써 생기는 잇점은 다음과 같다<sup>(4)</sup>.

첫째, 루프 분주비  $N$ 이 작아진다. 보통 루프 대역폭 내에서 출력 위상잡음은 기준위상잡음+  $20\log(N)$  dB로 나타나기 때문에,  $N$ 값이 작으면 출력 위상잡음은 작아진다. 둘째, 루프 대역폭은 보통 기준 주파수의 10% 이내로 설정되도록 주파수 합성기를 설계한다. 그러므로, 큰 기준 주파수는 넓은 루프 대역폭을 만들 수 있다. 따라서, 주파수 합성기의 주파수 획득시간을 증가시킬 수 있다.

Spurious 문제와 주파수 획득시간을 동시에 만족시키기 위하여 (그림 3)에서 보여지는 것처럼 능동 RC 필터를 사용했는데, 대역폭을 넓게 하면서 roll-off 특성은 좋게 하기 때문에 spurious 특성을 상당히 개선시킬 수 있다. 전체의 전달특성  $A(s)$ 를 수식으로 나타내면 다음과 같다. 저역 통과 필터의 전달 특성을  $F(s)$ 라고 하면,

$$F(s) = \frac{K}{(R^2 C^2 s^2 + (3-K)RCs + 1)(R_1 C_1 s + 1)} \quad (1)$$

$$GH(s) = \frac{K_v K_p F(s)}{N_s} \quad (2)$$

$$A(s) = \frac{GH(s)}{1 + GH(s)} \quad (3)$$

여기서,  $K = opamp$ 의 DC 이득  $(1 + R_b/R_a)$

$R_a=100\Omega, R_b=0\Omega$

$K_v =$ 전압 조정 발진기의 sensitivity(MHz/V)

$K_p =$  위상 비교기의 이득(V/rad)

설계된 필터의 대역폭은 16 kHz 정도이고, 루프 대역폭은 4 kHz 정도이다. 루프 필터가 능동인 경우, 위상 비교기가 선형이면 극성에 무관하게 사용할 수 있지만, 위상 비교기가 디지털이면 극성 관계에 주의하여야 한다. 따라서, 전체 루프가 부궤환이 되도록 하기 위하여 능동 필터의 극성을 양으로 만들어 주었다.

## 2. 변조기의 설계 및 구현

### 2.1 PLL을 이용한 주파수 변조기

DECT 표준안에서는 변조도가 0.3 0.7이고  $B_b T=0.5$ 인 GFSK 방식을 채택했는데, GFSK 신호를 만들어 내기 위하여 ROM 과 Look up table, DAC 가 내장된 National Semiconductor사의 LMX2411을 사용했다. 각 변조도에 따른 캐리어와 측대파의 레벨 ( $J_n(\beta)$ )을 (표 2)에 나타내었다.

DECT 표준안에서 제안된 것처럼, 고속의 데이터를 전송하고 채널 스위칭 속도가 빠르며, 변조가 잘 이루어지기 위한 직접 변환 변조기의 구성 방법(그림 4)에 나타내었다. 이 방식은 전압조정발진기의 제어 입력에  $R1$ 과  $R2$ 의 값을 조정하고 루프 필터와 전압조정발진기의 제어 입력 사이를 전기적으로 분리시키기 위하여 버퍼를 달아야 한다.  $R1$ 과  $R2$ 는 변조 신호의 최대 주파수 편이와 진폭, 그리고, 전압조정발진기의 sensitivity에 의해 결정된다<sup>(6)</sup>. 변조 신호의 진폭이 1V인 경우 광대역 전압조정발진기이면  $R1:R2=30:50:1$  정도로 정

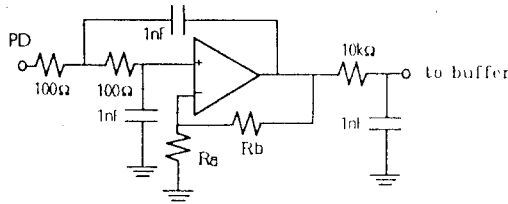


그림 3. 능동 저역 통과 필터  
Fig. 3. Active low pass filter

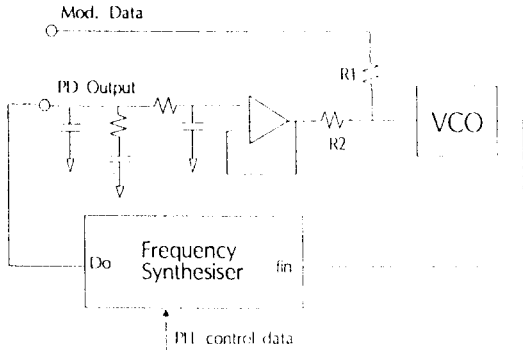


그림 4. 버퍼를 이용한 변조기  
Fig. 4. Modulator using a buffer

표 2. 변조도(β)에 따른 주파수 스펙트럼의 레벨  
Table 2. Level of the spectrum as modulation index varies

n \ β	0.3	0.4	0.5	0.6	0.7
0	0.978	0.960	0.938	0.912	0.881
1	0.148	0.196	0.242	0.287	0.329
2	0.011	0.020	0.031	0.044	0.059
3	0	0.011	0.002	0.004	0.007

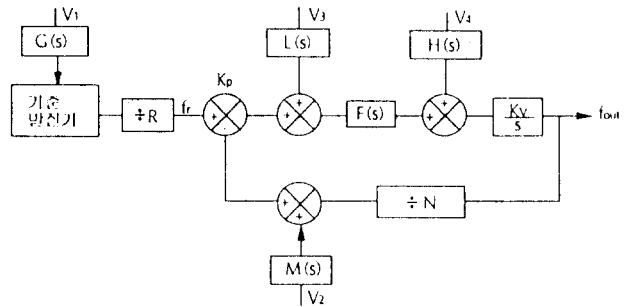


그림 5. PLL을 이용한 변조기  
Fig. 5. Modulator using PLL

하고 협대역 전압조정발진기이면 R1:R2=10~20:1 정도로 정한다. 광대역과 협대역의 의미는 변조 신호의 최대 주파수 편이에 대한 전압조정발진기의 sensitivity의 비가 크면 광대역이 되고, 그렇지 않으면 협대역으로 보면 된다. DECT 표준안에서 제안된 변조 신호의 최대 주파수 편이는 576 kHz이고 전압조정발진기의 sensitivity는 8 MHz/V이며, 변조 신호의 최대 전압이 1V이므로 상대적으로 전압조정발진기의 형태는 협대역이 된다. 그래서, R1:R2=10 20:1로 정하면 된다.

2.2 보상 회로를 갖는 주파수 변조기

(그림 5)에 나타난 것처럼 PLL을 이용해서 직접 변환 변조기를 구현하기 위한 방법은 기준 발진기(V1), 위상 비교기 앞(V2), 루프 필터 앞(V3), 전압조정발진기의 제어 입력(V4)에 변조 신호를 인가하는 경우이다.

이 변조 방식은 주파수 합성기의 루프 특성에 모두 영향을 받는다.<sup>[6, 7, 8]</sup>

그런데, DECT 표준안에서 제안된 고속의 데이터를 전송하고 입력 루프 특성에 관계가 없는 변조기를 구현하는 방법은 V3, V4를 변조 신호의 입력으로 사용하는 것이다. 두 입력에 대한 전달 함수는 식(4)와 같다.

$$K(s) = \frac{f_{out}}{V_3} + \frac{f_{out}}{V_4}, \quad \frac{L(s)}{H(s)} = \frac{K_v K_p}{N s} \quad (4)$$

H(s)=1인 경우 전달함수 L(s)는 적분기의 형태가 된다. 식(4)를 다시 나타내면,

$$K(s) = \frac{f_{out}}{V} = \frac{2\pi K_v (1 + \frac{K_p F(s)}{N s})}{1 + \frac{K_v K_p F(s)}{N s}} \quad (5)$$

$K_f$  = 적분기의 이득,  $K_p$  = 위상비교기의 이득

$K_i = K_p K_v / N$  이면  $K(s) = K_v$  가 된다.

적분기가 포화되지 않도록 회로를 첨가한다면 DC 변조까지 가능하다. 그런데,  $K_i \neq K_p K_v / N$  이면, 적분기의 비정합 오차는

$$\epsilon_i = K_i - \frac{K_v K_p}{N} \tag{6}$$

이 되며, 두 입력을 갖는 변조기의 신호 왜곡 정도는 신호의 왜곡비를 S/D로 나타낼 때 식(7)과 같다.

$$\frac{S}{D} (\text{보상 후}) = \frac{K_v K_p}{N \epsilon_i} \frac{S}{D} (\text{보상 전}) \tag{7}$$

PLL에 입력되는 N 분주기는  $N=1089 \sim 1098$ 의 값을 가지며, 첫 채널과 마지막 채널의 신호 왜곡비를 줄이기 위하여  $N=1094$ 에서  $K_i$  값을 맞추었다. 그리고, 변조기로 사용할 경우 전압조정발진기의 제 2 고조파를 이용하기 때문에 제 1 고조파에 비해서 두 배의 sensitivity를 가지는 것과 같기 때문에,  $K_v=16$  MHz/V로 놓아야 한다. 따라서,  $N=1094$ 에서 보상 변조기를 구현하기 위한  $K_f=36563$ 이 되고, 양 끝 채널에서 생기는 오차는  $\pm 0.4\%$  정도 된다. 적분기는 (그림 6)에서 보여지는 것처럼 연산 증폭기를 이용해서 구현했다. 적분기에서  $K_f = 1/RC$ 가 되기 때문에  $R=2k\Omega$ 인 경우  $C=13.6nF$ 이 된다. 그런데, 두 입력을 가지는 주파수 변조기는 주파수가 잠금 상태를 유지하면서 보상 회로를 주파수 합성기에 첨가했을때, spurious 문제 등 실제적인 적분기에 영향을 받을 수 있다. 특히, 연산 증폭기를 사용할 경우 입력 바이어스 전류는 변조기 및 주파수 합성기 회로에서 여러가지 잡음의 원인이 될 뿐 아니라, 적분기의 오

동작 원인이 될 수 있다. 따라서, 바이어스 전류문제를 해결하기 위하여 R보다 훨씬 큰 저항을 ( $R1=56k\Omega$ ) 커패시터와 병렬로 연결하고, 양의 입력에 R과 같은 값을 가지는 저항을 달았다. 그리고, 극성 문제를 고려하기 위하여 다음 단계 inverter를 첨가했다. 또한, inverter의 출력을 루프 필터 앞단에 연결할 경우 루프에 위상 보상이 과잉으로 되는 것을 막고 루프 필터의 특성이 바뀌는 것을 막기 위하여 큰 저항( $56k\Omega$ )을 첨가했다.

### III. 복조기의 설계 및 구현

#### 1. 수신기의 설계

수신기를 설계할 경우 수신기의 성능을 나타내는 것으로 수신 감도와 선형성이 있는데, 이는 각 부품의 잡음 지수와 이득,  $IIP_3$  (3rd order input intercept point) 으로부터 얻어지며, 비트오율(BER)을 결정하는  $E_b/N_0$ 는 식(8)과 같은 관계식을 가진다.

$$E_b/N_0 = S - F_{ab} - 10 \log(r_b k T_0) \tag{8}$$

$F_{ab}$ : 잡음지수, S: 수신 신호의 세기(dBm)

$r_b$ : 데이터 전송속도(b/s), k: Boltzmann 상수

$T_0$ : 300°K

시뮬레이션 결과에 의하면 수신입력전력 -83dBm에서  $10^{-3}$ 의 BER을 얻기 위하여  $E_b/N_0$ 는 약 13.6 dB가 요구되어지며, 이 때 수신기가 가질 수 있는 최대 잡음 지수는 16.8dB가 된다. 수신기에 사용된 부품의 이득과 잡음지수 및  $IIP_3$ 는 표(3)와 같이 나타난다. 수신기의 전체 이득과 잡음지수 및  $IIP_3$ 는 각각 77dB, 10.84dB, -27.65dBm이며, 6dB의 여유도를 주었다

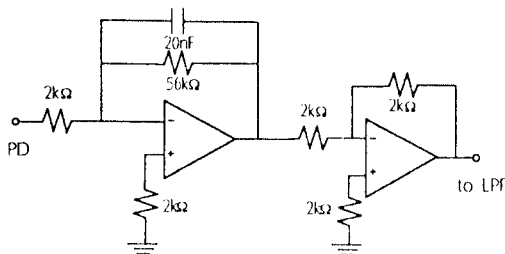


그림 6. 보상용 적분기  
Fig. 6. Integrator for compensation

표 3. 수신기에 사용된 소자의 규격  
Table 3. The specification for devices at Rx

	BPF1	LNA	BPF1	Mixer	BPF2	Limiter	LPF
이득(dB)	-1.0	10	-1.0	6	-4.0	70.0	-3.0
잡음지수(dB)	1.0	4.7	1.0	17	4.0	8.0	3.0
$IIP_3$ (dBm)	100	7	100	0	100	55	100

[9]. 이 가운데 LNA와 (그림7)에 보여지는 시스템 대역폭을 결정하는 저역 통과 필터 및 중간 주파수단의 복조 방식이 수신기의 성능에 큰 영향을 미친다.

2. Quadrature Detector의 구현

DECT 표준안에서 중간 주파수는 110.592 MHz이며, GFSK 변조방식을 사용하기 때문에 중간 주파수 복조기로 동기 검파, 차동 검파, limiter-discriminator (quadrature detector) 방식을 사용할 수 있다. 현재 상용되는 제품에 사용되는 방식은 회로의 복잡성을 우선적으로 고려하여 limiter-discriminator 방식을 채택했는데, 본 논문에서도 이 방식을 사용했으며 110.592 MHz에 적합한 quadrature detector를 설계하는데 주안점을 두었다<sup>[10]</sup>. 110.592MHz에서 회로를 구현하려면, 사용되는 수동 소자의 물리적인 특성을 고려해야 한다. 특히, R과 C에 비해 L은 아주 낮은 Q 값(보통 30 미만)을 가지고 있다. 일반적인 RLC 병렬 회로와는 달리 (그림 8)의 회로와 같이 설계하였으며, quadrature detector와 discriminator의 특성을 측정해서 복조기를 구현했다. 실험에서는 인덕터를 가변시켜서 동조를 맞추었는데 그 값은 대략 150nH 에서 200nH 정도였다.

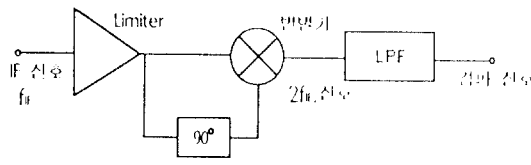


그림 7. IF 수신단  
Fig. 7. IF receiver

표 4. 대역 통과 필터와 저역 통과 필터의 대역폭에 대한 에러율 (에러율=값×10<sup>-3</sup>)  
Table 4. Error rate for BW of BPF and LPF(error rate=value×10<sup>-3</sup>)

$B_f$ (MHz) \ $B_r$ (Mz)	0.806	0.921	1.037	1.152
690	1.74	1.34	1.21	1.33
921	1.52	1.24	1.38	1.71
1152	1.36	1.26	1.55	2.21
1382	1.32	1.29	1.63	2.38

3. LPF 설계

DECT 표준안에서 제안된 데이터 전송 속도는 1.152 Mbps 이기 때문에, 데이터가 가질 수 있는 가장 높은 주파수는 576 kHz가 된다. 따라서, 저역 통과 필터의 대역폭은 576 kHz 성분도 충분히 포함할 수 있도록 정해야 한다<sup>[10]</sup>. 그러나, 변별기의 출력단의 잡음의 전력은 주파수의 제곱에 비례하기 때문에, 수신기의 신호대 잡음비에 악영향을 미친다. 또한, 저역 통과 필터의 대역폭을 너무 작게 설정하면, 데이터가 빠르게 변할 경우 제대로 전송 신호를 복원할 수가 없다. 그러므로, 데이터를 정확하게 복조할 수 있도록 충분한 신호를 포함하면서 대역폭을 작게 만들어야 한다. 저역 통과 필터의 대역폭( $B_f$ )과 대역 필터(SAW filter)의 폭( $B_r$ )이 에러율에 미치는 영향을 (표 4)에 나타내었다. 본 논문에서 사용한 대역 필터의 폭은 약 2 MHz정도 되는 것을 사용했다. 실험에서 사용한 저역 통과 필터는 대역폭이 700 kHz정도인 RC 필터로 구현되어졌다.

IV. 측정 및 결과

전압조정발진기의 제 2 고조파를 사용했지만, 실제적인 주파수 간격은 8 MHz이며, 설계한 주파수 합성기의 주파수 획득시간을 (그림 9)에 나타내었다. 첫 번째

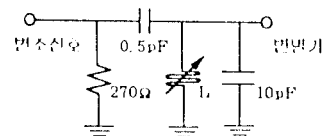


그림 8. a R이 있는 quadrature detector  
Fig. 8. a Quadrature detector with R

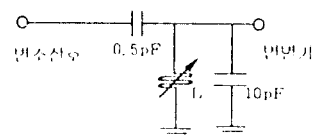


그림 8. b R이 없는 quadrature detector  
Fig. 8. b Quadrature detector without R

채널에서 마지막 채널까지 움직이는 시간이 약 220μsec 이내로 나왔다. 설계한 변조기의 특성을 추출하기 위하여 tone 변조를 할 경우

$$\frac{A_m}{f_m} = \frac{\beta}{\Delta f} = \text{일정} \quad (9)$$

으로 나타낼 수 있다. 그리고, 진폭( $A_m$ )과 신호의 주파수( $f_m$ )를 변화시켜 가면서, 각 주파수에 대한 변조 정도를 측정할 수 있는데, 이 특성은 PLL을 이용한 변조기의 전체 루프 특성이 된다.

(그림 10)은 전압조정발전기의 제어 입력에만 변조 신호를 인가했을 때,  $f_m=4$  kHz 에서 변조도가 0.4이 하였는데, 루프 필터 앞단에 변조 신호를 입력했을 때 나타나는 특성을 더하면,  $f_m=250$  Hz에서 변조도가 0.4

이하가 된다는 것을 알 수 있다. 구현된 적분기의  $R=2$  kΩ,  $C=20$  nF,  $K_f=25000$ 이다. 이론적인  $K_f=36563$ 과는 약간의 오차가 있다. 세라믹 커패시터를 사용했는데, 표기된 값과 실제 값의 차이로 간주할 수 있다. 실제 값은 20nF~33nF 근방이다. (그림 11)은  $K_f=25000$ 일 때, 루프 필터의 대역폭 변화에 대한 변조 정도를 나타낸다. 완전하게 보상되면 루프 필터의 대역폭 변화에 무관해야 되지만, 측정 결과를 보면 대역폭을 완전히 줄였을 때, 루프의 영향을 받는다. 이는  $K_f$ 가 완전히 보상할 수 있는 값을 가지지 않기 때문인 것이라고 볼 수 있다. (그림 12)는 주파수 합성기의 N 분주비에 대한 변조 정도를 나타낸다. 변조 신호의 주파수가 576 kHz일 때,  $N=1094$  (출력 주파수=1.89 GHz)에서 변조도

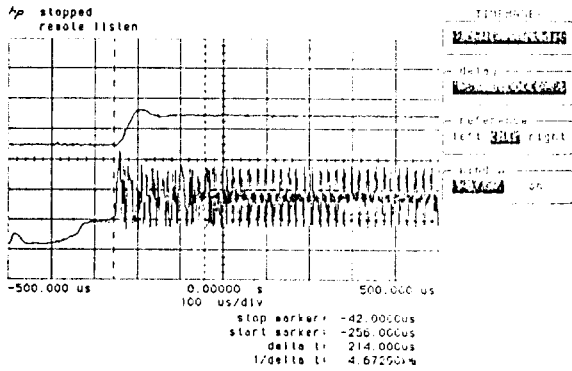


그림 9. 주파수 획득 시간  
Fig. 9. Frequency acquisition time

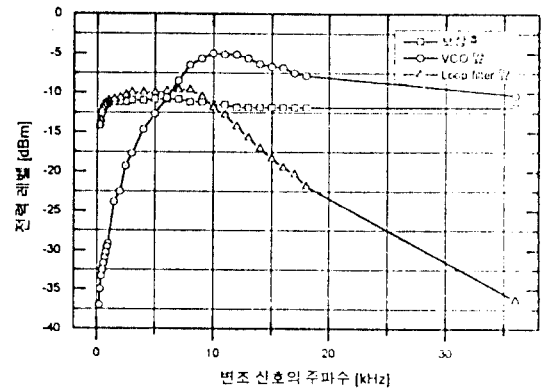


그림 10. 각 입력에 대한 변조기의 특성  
Fig. 10. The characteristic of modulator for each input

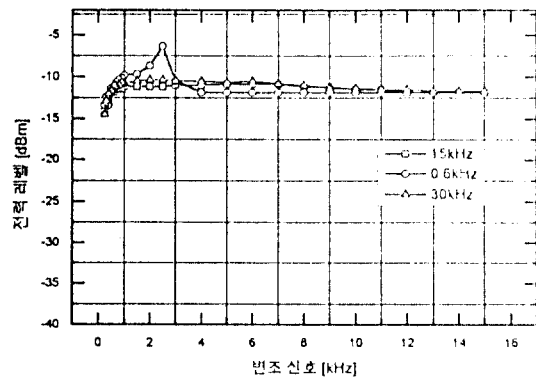


그림 11. 대역폭 변화에 대한 변조기의 특성  
Fig. 11. The characteristic of modulator as BW varies

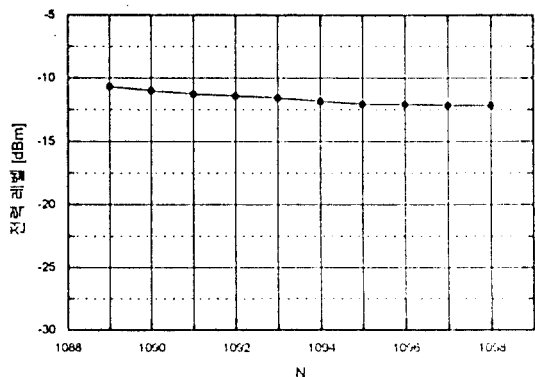


그림 12. N 분주비에 대한 변조기의 특성  
Fig. 12. The characteristic of modulator for N divider

=0.5로 만들었을 때,  $N < 1094$ 에서는 변조도  $> 0.5$ 이고,  $N > 1094$ 에서는 변조도  $< 0.5$ 가 된다. 그러나, DECT 표준안에서 제안된 변조도의 범위에 모든 채널이 포함된다. (그림 13)은  $2^{12}$ -의 랜덤을 가지는 Gaussian filtering된 랜덤 신호를 변조도가 0.5인 보상된 변조기에 입력했을 때의 출력 스펙트럼이다. 약 870kHz에서 dip이 발생하고 인접 채널인 1.728 MHz에서 -60dB이하임을 알 수 있다.

TDMA인 경우, 데이터는 burst mode로 들어오기 때문에 검파시 문턱 전압을 결정하기 위하여 작은 커패시터를 달아야 하고, 송신 신호와 수신 신호를 동기시키기 위하여 시간 복귀 회로를 첨가시켜야 하지만, 본

논문에서는 신호가 연속적으로 계속 들어오는 경우에 대해서 측정했다. 따라서, 문턱 전압을 결정하기 위하여 큰 커패시터( $0.68\mu F$ )를 사용했다<sup>[12]</sup>. Quadrature 검파기와 변별기의 특성을 알기 위하여 측정해야 되는 것이 (그림 14)에서 보여지는 s-curve이다. Quadrature 검파기의 Q 값은 18과 22정도로 측정되었다. 이론적인 Q 값은 무한대가 되어야 하지만, 실제 Q 값은 유한한 값을 알 수 있다. 그리고, (그림 8.b)의 중간 주파수 복조기를 사용했을 때, 수신 전력이 -83dBm일 경우 복원된 신호를 (그림 15)에 나타내었으며, 수신 전력이 -88dBm일 때 BER =  $1.73 \times 10^{-2}$ 으로 측정되었다.

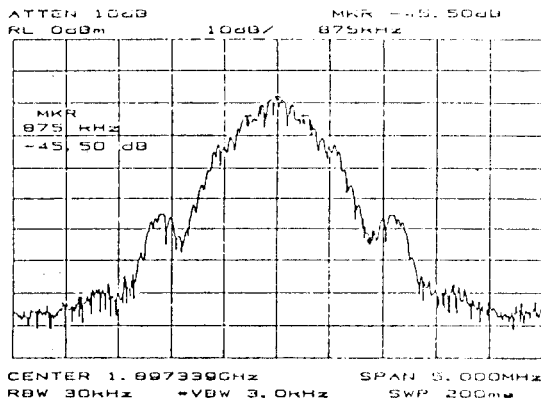


그림 13. 전력 스펙트럼  
Fig. 13. Power spectrum

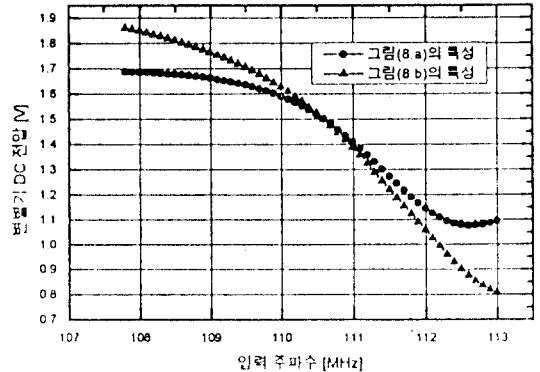


그림 14. Quadrature detector의 s\_curve  
Fig. 14. S\_curve of quadrature detector

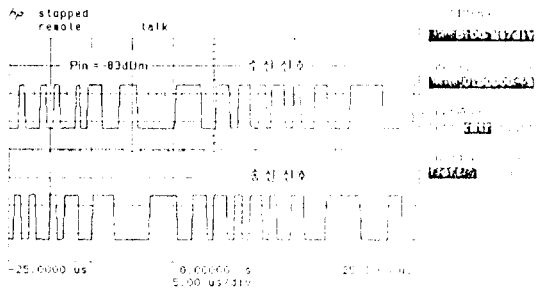


그림 15. 복조된 수신 신호 (-83 dBm)  
Fig. 15. The demodulated output (-83 dBm)

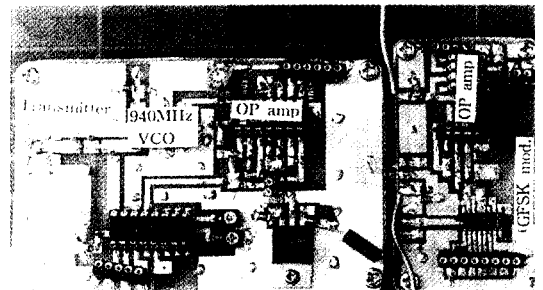


그림 16. 구현된 송신기의 사진  
Fig. 16. Photograph of the implemented Tx



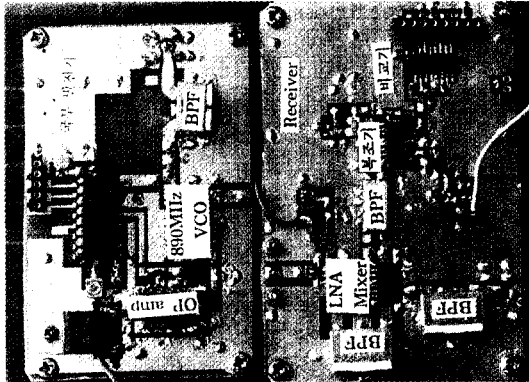


그림 17. 구현된 수신기의 사진  
Fig. 17. Photograph of the implemented Rx

### V. 결 론

직접 상향 변환 송신기와 일차 하향 변환 수신기를 구성할 수 있는 DECT용 송수신기를 설계하고 구현해 보았다. 주파수 획득시간을 빠르게 할 수 있도록 주파수 합성기를 설계하고, 빠른 주파수 획득시간을 얻음으로써 발생하는 변조 신호의 왜곡을 보상하기 위하여 두 입력을 가지는 PLL을 이용한 주파수 변조기를 구성했다. 그리고, 설계된 변조기의 특성을 알기 위한 간단한 측정 방법을 제시하고, 그 방법으로 변조기의 특성을 추출해 내었다.

고속의 데이터를 수신해야 하고 복조 주파수가 높은 경우에 적합한 quadrature 검파기를 구현해 보았다. 주파수가 높음으로써 발생하는 수동 소자의 특성을 감안해서 기존에 사용되었던 방식을 개량하여, 직접 실험해 보고 그 것의 특성을 추출해 내었다. 결과에 따르면 중간주파수가 높은 경우 quadrature detector 회로는 저항 성분이 들어가지 않는 회로가 적합하다는 것을 알 수 있다. BER특성에 영향을 주는 저역통과필터의 대역폭은 많은 시행착오가 필요하다. 또한, 본 논문에서 사용한 LNA는 잡음지수가 크고 이득이 작음으로 인해서 전체적인 수신기의 성능을 나쁘게 하는데, LNA의 잡음지수가 약 2 dB이고, 이득이 12 dB인 경우 약 1 dB 이상의 수신 성능 개선을 얻도록 설계할 수 있다.

DECT 표준안에 맞게 송수신기가 설계되고 구현되었지만, 실제적 요인들, 즉, 인접 채널 간섭, 공통 채널 간섭 등의 사안을 맞추기 위하여 더 많은 측정을 해야

한다.

본 논문에서 구현했던 변조기 실험에서 사용한 연산 증폭기 대신 변조 신호를 보상할 수 있도록 GFSK신호를 출력하는 baseband processor 내부에 함께 ASIC으로 구현한다면 변조기가 차지하는 면적을 줄일 수 있으며, (그림1)에서 보여지는 slot의 크기를 원하는 데로 조절할 수 있기 때문에 여러 가지 응용 분야에 적용할 수 있을 것이다.

### 참고문헌

1. ETSI, "Radio Equipment and System(RES): Digital European Cordless Telecommunications (DECT) Approval test specification," Oct., 1992.
2. Ulrich L. Rhode, "Digital PLL Frequency synthesizer Theory and Design," Prentice-Hall, 1983.
3. 유 종원, "900MHz 대역에서 무선 송수신기의 설계 및 구현," KAIST 석사 논문, 1994.
4. Robert Gilmore, Richard Kornfeld, "Hybrid PLL/DDS Frequency synthesizers," RF design, July, 1990.
5. Daniel E. Fague, Benny Madsen, "Performance Evaluation of a Low Cost, Solid State Radio Front End for DECT," IEEE 44th Veh. Tech. Con., June, 1994.
6. R. A. DA SILVA CURIEL, "Modular Transmitter Design for Low Earth Orbit Spacecraft," University of Surrey, 1990.
7. Mariano Perez Abadia, "A contribution to DECT in frequency synthesis and modulation using DDS," IEEE Trans. on Veh. Tech., 1993.
8. Farron L. Dacus, "Design and Optimization of Frequency Modulated Phase Locked Loops," RF design, March, 1992.
9. D.L.Fu, "Optimize the performance of pager antennas," Microwave & RF, August, 1994.
10. Chia-Liang LIU, "Comparator Analyses/Optimization of Differential and Discriminator GFSK Receivers for Indoor Wireless Applications," IEEE Trans. on Veh.

Tech., 1993.

Detectors," RF design, May, 1991.

11. Edward A. Richley, "Design of Quadrature



邊宇鎮(Woo-Jin Byun) 정회원

1969년 10월 13일생  
1992년 2월 : 경북대학교 전자공학과 졸업(공학사)  
1995년 2월 : 한국과학기술원 전기 및 전자공학과 졸업(공학석사)

1995년 3월 : 한국과학기술원 전기 및 전자공학과 박사과정 재학중

\*주관심 분야 : 이동통신, 전자파 산란해석, 마이크로파 회로 설계 등



柳鐘元(Jong-Won Yu) 정회원

1970년 3월 2일생  
1992년 2월 : 한국과학기술대학 전자공학과 졸업(공학사)  
1994년 2월 : 한국과학기술원 전기 및 전자공학과 졸업(공학석사)

1994년 3월 : 한국과학기술원 전기 및 전자공학과 박사과정 재학중

\*주관심 분야 : 이동통신, 전자파 산란해석, 마이크로파 회로 설계 등

明魯勳(Noh-Hoon Myung)

정회원

한국통신학회 논문지 1995년 제20권 제9호 참조