

대용량 ATM을 위한 공유 버퍼 메모리 스위치 구조 및 교환 망의 구성 방안

正會員 梁忠烈*, 金珍泰*

The Structure of ATM Switch with the Shared Buffer Memory and The Construction of Switching Network for Large Capacity ATM

Choong-Reol Yang*, Jin-Tae Kim* Regular Members

要 約

ATM(Asynchronous Transfer Mode)의 효과는 셀이라고 부르는 고정 길이 패킷의 통계적 다중화에 기인한다. ATM 교환 망을 실현하기 위한 가장 중요한 핵심 기술은 버퍼와 스위치의 배열이다. 현재 대부분의 스위칭 망은 8×8 150Mb/s 또는 16×16 150Mb/s의 단위 ATM 스위치를 이용한 성장 모듈 방식으로 구현해 오고 있으며 32×32 150Mb/s의 단위 스위치는 각국에서 개발 중에 있다. 본 논문에서는 셀 손실, 지연 및 처리율 성능에 있어서 보다 우수한 트래픽 특성과 쉬운 LSI(Large Scale Integrated circuit)가 가능한 공유 버퍼 메모리 스위치를 채용한 32×32 (4.9Gb/s 처리율) ATM 단위 스위치 구조를 고찰하고, 버퍼 용량을 해석적으로 평가하고 컴퓨터 시뮬레이션 하였다. 그리고 비충돌 같은 링크 속도를 개선하는 대용량($M \times M$, $M > 1,000$)의 ATM 교환 비충돌(non-blocking) 교환 망 구성 방안을 고찰하였다.

ABSTRACT

The efficiency of ATM is based on the statistical multiplexing of fixed-length packets, which are called cells. The most important technical point for realizing ATM switching network is an arrangement of the buffers and switches. Current most ATM switching networks are being achieved by using the switching modules based on the unit switch of 8×8 150Mb/s or 16×16 150Mb/s, the unit switch of 32×32 150Mb/s for a large scale system is under study in many countries. In this paper, we proposed a new 32×32 (4.9Gb/s throughput) ATM switch using a Shared buffer memory switch which provides superior traffic characteristics in the cell loss, delay and throughput performance and easy LSI(Large Scale Integrated circuit). We analytically estimated and simulated by computer the buffer size into it. We also proposed the configuration of the large capacity ATM switching network($M \times M$, $M > 1,000$) consisting of multistage to improve the link speed by non-blocking.

*韓國電子通信研究所 신호서비스연구실
論文番號 : 95276-0814
接受日字 : 1995年 8月 14日

I. 서 론

ATM(Asynchronous Transfer Mode)은 BISDN(Broadband Integrated Service Digital Network)을 수행하기 위한 기술로서 ATM의 효과는 셀(cell)이라고 하는 고정 길이 패킷의 통계적 다중화에 기인한다. BISDN의 전송 속도가 150Mb/s 이상을 요구하고 통계적 다중화때문에 셀 버퍼가 필요하기 때문에 고속의 하드웨어 스위치가 ATM에 필요하다. 기존의 ATM 스위치는 소용량에서 부터 대용량($M \times M, M)1,000$)에 이르기 까지 대부분이 8×8 150Mb/s 또는 16×16 150Mb/s의 단위 ATM 스위치를 이용하여 성장 방식으로 필요한 용량의 교환 망을 구현해 오고 있으며 이러한 방법은 점차 시스템이 대용량화될 수록 망 내부의 셀 손실, 셀 지연 및 처리율(throughput)이 문제가 되고 시스템 하드웨어 공간이 커지므로 보다 성능이 우수하고 경제성있는 시스템 개발이 지속적으로 요구되고 있다. 이렇게 시스템의 성능을 좌우할 만큼 중요한 부분이 스위치이기 때문에 현재 대용량을 위한 32×32 150Mb/s급 이상의 단위 ATM 스위치의 연구가 각국에서 활발히 진행 중에 있다.

우수한 셀 손실율, 셀 지연 및 높은 처리율의 트래픽 특성을 가지며 LSI(Large Scale Integrated circuit) 수행이 용이하여 하드웨어 효율이 높아 대용량 교환 망 구성을 위한 조건에 아주 적합한 ATM 스위치로서 그 성능이 이미 잘 알려져 있는 스위치가 공유 버퍼 메모리 스위치이다. 이 스위치를 이용한 기존의 ATM 교환 망은 기존에는 0.8~1.5 m BiCMOS에 의한 8×8 을 기본으로 하는 단일 스위치를 funnel 구조로 성장한 모듈 방식에 의한 것이었으나 점차 기술의 발달로 보다 큰 메모리, I/O 속도, 적은 소모 전원 및 용이한 구조 변경 등에 있어서 우수한 CMOS 기술로 대체되어 가고 있는 추세이고 당분간 CMOS와 BiCMOS 그리고 바이폴라가 그 주류를 이룰 것으로 보이기 때문에 대용량을 위한 32×32 단위 스위치는 $0.5\mu\text{m}$ 이상의 CMOS 기술로 구현될 것으로 전망된다. 따라서 대용량 교환 망을 위한 32×32 공유 버퍼 메모리 스위치 구조를 고찰하고 필요한 버퍼 용량의 평가한다. 또한, ATM 교환 망을 구성하기 위해서는 다양한 방법의 망 구성을 고려할 수 있겠으나 그 가운데 가장 일반적인 망으로 크로스(Cros) 망과 폴드(folded) 망을 꼽을 수 있으며 대

용량의 ATM 교환기는 매우 고속의 교환 속도와 단일 스위치 소자보다는 다수 스위치 소자들을 사용하여 다단계로 구성하면서도 셀 간의 비충돌을 보장하도록 설계되어야 하기 때문에 이들 망을 기반으로 하는 비충돌 3단 망을 고찰한다. 비충돌 3단 망은 2배 이상의 내부 링크 수를 제공하므로 내부 링크의 충돌 즉, 경로의 폭주를 의미하는 충돌 조건이 해소되고, 동시에 훌륭한 링크 자원 할당 능력을 가지므로 다양한 사용자 정보의 통계적 다중화가 가능하여 ATM의 융통성을 크게 향상시킬 수 있다.

본 논문의 구성은 II장에서 대용량을 위한 32×32 단위 스위치 구조를 살펴보고 버퍼 용량을 해석적으로 분석하여 시뮬레이션한 결과를 제시하였고, III장에서는 교환 망의 셀 손실율을 평가하고 망 내부 링크의 고속화 방안을 제시하였으며, IV장에서는 대용량 ATM 시스템에 적합한 교환 망 구성을 제시하였고, 끝으로 V장에서는 결론 및 향후 발전 방향을 서술하였다.

II. ATM 스위치

ATM 스위치로서 Y. S. Yeh⁽¹⁾의 Knockout 스위치는 출력 큐잉이면서 매체 공유형인 스위치로서 셀 손실율, 높은 처리율 등의 장점이 있지만 용량이 증가할 때에는 입출력 인터페이스의 연결선 수 및 하드웨어 증가로 대용량 구성에 적합하지 않다. 대용량의 교환 시스템의 개발을 위해서는 셀 손실율을 최소화하는 것이 가장 중요한데, 이에 가장 적합한 고성능의 ATM 스위치 소자가 공유 버퍼 메모리 스위치이다. 공유 버퍼 메모리 스위치는 공통 랜덤 액세스 메모리와 제어 논리로 수행되어 공유 효과로 인한 버퍼 크기가 매우 적게 요구되며, 일반적으로 동일 버퍼 크기 조건에서 출력 버퍼 스위치보다 훨씬 우수한 셀 손실 성능을 갖는다. $N \times N$ 의 공유 버퍼 메모리 스위치에서 N 이 증가할 때 두 가지 심각한 문제, 즉 셀이 비록 비트 단위로 쪼개지고(bit-sliced), 병렬화 되어도 셀 길이가 고정되어 있기 때문에 램 메모리를 액세스하는 속도에 한계가 따르는 것과, 최악의 경우 한 셀 주기 동안 각 입력 포트가 전 출력 포트에 가는 셀을 수신해야 할 때가 생기는 것인데, 이로 인한 셀 손실은 $m \times n (m > n)$ 의 공유 버퍼 메모리 스위치를 이용하여 $m \times m$ 의 성장 구조⁽²⁾를 구현함으로써 개선할 수 있고 이로써 대용량의 교환 망 구성이 가

능하다.

Kai Y. Eng^[3]에 의하면 영상 가입자 비율이 0.5% 일 때 단위 스위치의 실제 포트 수는 150Mb/s의 32(처리율은 4Gb/s)가 적합한데, 현재 ATM 스위치 기술 수준은 32×32 150b/s 수준의 단위 스위치가 가능한 것으로 발표되고 있지만 패키징 기술의 어려움 때문에 VLSI(Very LSI) 제작이 쉽지 않은 것으로 알려지고 있으며 따라서 당분간은 현재까지 개발된 8×8 150Mb/s, 8×8 600Mb/s 또는 16×16 150Mb/s의 단위 스위치를 성장한 스위치 모듈이 사용될 것이며 대용량의 ATM 교환 망을 구현하기 위해서는 다양한 크기의 ATM 스위치를 융통성 있게 구축할 수 있는 성장 구조의 비충돌 공유 버퍼 메모리 스위치 개념이 도입되고 효율적 스위치 성장 모듈 방식으로 시스템이 구현될 것이다. 그리고 이 때문에 망 내부의 셀 손실 및 ATM 교환 부가 시스템에서 차지하는 공간이 커지는 문제를 해소하기 위한 방향으로 시스템이 개발될 공유 버퍼 방식의 대용량을 위한 ATM 스위치 구조 및 교환 망의 구성 방안이다. 따라서 향후 150Mb/s와 600Mb/s 스위치 기술은 0.5 μm CMOS(Complementary Metal Oxide Semiconductor) 또는 BiCMOS 이상의 VLSI 기술에 의한 대용량을 위한 32×32 단위 스위치가 실현될 것으로 예상된다.

1. 기본 공유 버퍼 메모리 스위치

공유 버퍼 메모리 스위치는 그 기능에 따라 입력 포트

에서 출력 포트로 전달되는 셀을 통과시키는 교환 소자와, 큐잉(queuing)을 위해 ATM 셀이 저장되는 버퍼 메모리 그리고 제어장치로 구성되며, 그림 1은 기존 및 현재 사용되고 있는 소용량에 적합한 대표적인 구조이다. 사용자 정보인 셀이 S/P(Serial to Parallel conversion), P/S(Parallel to Serial conversion) 되는 입출력 스위치 부, 입력 단으로 수신되는 셀들을 다중화하여 저장하며 고속화를 위해 8개의 병렬 구조로 이루어진 버퍼 부, 메모리 부를 제어해 셀 교환 기능을 수행하며 셀 손실 우선 순위 제어, 및 카운터 등의 기능을 갖는 컨트롤 부, 그리고 출력 포트를 제어하는 FIFO로 나뉘어지고 각기 LSI화 된다. 사용자 정보 셀은 스위치 입력에서 들어와 공유 버퍼 출력 포트에 나가기 위하여 한 쌍의 WAR/RAR을 이용하여 하나의 큐로 연결되어 셀 순서가 정해진다. 모든 매체가 협대역 CBR(Continuous Bit Rate)트래픽을 발생하면, 셀은 수 밀리 초의 짧은 시간 동안 많은 매체로부터 오는 다중 셀 때문에 불규칙하게 교환기 시스템에 도착하고, 광대역 CBR 트래픽을 발생하면, 셀은 주기적으로 도착하고, 필요 버퍼 용량은 불규칙적 트래픽 조건에서 보다 적게 요구된다. 불규칙적 트래픽 부하는 각 셀이 불규칙 주기 동안 개별적으로 도착하는 것이고, 비스트 트래픽 부하는 배치 길이(성공 셀 수)가 기하 분포를 갖고, 배치 도착 주기가 불규칙한 셀이 성공적으로 도착하는 것으로 규정한다. 따라서 ATM 스위치는 각기 다른 셀 손실 및 다양한 매체의 서비스 등급의 교환 지연 필요조건에

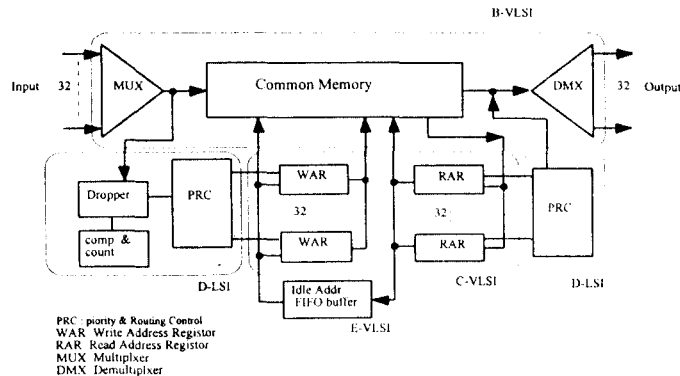


그림 1. 공유 버퍼 메모리 스위치 구조

Fig. 1. Shared buffer memory switch structure

부합하기 위하여 우선순위 제어(priority control)기능을 갖는데, 이 우선 순위 제어 기능에 의해 VBR(Variable Bit Rate) 트래픽의 간섭을 막음으로써 CBR 서비스 품질이 보증될 수 있다. 안내 서비스와 회의 통화 서비스를 위한 방송 기능이 옵션으로 제공된다.

이 구조는 다중화기의 사용으로 인한 스위치 메모리 액세스 속도의 증가가 요구되고, 또한, 다중화기, 역 다중화기 및 PRC부에 멀티캐스트 기능을 위한 멀티캐스트 회로의 추가 등으로 하드웨어 공간이 커지므로 대용량을 위한 LSI의 구현이 용이하지 않다. 또한, 다중화기(multiplexer)와 역다중화기(demultiplexer)를 채용하는 구조에서 데이터 속도는 인터페이스 속도의 N배이고 따라서 직렬병렬 변환 회로를 채용할 때 고속의 버퍼 메모리가 필요하다. 그러므로 높은 비트 속도 인터페이스의 대용량 스위치를 실현하기 위해서는 장애(주로서 손실)을 고려하여야 한다.

2. 32×32 공유 버퍼 메모리 스위치

그림 2는 0.5 μ m 이상의 CMOS의 VLSI 또는 DSP 기술로 구현 가능한 대용량의 ATM 교환기를 위해 제안되는 32×32 단위 공유 버퍼 메모리 스위치 구조이다. 다중화 및 역다중화 부를 포함한 I/O부와 공유 버퍼 메모리 부를 하나의 LSI로 구현하고, 스위치 제어를 위한 제어 부를 LSI로 구현한 2개의 LSI 칩으로 구성한다. 대용량을 위하여 입출력 포트의 수가 증가될 때 셀 길이가 고정되어 있기 때문에 램 메모리를 액세스하는 속도를 향상시키는 문제와 다중화기, 역 다중화기로 인하여 하드웨어가 커질 때의 LSI화 문제 등이 개선되어야 하므로 따라서 메모리 액세스 속도 및 버퍼 메모리 용량 계산 및 패키징에 관하여 서술한다.

셀 전송은 대략 UNI/NNI 속도의 2배이므로 내부 셀 크기를 사용자 셀 48과 헤더 5셀 및 기타 정보 셀을 포함하여 64셀로 고려하면 LSI 입출력 속도는 376 Mb/s(155.52 Mb/s×2×64/53 byte)이고, 이는 0.8 μ m BiCMOS 기술로는 실현 하기 어렵다. 따라서 포트 당 4비트 병렬 방식을 LSI에 채용하여 처리 속도를 향상시키고자 할 때 셀 우선 제어와 4비트 병렬 I/O를 갖는 32×32 ATM 스위치 LSI는 (4+1)×32×2 = 320핀을 필요로 하며 이는 현재의 VLSI 기술(300핀 이하)로는 어려운 것으로 보인다. 32×32 스위치의 경우

RAM에 대해 요구되는 사이클 타임은 1/(376Mb/s×32 ports×2)에 의해 0.04ns 이하가 되는데 이와 같이 빠른 속도를 해결하기 위해 병렬 비트 방법이 이용된다. RAM 사이클 타임을 현재 사용 가능한 15ns의 메모리를 사용했을 때 병렬 비트 수는 380비트(15ns/0.04ns)가 되고 이후 항상 380 비트 병렬 구조를 LSI에 채용하여 입력되는 셀이 직병렬 변환기에서 380비트 병렬로 바뀌게 하므로서 속도를 개선할 수 있다. 90% 회선 사용율에서 셀 손실을 10⁻⁹을 유지하기 위하여 필요한 출력 포트 당 버퍼 크기는 8×8 스위치의 경우 채널 당 23셀로서 총 184셀, 32×32 스위치의 경우 채널 당 128셀로서 4,096셀 수준이며 셀 우선 순위 제어 등을 고려한 실제 수준은 각각 256 및 4,096셀을 다소 상회한다. 셀 우선 순위 제어와 32개의 4비트 / 380비트 직병렬 변환기 및 32개의 380비트 / 4비트 직병렬 변환기를 포함하여 4K 셀 버퍼를 수행하기 위해서는 백만 게이트가 필요하다. 현재 16 x16 BiCMOS 타입의 VLSI를 제작하는데 760K의 게이트가 요구 되고 있으며 32×32 스위치 개발을 위해서는 수백만 개의 게이트가 요구된다. 또한 셀 제어 속도를 향상시키기 위하여 제어 부는 TMS320C50 DSP(Digital Signal Processor)를 사용하여 57MHz(50 μ s) 까지 구현할 수 있고 또 0.5 μ m BiCMOS 이상의 VLSI를 사용하여 속도를 향상^[2]하는 방법이 있는데 당분간 DSP를 사용하는 방법이 추천되며 다중화기 및 역다중화기로 인해 스위치 하드웨어가 커지는 문제는 최근 많이 채용되는 BGA(Ball Grid Assembly) 패키징 기술을 이용하여 최소화한다. 최악의 경우 한 주기에 입력 포트는 출력 포트로 가는 모든 셀을 받아야 하기 때문에 각 FIFO 큐는 전체 버퍼 크기보다 커야 하며, 어드레스 큐를 위한 총 메모리 크기는 식(1)에 의해 결정한다. 즉,

$$\text{총 어드레스 메모리 크기(bits)} = P \times B \times n^2 \times \log_2(B_n), (\because = (b_n)^n) \quad (1)$$

여기서, P_n은 큐의 수(P 수준의 지연-우선 순위 등급이 적용되는 스위치), B는 출력 포트 당 버퍼 크기, n은 어드레스 수, B_n은 총 버퍼 크기이다.

이 경우 용량 감소율은 총 메모리 크기(bits)/으로 구해지며 표 1에서 보는 바와 같이 90% 부하, 32×32 포트 수, 출력 포트 당 버퍼 크기 128에서 0.14 수준으

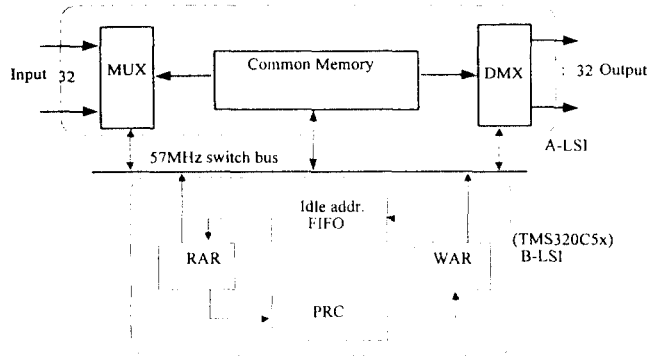


그림 2. 제안된 32×32 공유 버퍼 메모리 스위치
Fig. 2. Proposed 32×32 shared buffer memory switch

로 그림 1의 용량 감소율과 일치한다.

회선 속도 622.08MHz일 때 다중화기 데이터 전송속도 입력은 $622.08\text{Mb/s} / 8 = 77.76\text{Mb/s}$ 이고, 셀 길이 64셀인 경우 내부 링크 속도는 $622.08\text{Mb/s} \times 32 / 64 = 311.04\text{Mb/s}$ 이며, 전송속도 출력은 $77.76\text{Mb/s} \times 64 / 32 = 155.52\text{Mb/s}$ 이다. 그리고 회선 속도 155.52MHz에서 요구되는 메모리 사이클 타임은 $13\text{ns}((64 \text{ cells} \times 8\text{bit}) / (622.08\text{Mb/s} \times 32 \text{ ports} \times 2(\text{UNI, NNI})))$ 이고 처리율은 158Gb/s ($77.76\text{Mb/s} \times 64\text{bits} \times 32 \text{ ports}$)이다.

2.1 ATM 스위치 모듈

0.5 μm CMOS 또는 BiCMOS 기술을 이용한 32×32 150Mb/s 수준의 고성능 단위 스위치의 개발이 이루어질 때 까지 당분간은 현 기술 수준인 0.8 m CMOS 기술의 8×8 150Mb/s, 8×8 600Mb/s 또는 16×16 150Mb/s 등의 단위 스위치를 기본으로 하는 스위치 모듈을 이용하여 대용량 교환 망을 구성할 전망이다. 망 내부의 셀 손실(ATM 스위치 자체 내부 폭주때문에 단일 유니트 스위치 보다 더 나쁜 셀 손실율을 나타낼 수 있다) 및 ATM 교환 하드웨어가 시스템에서 차지하는 공간을 줄이기 위한 방향으로 개발이 이루어지고 있다. 그러므로 32×32 150Mb/s 이상의 고성능 단위 스위치가 개발되어도 임의의 대용량 스위치를 구현하기 위해서는 $m \times n$ ($m > n$)의 단위 스위치의 성장 모듈이 필수적인데 이의 성장 방식으로는 Funnel 방식과

비충돌 공유 다중 버퍼(shared multibuffer)(5) 방식이 있으나 전자가 더 구현하기 쉽다.

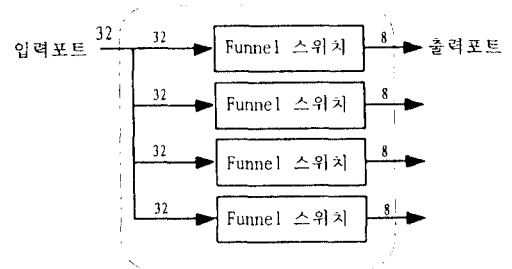


그림 3. 32×32 성장 스위치 구조
Fig. 3. 32×32 growable switch structure

2.2 32×32 공유 버퍼 메모리 스위치의 버퍼 용량 평가

공유 버퍼 메모리 스위치 구조가 버퍼 메모리와 각 출력마다 어드레스 FIFO(First In First Out)를 갖는 구조에서, 주어진 셀 손실율 및 버퍼 공유에 의한 총 메모리 감소 효과를 만족하는 버퍼 용량을 해석적으로 평가하고자 한다.

셀 손실율은 Chernoff 범위 조건에 의하여 공통 메모리의 셀 손실율을 구하고, M/D/1/K로 모델링 할 수 있는 어드레스 FIFO에서의 셀 손실율을 구하여 각각의 합으로 평가한다. 공유 버퍼형 스위치에서 셀 손실율은 각 출력 포트에서 무한 버퍼 크기를 가정하여 합수 분포

을 구한 다음, 범위를 설정하는 Chernoff 범위⁽⁶⁾를 이용하여 구할 수 있다. X를 하나의 출력 포트에 대한 버퍼 크기라 하고, Y를 공통 메모리의 버퍼 크기라 하면 Y는 전체 X의 합으로 구해진다. Chernoff 범위는 큰 독립 불규칙 변수의 합의 범위 설정이 가능하며, 이 범위를 이용하여 주어진 셀 손실율을 만족하는 버퍼 크기를 결정할 수 있다. 밀도 함수의 범위 설정을 위한 Chernoff 범위는 다음 식(2), (3)과 같으며 이 범위에서 셀 손실율 목표를 만족하는 버퍼 크기를 평가할 수 있다.

$$p\{Y \geq n\gamma x^{(1)}(\nu)\} \leq \exp\{n[\gamma x(\nu) - \nu\gamma x^{(1)}(\nu)]\}, \nu \geq 0 \quad (2)$$

여기서,

$\gamma x(\nu) = \log M_x(\nu)$, $\gamma x^{(1)}(\nu) = \gamma_x(\nu)'$ 이고, $M_x(\nu)$ 는 x의 모멘트 발생함수이며, n은 스위치 크기이다. M/D/1 모델에서,

$$M_x(\nu) = \frac{(1-\rho)(1-e^{-\nu})}{1-e^{-\nu} \cdot e^{(1-\rho)\nu}}, (\nu \geq 0)$$

따라서,

$$\gamma_x(\nu) = \log(1-\rho) + \log(1-e^{-\nu}) - \log(1-e^{-\nu} \cdot e^{(1-\rho)\nu}) \quad (3)$$

다음에 버스트 트래픽 조건에서 공유 버퍼가 갖는 트래픽 영향을 살펴보고자 한다. ATM은 B-ISDN의 다양한 트래픽 조건의 폭 넓은 서비스와 대역폭을 제공하기 위한 기술로서 특히 움직이는 영상 정보에서 버스트 특성, 입력 포트와 출력 포트에서 각각 나타나므로 이를 개선하기 위해서는 스위치 내부 링크 속도를 증가시키거나 최적의 자원 제어(resource control)가 필요하다. 이와 같이 공유 버퍼 메모리 스위치의 공유 버퍼 용량 평가⁽⁷⁾는 트래픽 조건에 따라 크게 달라질 수 있으며 랜덤 트래픽 조건보다는 버스트 트래픽 조건에서 더욱 효과적인 셀 손실 성능(분리 버퍼 메모리 스위치의 약 1/5)을 가지므로 결국 버스트 트래픽 조건에서 트래픽 영향을 고찰할 필요가 있다. 셀 손실 성능 평가 시뮬레이션을 위하여 다음과 같은 트래픽 조건이 필요하다.

- 버스트 트래픽 입력 상태에서 충분한 성능을 갖기 위한 공유 메모리의 크기를 구하기 위해서 하나의 타임 슬롯 내에 모든 버스트가 일시에 입력된다고 가정한다.

- 각 타임 슬롯에서 각 입력 포트에 들어오는 버스트

수는 포아송 분포를 갖고 버스트 내의 셀 분포는 기하 분포를 갖는 것으로 가정한다. L = 1 인 경우 균일한 트래픽이다.

- 처리율은 일정하고, 트래픽 부하는 일정한 것으로 간주한다.

- 모든 셀은 일정한 확률로 임의의 출력 포트에 도착한다.

공유 버퍼 메모리에 도착하는 큐의 수가 무한대이고, 큐 안의 셀은 버퍼 용량을 초과하는 순간에 셀 손실이 생긴다고 가정하면, 이 때 셀 손실 확률은 M/D/1 트래픽 모델을 이용하여 해석적인 방법으로 구할 수 있다. 각 사용자 큐 길이($=x_1, x_2, \dots, x_n$)의 합(y)의 분포를 G(n)으로 표시할 때 식(4), (5)와 같으며, 임의의 출력 시점에서 예상되는 셀 손실(C_{loss})은 식(6)에 의해 구한다.

$$G(n) = (1-\rho)^N \cdot \rho^{n+N-1} \cdot C_{N-1} \quad (4)$$

$$E[x - Bf | m = n] = \frac{e^{-\mu Bf}}{\mu} \sum_{i=0}^{n-1} \sum_{k=0}^i \left(\frac{(\mu Bk)^k}{k!} \right) \quad (5)$$

여기서, i는 한 개의 큐에 포함된 버스트 수, ρ 는 트래픽 부하(즉, 회선 이용률), n는 전체 큐 안의 버스트 수, N은 입출력 개수, x_n 은 사용자 큐 길이 그리고 $1/\mu$ 은 한 개의 버스트 안의 평균 셀 수이다.

$$C_{loss} = \sum_{n=0}^{\infty} G(n) \cdot E[x - Bf | m = n] \quad (6)$$

셀 손실율은 임의의 순간에 예상되는 셀 손실 수를 메모리 내의 평균 셀 수로 나눈 값으로 표시되며 다음 식(7)에 의하여 구할 수 있다.

$$\text{셀 손실율} = C_{loss} / \text{메모리 내의 평균 셀 수} \quad (7)$$

임의의 시점에 셀 손실율을 구현하기 위한 공유 버퍼 메모리 스위치의 버퍼 용량(C_{bit})은 식(8)과 같이 계산된다.

$$C_{bit} = n \times B \times (64 \text{ cells} \times 8 \text{ bits}) \quad (8)$$

여기서, n은 출력 포트 수이고, B는 출력 포트 당 버퍼 크기이다. 이 계산식에 의해 버스트 트래픽 조건에서 32×32 단위 스위치의 메모리 버퍼 용량을 구하면, 회선 이용률 즉, 트래픽 부하 80%, 셀 손실율 10^{-9} 에서 단위 출력 포트 당 버퍼 크기는 64셀 수준이다.

2.3 공유 효과(Buffer sharing effect)로 인한 버퍼 감소율

공유 버퍼 메모리 스위치는 서비스 등급과 출력 포트 수에 따라 R/W(read/write) 레지스터를 두어 여러 서비스 등급을 처리하게 할 수 있으며, 서비스 등급 기능이 추가되어도 필요 메모리 용량의 증가는 출력 포트들과 서비스 등급들 간의 버퍼 공유 효과 때문에 최소화된다. 대용량의 ATM 스위치 입출력 포트일수록 특히 버퍼 공유가 필요하다. 스위치 버퍼 크기는 동일한 트래픽 부하에서 동일한 수준의 셀 손실율을 유지할 수 있는 수준으로 고려할 수 있는데 버퍼를 공유하는 입출력 포트가 증가할수록 셀 손실이 감소하는 경향이 있으므로 버퍼 크기를 줄일 수 있다. 공유 버퍼 메모리 스위치에 필요한 버퍼 크기는 출력 버퍼 크기에 필요한 버퍼 크기보다 적으며, 버퍼 감소율은 공유 버퍼 메모리 스위

치에 필요한 입출력 포트 당 버퍼 크기를 출력 버퍼 스위치에 필요한 버퍼 크기로 나눈 값으로 결정되며, 따라서 버퍼 감소율은 항상 1이하이다. LSI 제조 시 입출력 포트 크기는 이러한 공유 효과로 인한 버퍼 감소율과 그 외에 물리적 제한의 상관관계를 감안하여 결정한다. 버퍼 크기를 설계하기 위해 각 출력 포트에서 버퍼 큐잉 모델로서 M/D/1/K 모델을 이용한다. 표 1은 Kozaki^[7], Y. Shobasaki^[8], P. Barri^[9]의 개별(seperated) 버퍼에 대한 단위 공유 버퍼 메모리 스위치의 버퍼 감소율에 관한 시뮬레이션 결과이다. 표 1에서 보는 바와 같이 80%의 랜덤 트래픽 부하, 셀 손실 10^{-9} 에서 32×32 스위치의 버퍼 감소율은 아래 0.13 수준이다. 앞에서 제안된 32×32 스위치의 규격 필요조건을 표 2에 정리하였다.

III. 대용량 ATM에 적합한 ATM 교환 망

영상 가입자 비율이 약 10%일 때 150Gb/s 처리율에 해당하는 1,000포트 이상의 대용량 교환 망이 필요하며 이는 곧 다단 교환 망^[10]을 의미한다. 대용량의 교환 망을 구성하기 위해서는 2단 또는 3단의 폴드 망과 크로스 망 등을 고려할 수 있는데, W. Fisher^[11]에 따르면 폴드 망은 매우 큰 처리율을 갖는 스위치 망 구현이 가능하고 신뢰도를 위해 이중화 구성도 가능하다. 대용량의 ATM 교환기는 단일 스위치 소자로 구성된 성장 모듈을 이용하여 목표로 하는 처리율의 다단망을 구성하는데, 이 때 스위칭 망 내부에서 셀 간의 비충돌을 보장할 수 있어야 하며 이러한 이유로 다단 크로스 망 구조가 NEC, AT&T, Alcatel 및 Siemens의 대형 ATM 교환기에서 사용되고 있다. 이렇게 크로스 망 구조는 그림 4에 나타난 3단 크로스 망을 기초로 하는 비충돌 3단 망이 가장 적합한데 스위치 총 포트 수가 1단의 단위 스위치 입력 포트 수의 자승과 같을 때 논리적으로 가장 최적의 효과를 갖는 망으로서 처음 두 단은 내부 교환 망으로 하고 3단은 집선 장치 또는 고속 교환 장치로서 동작한다. $N \times N$ ($N > 1,000$) 이상의 대용량 ATM 시스템 교환 망 구성을 위해서는 그룹화된 Knockout 스위치 망의 셀 손실율을 최소화하고, 충돌 조건을 해소하며, 특히 최적의 링크 자원 할당 방법을 제공하여야 한다.

표 1 단위 공유 버퍼 메모리 스위치의 버퍼 감소율
Table 1. Buffer reduction for shared buffer switch element

스위치 크기	80% 부하	90% 부하
8×8	0.3	0.23
16×16	0.2	0.16
32×32	0.13	0.14

표 2. 32×32 스위치 규격 필요조건
Table 2. 32×32 switch spec. requirements

항 목	규 격
반도체 LSI 기술	0.5- μ m CMOS
회선 속도	622.08Mb/s
입/출력 포트 수	32×32
셀 길이	64
입/출력 속도	1.5Gb/s (622Mb/s $\times 2 \times 64/53$)
메모리 크기	4,096tpf(2Mbit)
클럭 속도	77.76MHz
공유 버퍼 메모리 수	32(출력 포트 수)
입출력 인터페이스	ECL/CMOS
평균 버스트길이	10 셀(4Kbit)
셀 손실	90% 부하에서 10^{-9} 이하
스위칭 지연등급	2
패키징	BGA

1. 그룹화 된 Knockout 스위치 망의 셀 손실율

$N \times N (N > 1,000)$ 크기의 교환 망을 구성할 때, 교환 망의 입력 단에 셀이 도착할 확률 가 다른 입력 및 타임 슬롯에 대해 독립이고, 각각의 출력 포트에 방향 확률이 일정할 경우에 k 개의 셀이 하나의 특정 출력에 도착하는 확률(P_k)은,

$$P_k = \binom{N}{k} \left(\frac{\rho}{N}\right)^k \left(1 - \frac{\rho}{N}\right)^{N-k}, K=0,1,\dots,N \quad (9)$$

여기서 ρ 는 하나의 슬롯 안의 입력 회선에 셀이 도착하는 확률(스위치 부하)이라 하면, 이 때, 해당 출력 포트에서 L 개의 셀만 받아 들일 때 셀 이 손실될 확률(P_r)은 식(10)과 같이 되고, 이 식은 교환 망의 크기 N 이 무한대일 때에는 식(11)과 같이 된다. 식(11)은 단일 출력 대신에 n 개의 출력 그룹을 고려하고 그들을 하나의 출력 그룹으로 취급하면, 입력 셀이 출력 그룹에 도착할 확률은 n/N 이 되고, 이 때 m 개의 셀까지 그룹 출력을 통과하게 하면 셀이 손실될 확률은 식(12)와 같다. 교환 망이 무한대일 경우에 셀 손실은 식(13)과 같다.

3단 교환 망에서 셀 손실은 임의의 출력 그룹을 향해서 동시에 도착하는 셀이 너무 많거나, 라우팅 알고리즘이 적절하지 못하여 스위치 경로가 적절히 라우팅되지 못할 때 발생할 수 있으며 식(14)와 같이 표시된다. 실제 이로 인한 손실은 수 셀이하 수준으로 대단히 작다.

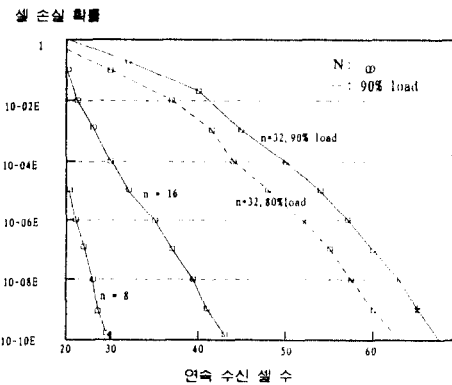


그림 4. Knockout 개념의 셀 손실 확률
Fig. 4. Lost cell probability of the knockout principle

식(13)으로 부터 최악의 경우(worst-case) 입력 셀 손실은 식(14)와 같다.

$$P_r = \frac{1}{\rho} \sum_{k=L+1}^N (k-L) \binom{N}{k} \left(\frac{\rho}{N}\right)^k \left(1 - \frac{\rho}{N}\right)^{N-k} \quad (10)$$

$$= \left(1 - \frac{L}{\rho}\right) \left(1 - \sum_{k=0}^L \frac{\rho^k e^{-\rho}}{k!}\right) \left(1 - \frac{\rho}{N}\right)^{N-k} \quad (11)$$

$$= \frac{1}{n\rho} \sum_{k=m+1}^N (k-m) \binom{N}{k} \left(\frac{n\rho}{N}\right)^k \left(1 - \frac{n\rho}{N}\right)^{N-k} \quad (12)$$

$$= \left(1 - \frac{m}{n\rho}\right) \left(1 - \sum_{k=0}^m \frac{(n\rho)^k e^{-n\rho}}{k!}\right) + \frac{(n\rho)^m e^{-n\rho}}{m!} \quad (13)$$

$$= 1 - \sum_{k=0}^m \frac{(n\rho)^k e^{-n\rho}}{k!} \quad (14)$$

사용자에게 만족할 만한 통신을 제공하기 위한 셀 손실 율은 무시될 만큼 적어야 하며 그 수준은 90%의 트래픽 부하 조건에서 대략 광 섬유 전송 회선의 비트 율인 10^{-9} 정도이어야 한다. 따라서 식(13), (14)로 부터 교환 망의 크기를 임의의 대용량으로 구성하기 위하여 입력 트래픽 부하 90%, 셀 손실율 10^{-9} 에서 셀 손실이 평가되어야 한다.

그림 4는 스위치 규모 $N = \infty$, 출력 그룹 크기 $n=32$, 80% 부하에서 연속적으로 받아들여야 할 셀의 수, m 의 함수로서 최악의 경우 셀 손실율을 컴퓨터 시뮬레이션한 결과를 나타낸 것이다. 그림 5는 셀 손실 기준에 필요한 m/n 비를 나타내며, 이 들 결과로 부터

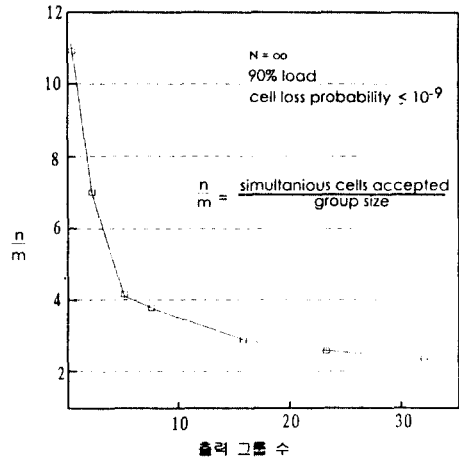


그림 5. 출력 그룹의 셀 수신율(최악의 경우)
Fig. 5. Ratio of simulation cells accepted to output group(worst-case)

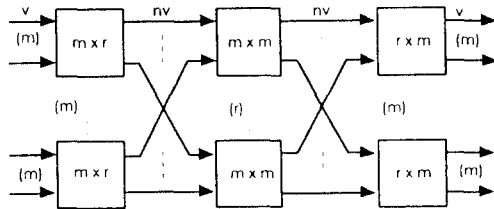
셀 손실을 10^{-9} , 그룹 크기 n 을 32로 할 때 그룹화된 출력 포트에서 임의의 한 타임 슬롯 동안 n 입력으로부터 연속적으로 받아 들일 수 있는 셀 수는 최악의 경우를 고려할 때 64개 셀 수준 이상이어야 한다.

$N \times N$ 교환 망에서 다중 셀이 임의의 동일 출력을 향하여 동시에 도착할 때 출력은 한번에 하나의 셀만 받을 수 있으므로 자연히 셀 손실이 생기게 되고, 셀 지연 및 처리율 성능이 떨어지는데 이는 출력 큐잉에 의해 개선할 수 있다. 출력 큐잉을 사용하는 스위치 모듈의 셀 손실은 Knockout 손실 및 부적절한 스케줄링으로 인한 손실 및 버퍼 과부하로 인한 손실 등을 고려할 수 있는데, 이들의 영향은 무시할 만한 정도이다.

이 밖에 ATM 스위치 상호 접속 시에는 셀 손실을 감소시키기 위해 스위치 LSI에 흐름 제어, 스위치 내부 속도 향상 및 입력 슬롯 순환 등의 방법을 사용하는데, 이들은 각각 스위치 망의 입력 포트에서만 셀 손실이 일어나게 하여 셀 손실율을 최소화 유지시키거나, 스위치 내부 폭주를 감소시키거나, 주기적으로 셀 입력 포트 순서를 순환시켜 최악의 셀 손실 및 평균 셀 손실율을 감소시키는 방법이지만 Y. Shobatake⁽⁸⁾에 의하면 150Mb/s 8×8 단위 스위치에서 포트 당 버퍼 크기가 32셀이고 평균 버스트 길이가 5셀일 때, 80% 이하의 부하에서 셀 손실율은 10^{-6} 이하이며, 80% 이상의 높은 트래픽 부하에서 이러한 기능은 잘 사용하지 않는다.

2. 내부 교환 망의 고속화

ATM 시스템의 다단 교환 망을 설계하는 경우에 입출력 포트에서 셀간 충돌 조건을 해소하고, 링크 자원 할당 방법을 제공하는 것이 특히 중요하다. 그림 6은 비



1st stage output ports = $m \times m(r/m)$
2nd stages = 1st stage output ports/ m

그림 6. 3단 비충돌 교환 망
Fig. 6. Three-stage nonblocking switching network

충돌 다단 교환 망을 설계하기 위한 기본 구조이다. 충돌은 내부 교환 망의 경로의 폭주를 의미하고, 링크 자원 할당은 ATM의 융통성을 크게 좌우하는 통계적 다중화를 의미하기 때문에 가능한 한 호 설정 단계에서 필요조건을 부합하여야 하며, 이를 위해서는 스위치간 병렬 링크 수를 증가하는 방법, 1단의 출력 포트 수/2단의 입력 포트 수간의 비를 증가시키는 방법(즉, 입력에 비례하여 2배 이상의 내부 링크 수) 및 내부 링크 수를 증가시키는 방법으로 개선 가능하며 여기서는 이 비충돌 필요조건들을 내부 망 설계에 적용하고자 한다. 일반적으로 다단 교환 망의 비충돌 조건은 다음 부등식 (15)로 표시되며, 표준 편차 σ' 는 무시할 만큼 적으므로 이를 무시하여 식(16)과 같이 간략화된 식을 도출하였다. 표 3에 회선 속도 150Mb/s에서 32×32 단위 스위치(처리율은 4.8Gb/s, 64Kb/s 동시 전화 호 3×10^9)를 기본으로 하는 내부 링크 망의 충돌 조건을 나타내었다.

$$r \geq 2 \times \left\{ \frac{(mv - \mu)}{nv - \mu + \delta} - 1 \right\} + 1 \tag{15}$$

$$r \geq 2 \times \left\{ \left(\frac{m}{n} \right) - 1 \right\} + 1 \tag{16}$$

여기서, r 은 내부 링크 수, m 은 단위 스위치 입/출력 포트 수, v 는 회선 전송 속도, u 는 새로 들어오는 호출 그리고 n 은 링크 속도/회선 속도이다.

그림 7은 내부 링크 속도에서 링크 수 리던던시율 (r/m)과 회선 속도(v)간의 관계를 나타낸다. 즉, 교환 망은 $m = 32$, $v = 150\text{Mb/s}$ 일 때 150Mb/s의 내부 링크 속도를 위해 $m = 3r$ 을 필요로 하고, 600Mb/s의 내부 링크 속도를 위해 $m \approx r$ 을 필요로 한다.

IV. 대용량 ATM 시스템을 위한 교환 망의 구성

그림 8에 32×32 150Mb/s 단위 스위치 또는 이를

표 3. 3단 망의 내부 충돌 조건
Table 3. Internal blocking conditions in three-stage network

스위치 크기	리던던시율	링크속도	충돌조건
32×32	1	600MB/s	$r \geq 15$
32×96	3	150MB/s	$r \geq 63$

이용한 32×32 622 Mb/s 단위 스위치 모듈을 이용하여 구현할 수 있는 대표적인 1,024×1,024 비충돌 3단 교환 망 구성 방법이다. 여기서는 표 2에 언급한 스위치를 이용하여 funnel 구조의 성장 모듈을 구성한 것을 그림과 같은 임의의 크기의 다단 망 구조에 적용하여 대용량의 교환 망을 설계하는 방안을 제시하였다. 이미 목표한 바 대로 대용량의 ATM 교환기에서 요구하는 우수한 성능의 셀 손실율, 셀 지연 및 처리율 성능은 32×32 단위 스위치 및 스위치 성장 모듈에 의해 이루어지고, 이미 제시한 충돌 조건 및 내부 링크 망 고속화 방안을 적용하여 구현한다. 이 3단 크로스 망 구조는 그림 9와 같은 양방향의 폴드 망 구조 즉, 세로 축 중심인 2단을 기준으로 절반 접은 구조로 구성될 수 있다. 첫 단은 3단 구조의 첫 단과 마지막 단의 기능을 수행하며, 이 경우 모든 내부 접속 링크는 양방향이고 셀은 양방향의 폴드 망의 첫 단을 통과한다. 이 구조는 첫 단에

서 최단 경로를 제공하여 매우 큰 처리율을 갖는 스위치 망의 구현이 가능하고 2단에 32×32 교환 모듈을 추가하여 폴드 구조로 계속 성장한다. 시스템 클럭 발생기의 공통 클럭에 의해 매 교환 소자마다 비트와 셀 동기가 수행되므로 모듈간의 동기도 요구되지 않는다. 신뢰도를 위해 이중화 구조로 구성할 수 있고, 충돌 영향을 고려할 필요가 있을 때 내부 단 링크 수를 추가하므로써 새로운 교환 망 구조를 구축할 수 있다. 망을 경제적으로 구성하기에 적합하고 성장이 쉬운 반면, 스위치 포트 성장이 어려운 것이 단점이다.

구성은 목표로 하는 포트 수가 N이면 32×(2단 모듈 수)로 망 구성이 이루어진다. 즉, 1단은 32×32 교환 매트릭스, 2단은 32×32 다중화기를 포트 성장 방법으로 구성하며 1,024×1,024 교환 망을 구성하는 경우 32×32의 양 방향 링크 스위치 모듈을 사용하여 1단과 2단을 각각 32 개의 32×32 교환 모듈을 구성한다.

링크 수 리던던시율 (r/m)

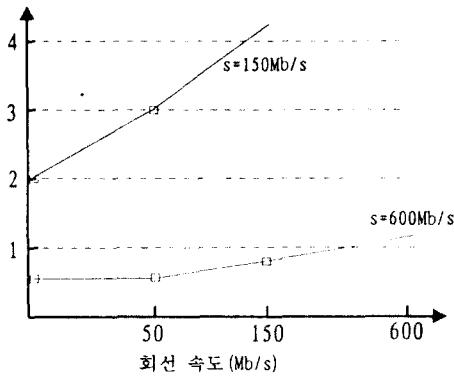


그림 7. 3단 망의 비충돌 조건

Fig. 7. Nonblocking condition for the three stage network

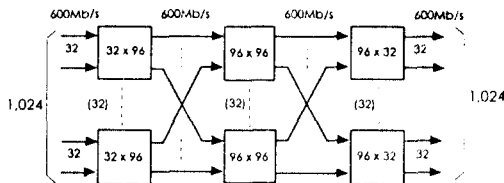


그림 8. 1,024×1,024 비충돌 3단 교환 망

Fig. 8. Nonblocking for the 1,024×1,024 three-stage switching network

V. 결 론

본 논문에서는 점차 대용량의 ATM 교환기의 개발이 가속화되고 있는 시점에서 현재 ATM 스위치의 기술 동향과 전망을 살펴보고 머지않아 개발될 공유 버퍼 메모리 메카니즘을 채용한 대용량 ATM을 위한 32×32 ATM 단위 스위치의 규격 및 구조를 미리 고찰해 보고, 이를 기반으로 셀 손실율과 지연 및 처리율에 있어서 우수한 성능을 나타내는 대용량의 ATM 시스템에

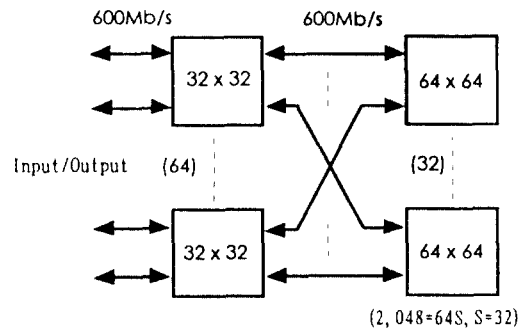


그림 9. 1,024×1,024 비충돌 폴드 망

Fig. 9. Nonblocking for the 1,024×1,024 folded network

적합한 교환 망 구성 방안을 미리 살펴보고자 하였다. 향 후 보다 경제성있는 대용량의 고성능 ATM 교환 망을 구현하기 위해서는 0.5 μ m CMOS 또는 BiCMOS 이상의 반도체 기술에 의한 32×32 150Mb/s 또는 600Mb/s 이상의 단위 ATM 스위치는 물론 더 나아가 고속 및 고성능의 광 교환 스위치 개발이 크게 기여할 것으로 전망된다.

참고문헌

1. Y. Sakurai, et al., "Large-scale ATM Multistage Switching Network with Shared Buffer memory Switches", IEEE Commun. Magazine, pp.90~96, Jan. 1991.
2. H. Yamanaka, et al., "A Scaleable Nonblocking Shared Multibuffer ATM Switch with a New Concept of Searchable Queue", ISS '95, Vol. 1, pp.278~282, 1995.
3. Kai Y. Eng, et al., "A Growable Packet(ATM) Switching Architecture: Design Principles and Applications", IEEE Tr. on Commun. Vol. 40, No. 2, Feb. 1992.
4. Chu, W.W., "Buffer Behavior for Batch Poisson Arrivals and Single Constant Output," IEEE Tr. Commun. vol. Com-18, no. 5, pp.618~618, Oct. 1970.
5. H.saito, et al., "Multicast Function and its LSI Implementation in a Shared Multibuffer ATM Switch", INFOCOM, pp.315~322, 1994.
6. H. Kuwahara, et al., "A Shared Buffer memory Switches for an ATM exchange", proc. ICC 89, pp.118~122, 1989.
7. Kozaki, et al., "32×32 Shared Buffer Type ATM Switch VLSI's for B-ISDN's", IEEE J. on Sel. Areas in Comm., Vol. 9, No. 8, Oct. 1991.
8. Y. Shobatake, et al., "A One-chip Scaleable 8 ×8 ATM Switch LSI Employing Shared Buffer Architecture", IEEE J. on sel. Areas in Comm. Vol. 9, pp.1248~1253, Oct. 1991.
9. P. Barri and J. A. O. Goubert, "Implementation of a 16×16 Switching Element for ATM Exchanges", IEEE J. on Sel. areas in Commun., Vol. 9, No. 5, June 1991.
10. Soung Liew and Kevin Lu, "Performance Analysis of Asymmetric Packet Switch", IEEE INFOCOM, pp.668~676, 1990.
11. W. Fischer, "A Scaleable ATM Switching System Architecture", IEEE J. on Sel. Areas in Commun. Vol. 9, No. 8, pp.1299~1307, Oct. 1991.



梁 忠 烈(Choong-Reol Yang)정회원

1983년 : 건국대학교 전자공학과 졸업
 1992년 : 미국 제너럴다이나믹스(GDLS)사 교환 연구원

1986년 7월~1992년 6월 : (주)현대정공 기술연구소
 1992년 6월~현재 : 한국전자통신연구소 신호서비스연구실 선임연구원

※주관심 분야 : 신호 및 제어 시스템



金 珍 泰(Jin-Tae Kim) 정회원

1980년 2월 : 인하대학교 전자공학과 (학사)
 1982년 8월 : 인하대학교 전자공학과 (석사)
 1996년 2월 : 인하대학교 전자공학과 (박사)

1988년 8월~1989년 7월 : University of Missouri Kansas City 방문 연구원

1979년 12월~현재 : 한국전자통신연구소 신호서비스 연구실 실장

※주관심 분야 : 신호 및 서비스 시스템