

800 MHz 주파수도약 시스템을 위한 분수분주 방식 주파수 합성기의 설계 및 제작

正會員 朴鍾文**, 李承大***, 方成日*, 陳年鋼*

N Fractional Frequency Synthesizer for 800 MHz Frequency Hopping

Jong Moon Park**, Seung Dae Lee***, Sung Il Bang*,
Youn Kang Chin* *Regular Members*

요 약

본 논문에서는 펄스제거 방식의 장점인 다채널과 단점인 획득 시간을 보완할 수 있는 분수분주 방식을 사용하여 30 kHz 채널 간격, 667 채널을 갖는 800 MHz 대역 주파수 합성기를 구현하였다. 이의 설계를 위해 기준 주파수와 채널 수, 루프 대역폭과 획득시간의 관계를 이론적으로 구한 데이터를 바탕으로 주파수 합성기를 설계 및 제작하였다.

설계 제작한 주파수 합성기를 측정된 결과 채널 간격의 오차는 10 Hz, 획득시간 1.44 ms, 불요 주파수 억압은 -45 dBc 였다. 이와같은 결과는 설계 사양을 만족하나 불요 주파수 억압이 설계 목표인 -60 dBc에 이르지 못했다. 또한 800 MHz~820 MHz 대역에서 초당 500번 도약할 수 있음을 알 수 있었다.

ABSTRACT

In this paper, the 800 MHz band N fractional frequency synthesizer having 667 channel with 30 kHz channel bandwidth is designed on the bases on the theory which is derived in terms of the relation between reference frequency and the number of channels, loop bandwidth and acquisition time.

The experimental results show 10 Hz deviation from the bandwidth, the spurious suppression of around -45 dBc and the acquisition time of 1.44 ms. The results satisfy the given specification, but don't achieve the besired spurious -60 dBc suppression. It is found that 500 hop per second will be possible over the range from 800 to 820 MHz.

* 단국대학교 전자공학과
Dept. of Electronics Eng., Dankook Univ.

** 한국이동통신(연)

*** 남서울산업대학교 전자공학과
論文番號: 95134-0404
接受日字: 1995년 4월 4일

I. 서 론

현재 많은 분야에서 응용되고 있는 주파수 합성기는 직접 주파수 합성기(direct frequency synthesizer), 간접 주파수 합성기(indirect frequency synthesizer) 및 혼합형 등으로 크게 구분된다. 이중 간접 주파수 합성기는 외부 분주비를 조절하여 주파수를 합성하므로 구조가 간단하고 광대역 주파수 합성이 용이하며 불요 주파수 제어능력이 우수하다는 장점으로 널리 사용되고 있다. 간접 주파수 합성방식은 또한 펄스제거방식과 분수분주방식으로 나뉘어진다. 펄스제거방식은 그 구조가 간단하고 one-chip 화가 비교적 쉽다는 장점을 가지고 있는 반면 주파수 획득시간이 30 ms 정도로서 고속 주파수 획득이 요구되는 TDMA 및 FH/DS CDMA(frequency hopping/direct sequency code division multiple access) 등의 디지털 이동통신에 적용이 곤란하다. 이는 근본적으로 많은 채널수를 확보하기 위해 기준 주파수를 작게 할 경우 채널 획득시간이 길어지고, 이를 보상하고자 획득시간을 단축하기 위해 루프 대역폭을 늘릴 경우 위상잡음이 열화되기 때문이다^{4, 5, 6)}.

1976년 W. J. Tanis가 최초로 제안한 분수분주 합성방식은 위의 펄스제거방식의 단점을 극복할 수 있는 대안이 되고 있다. 이 방식은 기준 주파수를 높게 유지하는 대신 분주비를 소수점으로 나누어 채널수에서 손해를 보지 않게 하는 방식이다. 기준 주파수가 높기 때문에 획득시간도 동일 조건의 펄스제거 방식보다 단축된다. 다만 분수분주방식은 위상검출기에서 소수점의 분주비로 인한 위상오차를 없애기 위한 하드웨어의 추가가 필요하다는 단점이 있다^{1), 3)}.

본 논문에서는 기준 주파수 3.84 MHz를 사용하여 채널 간격이 30 KHz이고 20 MHz 주파수 변환시 2ms 이하의 주파수 획득시간을 갖는 800 MHz 대역에서 도약가능한 FH/CDMA용 분수분주방식 주파수 합성기를 설계 및 제작하고자 한다.

본 논문의 구성은 다음과 같다. II장에서는 분수분주방식 주파수 합성기의 루프대역폭과 주파수 스위칭 시간과의 관계를 시뮬레이션을 통해 검토하고 III장에서는 실제 제작하 주파수 합성기의 결과를 보였으며 IV장에서 결론을 맺었다.

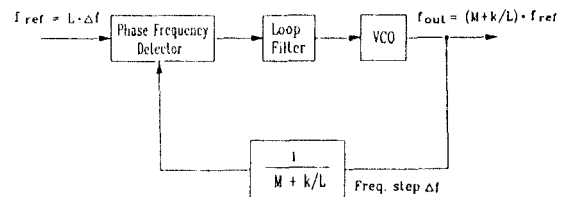
II. 분수분주 방식 주파수 합성기의 설계

최근에 많이 사용하고 있는 펄스제거방식등과 같은 디지털 PLL 주파수 합성기는 근본적으로 기준 주파수가 낮기 때문에 단기안정성(short term stability)이 떨어지고 위상 잡음과 불요주파수 억압이 열화되는 특성을 갖는다. 또한 신호에 대한 획득시간이 느리기 때문에 디지털 이동통신 방식에는 적합하지 않다. 이에 대한 개선책으로 제시되고 있는 방식은 분수분주방식의 주파수 합성기로서 이는 그림 1에서 보는 바와 같다. 분주비를 시간에 따라 변화시킴으로서 소수점 단위의 분주가 가능한 분수분주 방식 주파수 합성기의 평균 분주비는 다음과 같다^{4, 5)}.

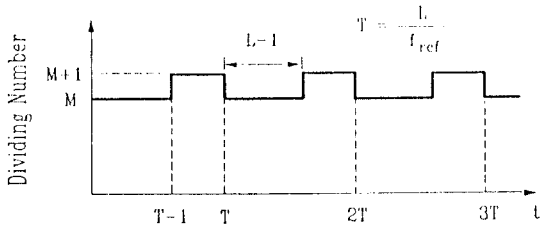
$$M_{avg} = M + \frac{k}{L}, \quad 0 \leq k \leq L, k \text{는 정수} \quad (1)$$

누산기 회로는 가산기와 레지스터로 구성되며 F 레지스터 값은 제어기에 입력된다. 누산기는 이 값을 누적하고 임계값을 넘으면 오버플로우를 발생하여 분주비를 '+1'로 변환시킨다. t_{acq} 와 w_n 과의 관계를 시뮬레이션을 통해 고찰할 수 있으며 이는 그림 3에 보인바와 같다.⁶⁾ 입력 주파수를 20 MHz로 했을 경우에 대한 주파수 획득시간 t_{acq} 와 w_n 의 관계를 시뮬레이션⁶⁾ 하였으며 그림 2에 보인 바와 같다. 여기서 t_{acq} 는 주파수가 ± 1 kHz 이내로 수렴하는 시간으로 정의하였다. 그림 2에서 보는 바와 같이 획득 시간을 2 ms 이하로 하였으며 위상잡음을 고려하여 $w_n = 10$ rad으로 선택하였다.

PLL 주파수 합성기는 획득 시간과 VCO 잡음을 줄이기 위해 기준주파수 성분이 나타나지 않는 범위내에서 가능한한 루프 대역폭을 넓게 해야 한다. 대개



(a) 분수분주 방식 주파수 합성기



(b) 시간 변화에 따른 분주비의 변화

그림 1. 분주분주 방식 주파수 합성기의 구조

기준주파수 성분은 대역폭에 비해 대단히 높으므로 제거될 수 있지만 원치 않는 불요 주파수를 충분히 억압하기 위해서는 그림 3과 같이 감쇄 특성이 뛰어난 type 2의 5차 LPF가 효과적이다.

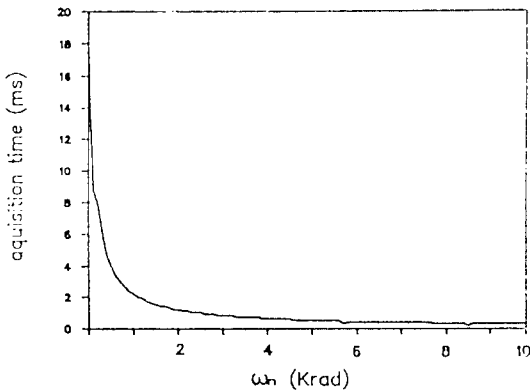


그림 2. ω_n 과 획득시간 t_{acq} 와의 관계

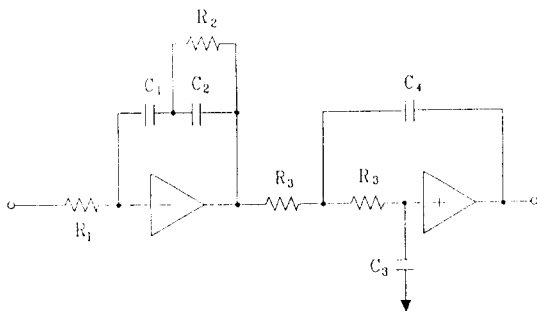


그림 3. Type 2의 5차 LPF

그림 3의 type 2의 5차 LPF의 페루프 전달함수는 다음과 같다.

$$G(s)H(s) = \frac{K_d K_o}{NT_1 s^2} \left[\frac{1 + sT_2}{1 + sT_3} \right] \quad (2)$$

여기서 T_1, T_2, T_3 를 이용하여 안정성, 천이특성 및 잡음특성을 만족하도록 설계해야 한다. 본 논문에서는 $\omega_n = 10$ krad에 대하여 45° 의 위상마진(phase margin)이 되도록 설계하였다. 식 (2)로부터 위상마진은

$$\Phi = \tan^{-1} \omega T_2 - \tan \omega T_3 + 180. \quad (3)$$

이며 θ 를 ω 에 대해 미분하고 ω_n 에서 0이 되도록 하면

$$\frac{d\Phi}{d\omega} = \frac{T_2}{1 + (\omega T_2)^2} - \frac{T_3}{1 + (\omega T_3)^2} = 0 \quad (4)$$

$$\omega_n = \frac{1}{\sqrt{T_2 T_3}}$$

가 된다. 식 (4)를 식 (3)에 대입하여 정리하면

$$T_3 = \frac{\sec \Phi - \tan \Phi}{\omega_n} \quad (5)$$

$$T_2 = \frac{1}{\omega_n^2 T_3} \quad (6)$$

이 된다. 45° 위상마진에서 이득이 0이 되도록 식 (2)를 T_1 에 대하여 정리하면 다음과 같다.

$$T_1 = \frac{K_d K_o}{N\omega_n^2} \left(\frac{1 + sT_2}{1 + sT_3} \right) \quad (7)$$

그림 4와 그림 5에 각 파라미터 값에 따른 5차 LPF의 주파수 응답곡선과 시간응답 곡선을 나타내었다. 한편 locking 시간은 필터의 차수와는 무관하며 주파수 합성기의 대역폭에 의존한다.

그림 4에서 보는 바와 같이 f_{ref} 가 매우 높은 경우 10 kHz 이상에서 -80 dBc/Hz가 되는 시스템의 전달 특성을 얻을 수 있다. 한편 그림 5는 $\omega_n = 10$ krad과 1 krad인 경우의 주파수 전환 후 수렴시간을 비교한 것이다. 2 msec 이하의 획득시간을 얻기 위해 $\omega_n = 10$ krad으로 설정하였다.

본 논문에서 설계 하고자 하는 주파수 합성기의 사양을 요약하면 다음과 같다.

분주비가 되게 하였다. 프로그래머블 카운터 N 과 A 는 74F192로 구성하였으며 논리회로를 이용하여 A 카운터를 $\div 5$ 에서 $\div 6$ 으로 변화시킨다. VCO의 출력은 분배기를 이용하여 외부출력과 귀환없이 발생하도록 하였다.

측정에는 HP 8592D Spectrum Analyzer, HP 5350B Frequency Counter, Teck. Oscilloscope 2232를 사용하였다. 그 결과 표 1에 보인 바와 같이 이론치와 실험치 사이에 1kHz의 오차를 보였으며 주파수 채널간격인 30 kHz를 10 Hz 이내의 오차로 정확히 유지하고 있음을 알 수 있다. 그림 7은 주파수원 TCXO의 출력 스펙트럼을 나타낸다. 이 기준 주파수원을 4분주사키 위상 검출기의 기준주파수(3.84 MHz)가 되도록 하였다. 그림 8은 주파수 합성된 스펙트럼(814.04 MHz)을 측정 한 결과로써 출력주파수에서 3.84 MHz 떨어진 곳에서 기준주파수 성분인 -45 dBc 억압되어 있음을 알 수 있다.

그림 9는 798.72 MHz~821.31 MHz의 전대역 주파수도약 스펙트럼을 나타내고 있다. 그림 10은 796.72 MHz 부터 819.72 MHz까지 23 MHz 만큼 주파수를 도약시켰을 때 나타나는 VCO의 제어전압으로부터 획득 시간을 측정 한 것이다. 주파수 상승시 1.44 ms 주파수 하강시 0.7 ms의 획득 시간을 보인다. 시뮬레이션 결과와는 약간의 차이가 있으나 실험치 2 ms 이하를 만족하고 있다. 그림 11은 798.72 MHz~821.31 MHz 사이에서 200 hop/sec로 주파수를 랜덤하게 도약시켰을 때의 VCO 제어전압을 측정 한 결과이다.

출력 주파수에 대한 N, A, F 와의 관계는 다음과 같다.

$$f_{out} = 3.84[MHz] \times 2(5N + A + \frac{F}{256}) \quad (8)$$

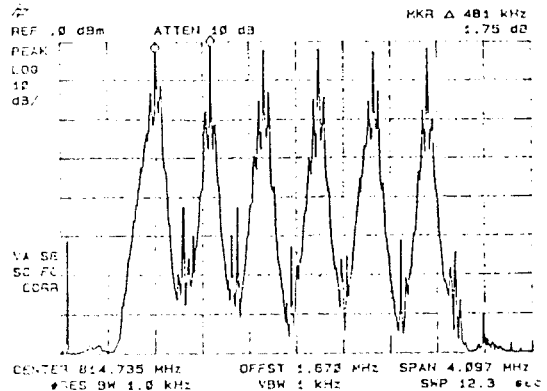


그림 8. 합성된 출력 스펙트럼(814.08 MHz)

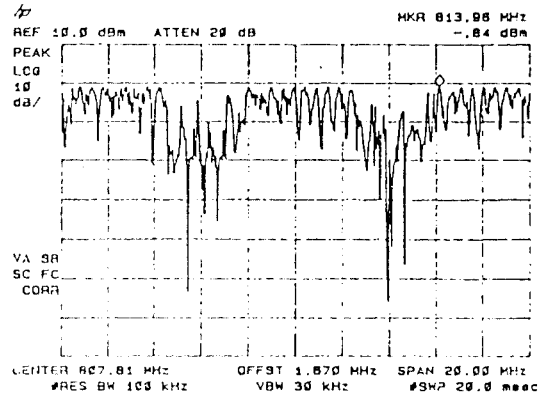


그림 9. 전대역 주파수도약 스펙트럼

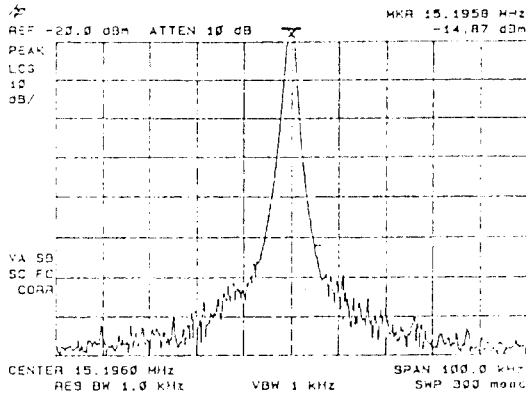
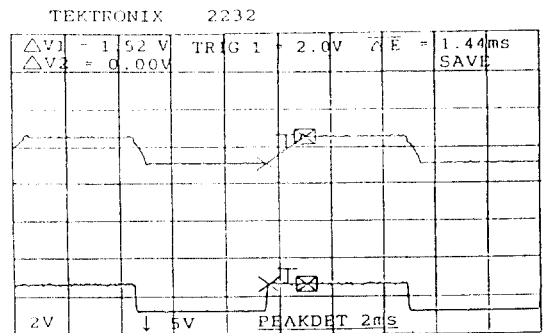


그림 7. 15.36 MHz TCXO의 스펙트럼



VCO 제어전압(위), 도약 신호(아래)

그림 10. 796.72 MHz에서 23 MHz 도약시 획득시간

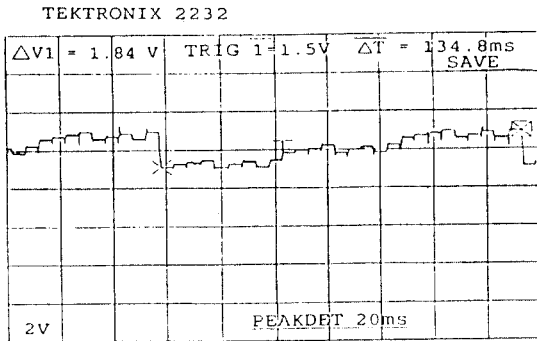


그림 11. 전대역 도약시 제어 전압

IV. 결 론

본 논문에서는 기존의 펄스제거 방식을 이용한 주파수 합성기의 단점인 획득시간을 보완하고 잇점을 살릴 수 있는 800 MHz 대역 분수분주 방식 주파수 합성기를 이론적으로 고찰하고, 주파수 도약 시스템에 적합하도록 설계 및 제작하였다.

주파수 합성기를 위한 PLL 필터는 불요 주파수 억압과 위상잡음 특성을 고려하여 5차 능동 필터를 채택하였으며 시뮬레이션을 통하여 적합한 파라미터 값을 추출하였다. 이를 실제로 제작한 결과 채널 간격이 30 kHz인 667개의 채널을 갖는 800 MHz~820 MHz대의 출력 주파수를 얻었다. 각 채널의 오차는 10 Hz, 출력은 -1 dBm, 이고 20 MHz 채널 전환시 1.44 ms의 주파수 획득시간을 얻을 수 있다. 실험에서 얻은 불요주파수 억압은 -45 dBc 실제 사양인 -60 dBc에 이르지 못했으나 이는 시스템의 차폐 및 LPF의 개선에 의해 향상될 수 있을 것으로 기대된다.

앞으로의 과제로서는 상용의 TDMA와 FH/CDMA 등의 디지털 통신에 적용하기 위한 프리스케일러, 카운터를 포함한 one-chip 구현이 필요하다 하겠다.

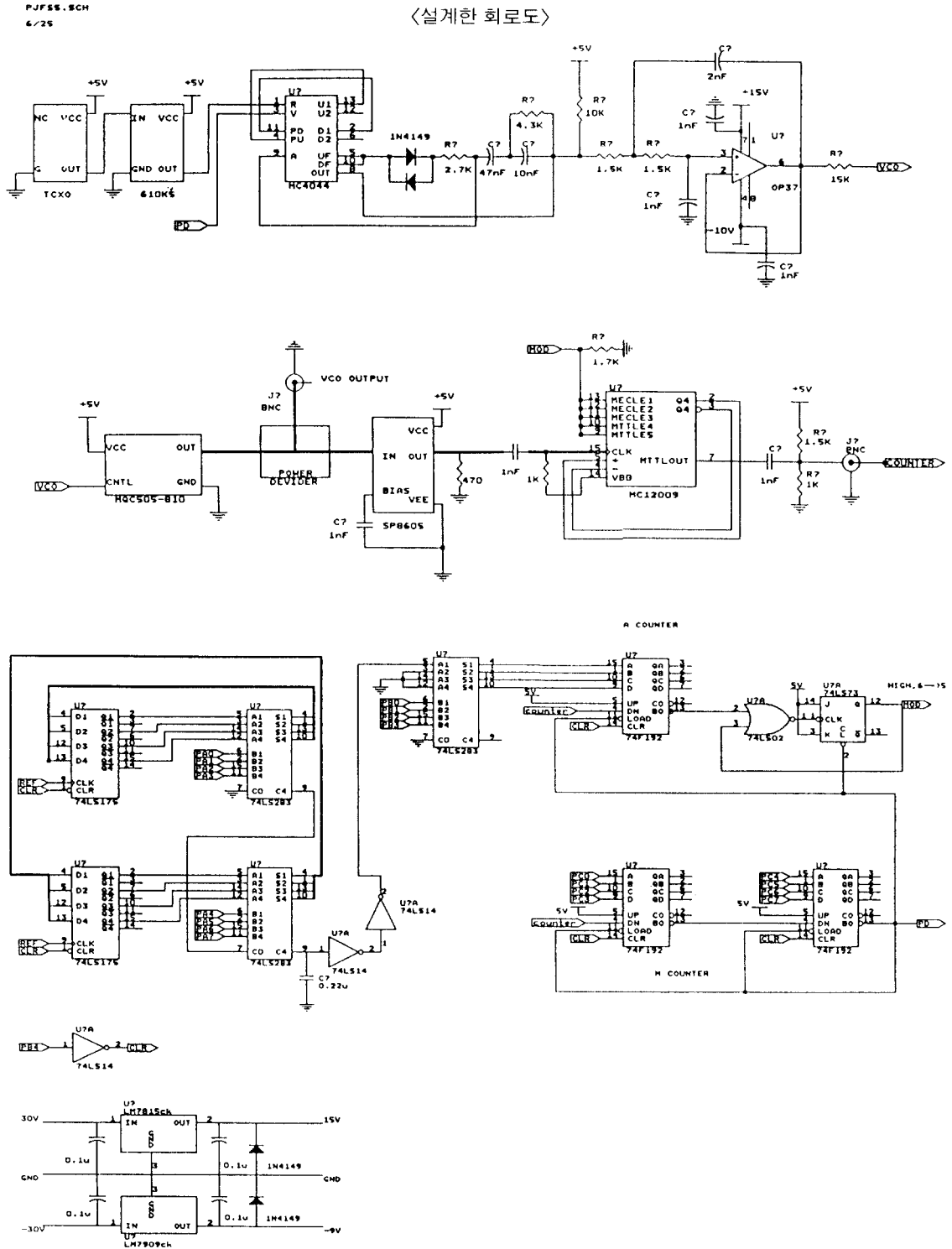
참 고 문 헌

1. H. Adachi, "High-Speed Frequency Switching Synthesizer using Fractional N Phase Locked Loop," IEICE, Vol. J76-C-1, NO.11, pp.445~452, Nov. 1993.

2. D. K. Park, "Fast Acquisition Frequency Synthesizer with Multi-Stage Cycle Swallowers," IEICE, Vol. J75-B-II, No. 8, pp. 515~523, Aug. 1992.
3. W. J. Tanis, Wayne, NJ, Engelmann Microwave, Monrille, NJ, U.S Patent 3, 957, 737, May 25, 1976.
4. H. M. Berlin, *Design of Phase-Locked Loop circuits with Experiment*, E & L Instrument, Inc. 1982.
5. F. M. Gardner, *Phase Lock Techniques*, 2nd edition, John Wiley & Sons, 1979.
6. U. L. Rohde, *Digital PLL Frequency Synthesizer Theory and Design*, Prentice-Hall Inc. 1983.
7. MOTOROLA CMOS Application Standard ICs, Applications note AR 254 #1, 2, 3, 4, 1989.
8. Professional Products IC Handbook, GEC Plessey Semiconductors, Application notes. 1992.

부 록

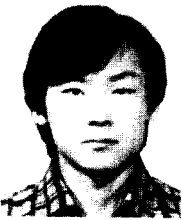
<설계한 회로도>





박 종 문(Jong Moon Park) 정회원
1968년 11월 15일생
1991년 2월: 단국대학교 전자공
학과 졸업(공학사)
1991년 3월~1994년 8월: 단국대
학교 전자공학과 대
학원 졸업(석사)
1994년 7월~현재: 한국이동통
신 PCS 추진본부,
시스템 개발팀

※주관심분야: PCS, 이동통신, ATM



이 승 대(Seung Dae Lee) 정회원
1963년 10월 28일생
1990년 2월: 단국대학교 전자공
학과 졸업(공학사)
1990년 3월~1992년 2월: 단국대
학교 전자공학과 대
학원 졸업(석사)
1992년 3월~현재: 단국대학교
동대학 대학원 박사
과정

1995년 8월~현재: 남서울대학교 전자공학과
※주관심분야: PCS, CDMA 시스템

방 성 일(Sung Il Bang) 정회원
한국통신학회 1995년 12월호 참조

전 년 강(Youn Kang Chin) 정회원
한국통신학회 1995년 5월호 참조