

ATM 스위치에서 폐기 임계치를 가진 셀전송비율 제어형 우선순위 제어방식의 성능 분석

正會員 朴元基*, 金煥善*, 崔炯辰**

Performance Analysis of Priority Control Mechanism with Cell Transfer Ratio and Discard Threshold in ATM Switch

Won Gi Park*, Young Sun Kim*, Hyoung Jin Choi** *Regular Members*

요 약

본 논문에서는 유한 크기의 출력 버퍼를 가진 ATM 스위치에서 셀손실 요구조건과 지연의 요구조건을 얻기 위하여 폐기 임계치를 가진 셀 전송비율 제어형 우선순위 제어 방식을 제안하고, 이를 수학적으로 분석하였다. 본 논문에서 다루는 서비스 클래스의 종류는 시간 우선순위가 높은 서비스 클래스(클래스 1)와 손실 우선순위가 높은 서비스 클래스(클래스 2)의 두가지이다. 제안한 우선순위 제어방식은 하나의 버퍼에 두가지 서비스 클래스의 셀을 저장하여 처리하는 방식이다. 손실 우선순위가 높은 클래스 2 셀은 버퍼 전체에 저장되며, 손실 우선순위가 낮은 클래스 1 셀은 버퍼의 폐기 임계치까지만 된다. 그리고 버퍼에 있는 셀을 전송할 때 시간 우선순위가 높은 클래스 1 셀을 연속적으로 최대 K개까지 전송할 때 마다 시간 우선순위가 낮은 클래스 2 셀을 1개 전송한다. 본 논문에서는 Markov chain을 사용하여 제안한 우선순위 제어방식에서 각 클래스에 대한 셀손실률과 평균셀지연을 분석하였다. 분석 결과로 부터 입력 트래픽 특성에 따라 폐기 임계치와 셀의 전송비율을 적절히 선택함으로써 클래스 1 셀에 대해서는 평균셀지연의 특성을 좋게 하고, 클래스 2 셀에 대해서는 셀손실률의 특성을 좋게 할 수 있음을 확인할 수 있었다.

ABSTRACT

ATM switch handles the traffic for a wide range of applications with different QOS(Quality-of-Service) requirements. In ATM switch, the priority control mechanism is needed to improve effectively the required QOS requirements. In this paper, we propose a priority control mechanism using the cell transfer ratio type and discard threshold in order to archive the cell loss probability requirement and the delay requirement of each service class. The service classes of our concern are the service class with high time priority(class 1) and the service class with

*韓國電子通信研究所
 **成均館大學校
 論文番號:95065-0214
 接受日字:1995年 2月 14日

high loss priority(class 2). In the proposed priority control mechanism, cells for two kind of service classes are stored and processed within one buffer. In case cells are stored in the buffer, cells for class 2 are allocated in the whole range of the buffer and cells for class 1 are allocated up to discard threshold of the buffer. In case cells in the buffer are transmitted, one cell for class 1 is transmitted whenever the maximum K cells for class 2 are transmitted consecutively. We analyze the time delay and the loss probability for each class of traffic using Markov chain. The results show that the characteristics of the mean cell delay about cells for class 1 becomes better and that of the cell loss probability about cells for class 2 becomes better by selecting properly discard threshold of the buffer and the cell transfer ratio according to the condition of input traffic.

I. 서 론

스위치와 다중화 장치에 있어서 ATM은 광범위한 서비스를 수용하는데 주요한 기술이다. ATM 스위치는 고정된 길이의 셀과 비동기 다중방식을 사용하여 비스트한 트래픽과 인속 비트 스트림 등과 같은 어떠한 종류의 정보라도 전달할 수 있어야 한다.[1] 음성, 영상, 데이터 등의 다양한 특성의 통신 미디어들로 다중화됨에 따라 멀티미디어 트래픽을 정확하게 파악해야만 한다.[2] 그리고 정보의 전송시 통신망에서 발생하는 현상에 따라서 서비스 품질이 달라지기 때문에 전송되는 트래픽을 효과적으로 처리하기 위해 트래픽제어 방법 등이 사용되어야 한다. 이러한 서비스 품질을 유지하기 위한 한가지 방법으로 셀에 우선순위를 두어 처리하는 우선순위 제어방식이 있다.[3-5]

우선순위 제어방식에 대한 성능 분석은 우선순위 제어방식이 망에 끼치는 영향 등에 대한 해석[6]으로 출발하여 최근에는 B-ISDN의 전송방식으로 사용되는 ATM에서의 우선순위 제어방식[7-18]을 해석하였다. ATM망에서 사용되는 우선순위 제어방식으로는 짧은 지연시간을 요구하는 서비스에 높은 우선순위를 두는 시간 우선순위 제어방식[7, 8], 작은 셀손실을 요구하는 서비스에 높은 우선순위를 두는 손실 우선순위 제어방식[9-12]과 시간 우선순위 제어방식과 손실 우선순위 제어방식을 복합적으로 적용한 복합 우선순위 제어방식[13]이 있다. 현재까지 제안된 우선순위 제어방식에서 대표적인 방식으로는 부분버퍼분할 방식 및 푸쉬아웃 방식[11]과 셀 전송비율 제어방식 등이 있다.[15]

본 논문에서는 출력형 ATM 스위치에서 셀 전송비율 제어형 우선순위 제어방식의 한 방법으로 하나의

제한된 버퍼를 할당하여 두개의 서비스 클래스의 셀을 저장하고, 버퍼에 폐기 임계치를 둔 셀전송비율 제어형 우선순위 제어방식을 제안한다. 그리고 제한된 우선순위 제어방식에 대해서 이론적으로 셀손실률과 평균 셀지연을 분석한다. 이론적인 분석을 통해 폐기 임계치와 셀의 전송비율에 따라 셀손실률의 특성과 평균셀지연의 특성을 확인한다.

II. 폐기 임계치를 가진 셀 전송비율 제어형 우선순위 제어방식

그림 1에 나타낸 바와 같이 출력 버퍼를 가진 $N \times N$ ATM 스위치에서 수행되는 우선순위 제어방식을 고려하였다. ATM 스위치의 각 출력은 크기가 B인 하나의 버퍼를 가지며, 버퍼에서 셀을 출력할 때 한 타일슬롯에서 한개의 셀만을 출력한다. 본 연구에서 관심있는 서비스 클래스는 두가지 종류인데 시간 우선순위가 높은 서비스 클래스(클래스 1)와 손실 우선

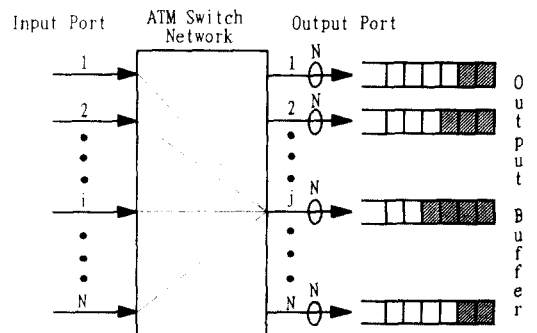


그림 1. 출력버퍼형 ATM 스위치
Fig 1. ATM switch with output buffer

순위가 높은 서비스 클래스(클래스 2)이다.[16-18] 시간 우선순위가 높은 클래스 1 셀은 지연에는 민감하지만 어느 정도의 셀손실을 감수하는 서비스 특성을 가지며, 손실 우선순위가 높은 클래스 2 셀은 셀손실에는 민감하지만 어느 정도의 지연을 감수하는 서비스 특성을 가진다. 이러한 서로 다른 서비스 요구사항을 만족시키기 위해 그림 2에 나타난 바와 같이 하나의 제한된 버퍼에서의 우선순위 제어방법을 제안하였다.

본 연구에서 제안한 우선순위 제어방식은 하나의 출력 버퍼에 두가지 종류의 서비스 클래스의 셀을 저장하고 셀 전송비율에 의해 제어되는 우선순위 제어방식이다. ATM 스위치를 통해 출력 버퍼에 도착한 셀 중 클래스 1 셀은 버퍼의 오른쪽 끝에서 왼쪽으로 저장되며, 클래스 2 셀은 버퍼의 왼쪽 끝에서 오른쪽으로 저장된다. 셀을 버퍼에 저장할 때 손실 우선순위가 높은 클래스 2 셀을 우선 저장한 다음 남은 여백에 손실 우선순위가 낮은 클래스 1 셀을 저장한다. 클래스 1 셀을 버퍼에 저장할 때에는 버퍼의 오른쪽에 폐기 임계치 D 를 두어 이 임계치까지 저장한다. 버퍼가 완전히 찬 경우에 클래스 2 셀이 도착하였을 때에는 버퍼에 들어있는 클래스 1 셀을 밀어내고 그 자리에 도착한 클래스 2 셀을 저장한다. 따라서 클래스 1 셀을 저장하는 버퍼의 크기는 D 보다 작다고 볼 수 있

으며, 클래스 2 셀을 저장하는 버퍼의 크기는 전체 버퍼 크기인 B 로 볼 수 있다. 버퍼에 저장된 셀을 전송할 때 셀 전송비율 K 에 따라 클래스 1 셀과 클래스 2 셀을 전송한다. 여기서 셀 전송비율이라 함은 시간 우선순위가 높은 클래스 1 셀을 연속해서 최대 K 개 까지 전송할 때마다 시간 우선순위가 낮은 클래스 2 셀을 1개 전송하는 것을 의미한다. 이러한 우선순위 제어방식을 폐기 임계치를 가진 셀 전송비율 제어형 우선순위 제어방식이라 한다. 따라서 본 연구에서 제안한 우선순위 제어방식에서 셀의 평균지연을 조정

표 1. 우선순위 제어방식에서의 셀 저장 원칙

Table 1. Principles of storing cell for priority control mechanism

버퍼에 클래스 1 셀과 클래스 2 셀을 저장하는 원칙
• 도착한 클래스 1 셀을 버퍼의 오른쪽 끝에서 왼쪽으로 저장한다.
• 도착한 클래스 2 셀을 버퍼의 왼쪽 끝에서 오른쪽으로 저장한다.
• 버퍼에 도착한 셀 중 클래스 2 셀을 버퍼에 먼저 저장하고 난 후 클래스 1 셀을 버퍼에 저장한다.
• 클래스 1 셀을 버퍼에 저장할 때 임계치 D 까지 저장한다.
• 버퍼가 완전히 찬 경우에 도착한 클래스 2 셀을 버퍼에 저장된 클래스 1 셀을 밀어내고 그 자리에 저장한다.
• 버퍼가 완전히 차거나 임계치 D 까지 클래스 1 셀로 가득찬 경우에 도착한 클래스 1 셀은 버린다.

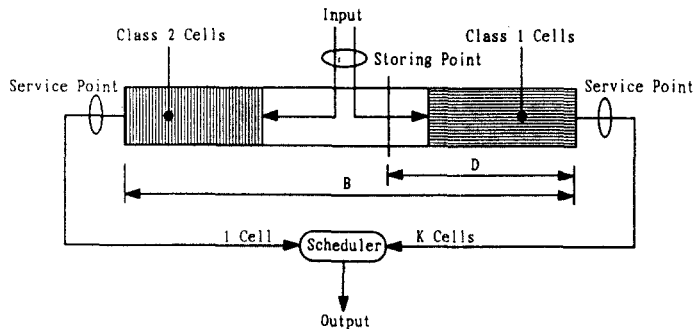


그림 2. 폐기 임계치를 가진 셀전송비율 제어형 우선순위 제어방식의 버퍼 구조

Fig 2. Buffer structure for cell transfer ratio type priority control mechanism with discard threshold

표 2. 우선순위 제어방식에서의 셀 전송 원칙
Table 2. Principles of transmitting cell for priority control mechanism

비퍼에 저장된 클래스 1 셀과 클래스 2 셀을 전송하는 원칙 • 클래스 1 셀을 연속해서 최대 K 개까지 전송한 다음 클래스 2 셀을 1개 전송한다. • 위의 절차는 순차적으로 진행하여 반복한다. • 비퍼가 비어있는 경우에 클래스 1, 2 셀이 도착하면 다음 타임슬롯에서 클래스 1 셀을 전송한다. • 클래스 1 셀을 전송할 때 전송해야 할 셀이 비퍼에 없다면 그 시점에서 클래스 2 셀을 전송한다. • 클래스 1 셀을 최대 K 개까지 전송 완료한 시점에 클래스 2 셀이 비퍼에 없다면 클래스 1 셀을 연속해서 최대 K 개까지 전송한다. • 클래스 2 셀을 1개 전송 완료한 시점에서 비퍼에 클래스 1 셀이 없다면 클래스 2 셀을 전송한다.

하는 경우에는 셀의 전송비율 K를 제어하고, 셀손실률을 조정하는 경우에는 레기 임계치 D를 제어하면 된다.

제안된 우선순위 제어방식에서 셀을 비퍼에 저장하는 원칙과 비퍼에 있는 셀을 출력시키는 원칙을 나타내면 각각 표 1과 표 2와 같다.

III. 성능 분석

제안된 우선순위 제어방법에서 두가지 서비스 클래스에 대한 셀손실률과 평균셀지연을 분석한다. ATM 스위치의 각 입력단에서의 셀 도착을 입력 트래픽 부하 ρ 를 가진 Bernoulli 프로세스라고 가정한다.[16-18] 분석을 간단하게 하기 위하여 입력되는 각각의 셀들은 ATM 스위치에서 N 개의 출력단으로 균등하게 향하는 것으로 가정한다. 그리고 어떤 입력단에서의 셀 도착과 서로 다른 출력단에서의 셀 도착은 서로 독립하는 것으로 가정한다. 따라서 스위치에 있는 각 출력 비퍼의 성능은 모두 동일하기 때문에 임의의 한개의 출력단에 있는 비퍼를 해석하면 된다. 어떤 타임슬롯에서 임의의 출력단에 한개의 셀이 나타날 확률은 ρ/N 이 되며, 어떤 타임슬롯에서 스위치 출력단 j로 향하는 셀의 총 갯수를 $N(n)$ 이라 표기한다.

ATM 스위치의 내부 동작속도는 입력단 속도의 N 배라고 가정하면 출력단 j에 도착하는 batch의 크기는 N으로 제한된다. 타임슬롯 n에서 스위치의 특정

출력단 j에 셀이 k개 도착한 확률 c_k 를 정의하면 다음과 같다.

$$c_k \equiv P_j [N(n) = k] = \begin{cases} \binom{N}{k} \left(\frac{\rho}{N}\right)^k \left(1 - \frac{\rho}{N}\right)^{N-k} & \text{for } 0 \leq k \leq N \\ 0 & \text{otherwise} \end{cases} \quad (1)$$

어떤 타임슬롯에서 스위치의 입력단에서의 도착 셀 중에서 클래스 1 셀일 확률을 p_1 로 표기하고 클래스 2 셀일 확률을 p_2 로 표기하면 어떤 타임슬롯에서 출력단 j로의 도착 셀 중에서 클래스 1 셀이 l개이고 클래스 2 셀이 m개인 확률 $a(l, m)$ 을 나타내면 다음과 같다.

$$a(l, m) = c_{l+m} \binom{l+m}{l} p_1^l p_2^m \quad (2)$$

$\rho_1 = \rho \cdot p_1$ 을 클래스 1에 대한 입력 트래픽 부하로 정의하고, $\rho_2 = \rho \cdot p_2 = \rho \cdot (1 - p_1)$ 을 클래스 2에 대한 입력 트래픽 부하로 정의하면 전체 입력부하 ρ 는 $\rho = \rho_1 + \rho_2$ 이 성립한다.

다음에는 셀손실률과 평균셀지연을 분석하기에 앞서 본문에서 사용하는 기호를 다음과 같이 정의한다.

- Π_0 : 임의의 클래스 셀 전송완료 시 클래스 1 셀과 클래스 2 셀 모두가 비퍼에 없을 정상 확률
- $\Pi_1(i_1, i_2)$: 클래스 1 셀을 연속 l 개 전송완료 시 비퍼에 클래스 1 셀이 i_1 개, 클래스 2 셀이 i_2 개 들어 있을 정상확률
- $\Pi_2(i_1, i_2)$: 클래스 2 셀의 전송완료 시 클래스 1 셀이 i_1 개, 클래스 2 셀이 i_2 개 있을 정상확률

셀 전송완료 시점에서 각 상태의 정상확률을 구하기 위한 상태방정식은 식 (3)과 같다.

$$\begin{aligned} \Pi_0 &= a(0, 0) \Pi_0 \\ &+ a(0, 0) \prod_{i=1}^A \Pi_1(i, 1, 0) + \prod_{i=1}^B \Pi_1(i, 0, 1) \\ &+ a(0, 0) \{ \Pi_2(1, 0) + \Pi_2(0, 1) \} \end{aligned} \quad (3-1)$$

$$\begin{aligned} \Pi_1(i_1, i_2) \quad (0 \leq i_1 \leq D-1, 0 \leq i_2 \leq B-i_1-1) \quad (i_1, i_2) \neq (0, 0) \\ = a(i_1, i_2) \Pi_0 \end{aligned}$$

$$\begin{aligned}
 & + \sum_{j_1=0}^{i_1} a(i_1 - j_1, i_2) \Pi_1(K; j_1 + 1, 0) \\
 & + \sum_{j_1=0}^{i_1} \sum_{j_2=0}^{i_2} a(i_1 - j_1, i_2 - j_2) \Pi_2(j_1 + 1, j_2) \quad (3-2)
 \end{aligned}$$

$$\begin{aligned}
 \Pi_1(1; i_1, i_2) \quad (i_1 = D, 0 \leq i_2 \leq B - i_1 - 1) \\
 & = \sum_{m_1=i_1}^{N-i_2} a(m_1, i_2) \Pi_0 \\
 & + \sum_{j_1=0}^{i_1-1} \sum_{m_1=i_1-j_1}^{N-i_2} a(m_1, i_2) \Pi_1(K; j_1 + 1, 0) \\
 & + \sum_{j_1=0}^{i_1-1} \sum_{j_2=0}^{i_2} \sum_{m_1=i_1-j_1}^{N-i_2+j_2} a(m_1, i_2 - j_2) \Pi_2(j_1 + 1, j_2) \quad (3-3)
 \end{aligned}$$

$$\begin{aligned}
 \Pi_1(l; i_1, i_2) \quad (2 \leq l \leq K, 0 \leq i_1 \leq D-1, 0 \leq i_2 \leq B - i_1 - 1) \\
 (i_1, i_2) \neq (0, 0) \\
 & = \sum_{j_1=0}^{i_1} \sum_{j_2=0}^{i_2} a(i_1 - j_1, i_2 - j_2) \Pi_1(l-1; j_1 + 1, j_2) \quad (3-4)
 \end{aligned}$$

$$\begin{aligned}
 \Pi_1(l; i_1, i_2) \quad (2 \leq l \leq K, i_1 = D, 0 \leq i_2 \leq B - i_1 - 1) \\
 & = \sum_{j_1=0}^{i_1-1} \sum_{j_2=0}^{i_2} \sum_{m_1=i_1-j_1}^{N-i_2+j_2} a(m_1, i_2 - j_2) \Pi_1(l-1; j_1 + 1, j_2) \quad (3-5)
 \end{aligned}$$

$$\begin{aligned}
 \Pi_2(i_1, i_2) \quad (0 \leq i_1 \leq D-1, 0 \leq i_2 \leq B - i_1 - 1) \quad (i_1, i_2) \neq (0, 0) \\
 & = \sum_{l=1}^{K-1} \sum_{j_2=0}^{i_2} a(i_1, i_2 - j_2) \Pi_1(l; 0, j_2 + 1) \\
 & + \sum_{j_1=0}^{i_1} \sum_{j_2=0}^{i_2} a(i_1 - j_1, i_2 - j_2) \Pi_1(K; j_1, j_2 + 1) \\
 & + \sum_{j_2=0}^{i_2} a(i_1, i_2 - j_2) \Pi_2(0, j_2 + 1) \quad (3-6)
 \end{aligned}$$

$$\begin{aligned}
 \Pi_2(i_1, i_2) \quad (i_1 = D, 0 \leq i_2 \leq B - i_1 - 1) \\
 & = \sum_{l=1}^{K-1} \sum_{j_2=0}^{i_2} \sum_{m_1=i_1}^{N-i_2+j_2} a(m_1, i_2 - j_2) \Pi_1(l; 0, j_2 + 1) \\
 & + \sum_{j_1=0}^{i_1} \sum_{j_2=0}^{i_2} \sum_{m_1=i_1-j_1}^{N-i_2+j_2} a(m_1, i_2 - j_2) \Pi_1(K; j_1, j_2 + 1) \\
 & + \sum_{j_2=0}^{i_2} \sum_{m_1=i_1}^{N-i_2+j_2} a(m_1, i_2 - j_2) \Pi_2(0, j_2 + 1) \quad (3-7)
 \end{aligned}$$

$$\begin{aligned}
 \Pi_1(1; 0, B) \\
 & = \sum_{m_2=0}^N \sum_{m_1=0}^{N-m_2} a(m_1, m_2) \Pi_0 \\
 & + \sum_{j_1=0}^{D-1} \sum_{m_2=B}^N \sum_{m_1=0}^{N-m_2} a(m_1, m_2) \Pi_1(K; j_1 + 1, 0)
 \end{aligned}$$

$$\begin{aligned}
 & + \sum_{j_1=0}^{D-1} \sum_{j_2=0}^{B-j_1-1} \sum_{m_2=B-j_2}^N \sum_{m_1=0}^{N-m_2} a(m_1, m_2) \Pi_2(j_1 + 1, j_2) \quad (3-8)
 \end{aligned}$$

$$\begin{aligned}
 \Pi_1(1; i_1, i_2) \quad (1 \leq i_1 \leq D, i_2 = B - i_1) \\
 & = \sum_{m_1=i_1}^{N-i_1} a(m_1, i_2) \Pi_0 \\
 & + \sum_{j_1=0}^{i_1-1} \sum_{m_1=i_1-j_1}^{N-i_2} a(m_1, i_2) \Pi_1(K; j_1 + 1, 0) \\
 & + \sum_{j_1=i_1}^{D-1} \sum_{m_1=0}^{N-i_2} a(m_1, i_2) \Pi_1(K; j_1 + 1, 0) \\
 & + \sum_{j_1=0}^{i_1-1} \sum_{j_2=0}^{i_2} \sum_{m_1=i_1-j_1}^{N-i_2+j_2} a(m_1, i_2 - j_2) \Pi_2(j_1 + 1, j_2) \\
 & + \sum_{j_1=i_1}^{D-1} \sum_{j_2=0}^{B-j_1-1} \sum_{m_1=0}^{N-i_2+j_2} a(m_1, i_2 - j_2) \Pi_2(j_1 + 1, j_2) \quad (3-9)
 \end{aligned}$$

$$\begin{aligned}
 \Pi_1(l; 0, B) \quad (2 \leq l \leq K) \\
 & = \sum_{j_1=0}^{D-1} \sum_{j_2=0}^{B-j_1-1} \sum_{m_2=B-j_2}^N \sum_{m_1=0}^{N-m_2} a(m_1, m_2) \Pi_1(l-1; j_1 + 1, j_2) \quad (3-10)
 \end{aligned}$$

$$\begin{aligned}
 \Pi_1(l; i_1, i_2) \quad (2 \leq l \leq K, 1 \leq i_1 \leq D, i_2 = B - i_1) \\
 & = \sum_{j_1=0}^{i_1-1} \sum_{j_2=0}^{i_2} \sum_{m_1=i_1-j_1}^{N-i_2+j_2} a(m_1, i_2 - j_2) \Pi_1(l-1; j_1 + 1, j_2) \\
 & + \sum_{j_1=i_1}^{D-1} \sum_{j_2=0}^{B-j_1-1} \sum_{m_1=0}^{N-i_2+j_2} a(m_1, i_2 - j_2) \Pi_1(l-1; j_1 + 1, j_2) \quad (3-11)
 \end{aligned}$$

$$\begin{aligned}
 \Pi_2(0, B) \\
 & = \sum_{l=1}^{K-1} \sum_{j_2=0}^{B-1} \sum_{m_2=B-j_2}^N \sum_{m_1=0}^{N-m_2} a(m_1, m_2) \Pi_1(l; 0, j_2 + 1) \\
 & + \sum_{j_1=0}^D \sum_{j_2=0}^{B-j_1-1} \sum_{m_2=B-j_2}^N \sum_{m_1=0}^{N-m_2} a(m_1, m_2) \Pi_1(K; j_1, j_2 + 1) \\
 & + \sum_{j_2=0}^{B-1} \sum_{m_2=B-j_2}^N \sum_{m_1=0}^{N-m_2} a(m_1, m_2) \Pi_2(0, j_2 + 1) \quad (3-12)
 \end{aligned}$$

$$\begin{aligned}
 \Pi_2(i_1, i_2) \quad (1 \leq i_1 \leq D, i_2 = B - i_1) \\
 & = \sum_{l=1}^{K-1} \sum_{j_2=0}^{i_2} \sum_{m_1=i_1}^{N-i_2+j_2} a(m_1, i_2 - j_2) \Pi_1(l; 0, j_2 + 1) \\
 & + \sum_{j_1=0}^{i_1-1} \sum_{j_2=0}^{i_2} \sum_{m_1=i_1-j_1}^{N-i_2+j_2} a(m_1, i_2 - j_2) \Pi_1(K; j_1, j_2 + 1) \\
 & + \sum_{j_1=i_1}^D \sum_{j_2=0}^{B-j_1-1} \sum_{m_1=0}^{N-i_2+j_2} a(m_1, i_2 - j_2) \Pi_1(K; j_1, j_2 + 1)
 \end{aligned}$$

$$+ \sum_{i_2=0}^{i_1} \sum_{n_1=i_1-i_2}^{N-i_2+1} a(n_1, i_2-j_2) \Pi_2(0, j_2+1) \quad (3-13)$$

다음에는 셀의 전송완료 시점에서 비퍼의 정상상태 확률을 이용하여 셀손실 갯수를 구하기로 한다. 클래스 1 셀이 손실되는 경우는 비퍼의 오버플로우로 인해 손실되는 경우와 클래스 2 셀에 의해 밀려 비퍼에 있는 셀이 손실되는 경우로 나누어진다. 클래스 2 셀을 비퍼에 먼저 저장하고 난 다음 비퍼의 남은 여백에 클래스 1 셀을 저장하는데 이 때 비퍼의 오버플로우가 발생하여 클래스 1 셀이 손실된다. 가령 어떤 클래스의 셀을 전송완료한 시점에서 비퍼에 클래스 1 셀이 (j_1+1) 개 들어 있고, 클래스 2 셀이 j_2 개 들어 있을 때 한개의 클래스 1 셀을 전송하는 동안 셀이 도착되어 비퍼에 저장된 클래스 1 셀과 클래스 2 셀의 갯수가 각각 i_1 개, $i_1=(B-i_1)$ 개라고 가정한다. 그 동안 도착한 클래스 1 셀의 갯수 n_1 이 $(B-j_1-i_2+1)$ 개 이상이 되면 클래스 1 셀이 손실된다. 이 때 손실되는 클래스 1 셀의 갯수는 $\{n_1-(B-j_1-i_2)\}$ 이 된다.

다음에는 도착한 클래스 2 셀에 의해 밀려 비퍼에 있는 클래스 1 셀이 손실되는 경우에 대해 알아본다. 가령 어떤 클래스 셀을 전송 완료한 후 비퍼에 클래스 1 셀이 (j_2+1) 개 들어 있고 클래스 2 셀이 j_2 개 들어 있을 때 클래스 1 셀을 전송하는 동안 비퍼에 저장된 클래스 1 셀과 클래스 2 셀의 갯수가 각각 i_1 개, $i_2=(B-i_1)$ 개 라고 가정한다. 그 동안 도착한 클래스 2 셀의 갯수 n_2 가 $(B-j_1-j_2+1)$ 개 이상이 되면 비퍼에 있는 클래스 1 셀이 도착 클래스 2 셀에 의해 밀려 손실이 발생한다. 이 때 클래스 2 셀에 의해 밀려 클래스 1 셀이 손실되는 갯수는 $\min\{n_2-(B-j_1-j_2), j_1\}$ 이 된다. 따라서 한 타임슬롯에서 클래스 1 셀의 손실 갯수 L_1 은 식 (4)와 같다. 식 (4)의 제 (1)항에서 제 (26)항까지는 비퍼의 오버플로우로 인해 클래스 1 셀이 손실되는 갯수를 나타내고, 제 (27)에서 제 (29)항까지는 도착한 클래스 2 셀에 의해 밀려 비퍼에 있는 클래스 1 셀이 손실되는 갯수를 나타낸다.

$$L_1 = \sum_{i_2=0}^{B-D} \sum_{n_1=D+1}^{N-i_2} a(n_1, i_2)(n_1-D) \Pi_0$$

$$+ \sum_{i_2=B-D+1}^B \sum_{n_1=B-i_2+1}^{N-i_2} a(n_1, i_2)\{n_1-(B-i_2)\} \Pi_0$$

$$+ \sum_{n_2=B+1}^N \sum_{n_1=1}^{N-i_2} a(n_1, i_2)n_1 \Pi_0$$

$$+ \sum_{l=1}^{K-1} \sum_{j_2=0}^{B-D-1} \sum_{i_2=j_2}^{B-D} \sum_{n_1=D+1}^{N-i_2+j_2} a(n_1, i_2-j_2)\{n_1-D\} \Pi_1(l; 0, j_2+1)$$

$$+ \sum_{l=1}^{K-1} \sum_{j_2=0}^{B-D-1} \sum_{i_2=B-D+1}^B \sum_{n_1=B-i_2+1}^{N-i_2+j_2} a(n_1, i_2-j_2)\{n_1-(B-i_2)\} \Pi_1(l; 0, j_2+1)$$

$$+ \sum_{l=1}^{K-1} \sum_{j_2=0}^{B-1} \sum_{i_2=j_2}^B \sum_{n_1=B-i_2+1}^{N-i_2+j_2} a(n_1, i_2-j_2)\{n_1-(B-i_2)\} \Pi_1(l; 0, j_2+1)$$

$$+ \sum_{l=1}^{K-1} \sum_{i_1=0}^{B-1} \sum_{i_2=0}^{B-D} \sum_{i_1+j_2}^{B-D} \sum_{n_1=D}^{N-i_2+j_2} a(n_1, i_2-j_2)\{n_1-(D-j_1)\} \Pi_1(l; j_1+1, j_2)$$

$$+ \sum_{l=1}^{K-1} \sum_{j_1=0}^{D-1} \sum_{j_2=0}^{B-D} \sum_{i_2=B-D+1}^{B-j_1} \sum_{n_1=B-i_2-j_1+1}^{N-i_2+j_2} a(n_1, i_2-j_2)\{n_1-(B-i_2-j_1)\} \Pi_1(l; j_1+1, j_2)$$

$$+ \sum_{l=1}^{K-1} \sum_{i_1=0}^{D-1} \sum_{j_2=0}^{B-j_1-1} \sum_{i_2=j_2}^{B-j_1} \sum_{n_1=B-i_2-j_1+1}^{N-i_2+j_2} a(n_1, i_2-j_2)\{n_1-(B-i_2-j_1)\} \Pi_1(l; j_1+1, j_2)$$

$$+ \sum_{l=1}^{K-1} \sum_{i_1=0}^{D-1} \sum_{j_2=0}^B \sum_{n_1=B-j_1-j_2+1}^{B-j_1-1} \sum_{n_2=1}^{N-n_1} a(n_1, n_2)n_1 \Pi_1(l; j_1+1, j_2)$$

$$+ \sum_{i_1=0}^{D-1} \sum_{i_2=0}^{B-D} \sum_{n_1=D-j_1+1}^{N-i_2} a(n_1, i_2)\{n_1-(D-j_1)\} \Pi_1(K; j_1+1, 0)$$

$$+ \sum_{j_1=0}^{D-1} \sum_{i_2=B-D+1}^{B-j_1} \sum_{n_1=B-i_1}^{N-i_2} \sum_{i_1+1}^{j_1+1} a(n_1, i_2)\{n_1-(B-i_2-j_1)\} \Pi_1(K; j_1+1, 0)$$

$$+ \sum_{i_1=0}^{D-1} \sum_{n_2=B-j_1+1}^N \sum_{n_1=1}^{N-n_2} a(n_1, n_2)n_1 \Pi_1(K; j_1+1, 0)$$

$$+ \sum_{j_1=0}^D \sum_{j_2=0}^{B-D-1} \sum_{i_1=j_2}^{B-j_1} \sum_{n_1=D-j_2+1}^{N-i_1+j_2} a(n_1, i_2-j_2)\{n_1-(D-j_1)\} \Pi_1(K; j_1, j_2+1)$$

$$+ \sum_{j_1=0}^D \sum_{j_2=0}^{B-D-1} \sum_{i_2=B-D+1}^{B-j_1} \sum_{n_1=B-i_2-j_1+1}^{N-i_2+j_2} a(n_1, i_2-j_2)\{n_1-(B-i_2-j_1)\} \Pi_1(K; j_1, j_2+1)$$

$$+ \sum_{i_1=0}^D \sum_{j_2=B-D}^B \sum_{i_2=i_1}^{B-j_1} \sum_{n_1=B-i_2-j_1+1}^{N-i_2+j_2} a(n_1, i_2-j_2)\{n_1-(B-i_2-j_1)\} \Pi_1(K; j_1, j_2+1)$$

$$\begin{aligned}
 & a(n_1, i_2 - j_2) \{n_1 - (B - i_2 - j_1)\} \Pi_1(K; j_1, j_2 + 1) \\
 & + \sum_{j_1=0}^D \sum_{i_2=0}^{B-j_1-1} \sum_{n_2=B-j_1-j_2+1}^N \sum_{n_1=1}^{N-n_2} \\
 & a(n_1, n_2) n_1 \Pi_1(K; j_1, j_2 + 1) \\
 & + \sum_{j_2=0}^{B-D-1} \sum_{i_2=j_2}^{B-D} \sum_{n_1=D+1}^{N-i_2+j_2} a(n_1, i_2 - j_2) (n_1 - D) \Pi_2(0, j_2 + 1) \\
 & + \sum_{j_2=0}^{B-D-1} \sum_{i_2=B-D+1}^B \sum_{n_1=B-i_2+1}^{N-i_2+j_2} \\
 & a(n_1, i_2 - j_2) \{n_1 - (B - i_2)\} \Pi_2(0, j_2 + 1) \\
 & + \sum_{j_2=B-D}^{B-1} \sum_{i_2=j_2}^B \sum_{n_1=B-i_2+1}^{N-i_2+j_2} \\
 & a(n_1, i_2 - j_2) \{n_1 - (B - i_2)\} \Pi_2(0, j_2 + 1) \\
 & + \sum_{j_2=0}^{B-1} \sum_{n_2=B-j_2+1}^N \sum_{n_1=1}^{N-n_2} a(n_1, n_2) n_1 \Pi_2(0, j_2 + 1) \\
 & + \sum_{j_1=0}^{D-1} \sum_{j_2=0}^{B-D} \sum_{i_2=j_2}^{B-D} \sum_{n_1=D-j_1+1}^{N-i_2+j_2} \\
 & a(n_1, i_2 - j_2) \{n_1 - (D - j_1)\} \Pi_2(j_1 + 1, j_2) \\
 & + \sum_{j_1=0}^{D-1} \sum_{j_2=0}^{B-D} \sum_{i_2=B-D+1}^{B-j_1} \sum_{n_1=B-i_2-j_1+1}^{N-i_2+j_2} \\
 & a(n_1, i_2 - j_2) \{n_1 - (B - i_2 - j_1)\} \Pi_2(j_1 + 1, j_2) \\
 & + \sum_{j_1=0}^{D-1} \sum_{j_2=B-D+1}^{B-j_1-1} \sum_{i_2=j_2}^{B-j_1} \sum_{n_1=B-i_2-j_1+1}^{N-i_2+j_2} \\
 & a(n_1, i_2 - j_2) \{n_1 - (B - i_2 - j_1)\} \Pi_2(j_1 + 1, j_2) \\
 & + \sum_{j_1=0}^{D-1} \sum_{j_2=0}^{B-j_1-1} \sum_{n_2=B-j_1-j_2+1}^N \sum_{n_1=1}^{N-n_2} a(n_1, n_2) n_1 \Pi_2(j_1 + 1, j_2) \\
 & + \sum_{l=1}^{K-1} \sum_{j_1=0}^{D-1} \sum_{j_2=0}^{B-j_1-1} \sum_{n_2=B-j_1-j_2+1}^N \sum_{n_1=0}^{N-n_2} \\
 & a(n_1, n_2) \min\{n_2 - (B - j_1 - j_2), j_1\} \Pi_1(l; j_1 + 1, j_2) \\
 & + \sum_{j_1=0}^D \sum_{j_2=0}^{B-j_1-1} \sum_{n_2=B-j_1-j_2+1}^N \sum_{n_1=0}^{N-n_2} \\
 & a(n_1, n_2) \min\{n_2 - (B - j_1 - j_2), j_1\} \Pi_1(K; j_1, j_2 + 1) \\
 & + \sum_{j_1=0}^{D-1} \sum_{j_2=0}^{B-j_1-1} \sum_{n_2=B-j_1-j_2+1}^N \sum_{n_1=0}^{N-n_2} \\
 & a(n_1, n_2) \min\{n_2 - (B - j_1 - j_2), j_1\} \Pi_2(j_1 + 1, j_2)
 \end{aligned} \tag{4}$$

클래스 2 셀이 손실되는 경우는 버퍼의 오버플로우로 인한 요소 밖에 없다. 클래스 1 셀이 버퍼에 $(j_1 + 1)$ 개 들어 있고 클래스 2 셀이 j_2 개 들어 있을 때 클레

스 1 셀을 전송완료 후 도착 클래스 2 셀의 갯수 n_2 가 $(B - j_2 + 1)$ 개 이상이 되면 버퍼의 오버플로우가 발생하여 셀이 손실된다. 이 때 손실되는 클래스 2 셀의 갯수는 $\{n_2 - (B - j_2)\}$ 개가 된다. 따라서 한 타임슬롯 동안 손실되는 클래스 2 셀의 손실 L_2 는 식 (5)와 같다.

$$\begin{aligned}
 L_2 = & \sum_{n_2=B+1}^N \sum_{n_1=0}^{N-n_2} a(n_1, n_2) (n_2 - B) \Pi_0 \\
 & + \sum_{l=1}^{K-1} \sum_{j_2=0}^{B-1} \sum_{n_2=B-j_2+1}^N \sum_{n_1=0}^{N-n_2} \\
 & a(n_1, i_2 - j_2) \{n_2 - (B - j_2)\} \Pi_1(l; 0, j_2 + 1) \\
 & + \sum_{l=1}^{K-1} \sum_{j_1=0}^{D-1} \sum_{j_2=0}^{B-j_1-1} \sum_{n_2=B-j_2+1}^N \sum_{n_1=0}^{N-n_2} \\
 & a(n_1, n_2) \{n_2 - (B - j_2)\} \Pi_1(l; j_1 + 1, j_2) \\
 & + \sum_{j_1=0}^{D-1} \sum_{n_2=B+1}^N \sum_{n_1=0}^{N-n_2} a(n_1, n_2) (n_2 - B) \Pi_1(K; j_1 + 1, 0) \\
 & + \sum_{j_1=0}^D \sum_{j_2=0}^{B-j_1-1} \sum_{n_2=B-j_2+1}^N \sum_{n_1=0}^{N-n_2} \\
 & a(n_1, n_2) \{n_2 - (B - j_2)\} \Pi_1(K; j_1, j_2 + 1) \\
 & + \sum_{j_2=0}^{B-1} \sum_{n_2=B-j_2+1}^N \sum_{n_1=0}^{N-n_2} \\
 & a(n_1, n_2) \{n_2 - (B - j_2)\} \Pi_2(0, j_2 + 1) \\
 & + \sum_{j_1=0}^{D-1} \sum_{j_2=0}^{B-j_1-1} \sum_{n_2=B-j_2+1}^N \sum_{n_1=0}^{N-n_2} \\
 & a(n_1, n_2) \{n_2 - (B - j_2)\} \Pi_2(j_1 + 1, j_2)
 \end{aligned} \tag{5}$$

다음에는 이와 같이 구한 상태방정식과 셀손실 갯수를 근거로 하여 제안한 우선순위 제어방식에 대한 셀손실률과 평균셀지연을 구한다.

먼저 상태방정식을 이용하여 평형상태에서 클래스 1 셀의 버퍼 점유 분포확률인 $P_1(i)$ 와 클래스 2 셀의 버퍼 점유 분포확률인 $P_2(j)$ 를 각각 식 (6)과 (7)로 구할 수 있다.

$$P_1(i) |_{1 \leq i \leq D} = \sum_{l=1}^K \sum_{j=0}^{B-i} \Pi_1(l; i, j) + \sum_{j=0}^{B-i} \Pi_2(i, j) \tag{6}$$

$$P_2(j) |_{1 \leq j \leq B-D} = \sum_{l=1}^K \sum_{i=0}^D \Pi_1(l; i, j) + \sum_{i=0}^D \Pi_2(i, j) \tag{7-1}$$

$$P_2(j) |_{B-D+1 \leq j \leq B} = \sum_{l=1}^K \sum_{i=0}^{B-j} \Pi_1(l; i, j) + \sum_{i=1}^{B-j} \Pi_2(i, j) \tag{7-2}$$

그리고 $P_1(i), P_2(j)$ 를 이용하여 버퍼에 들어있는 클래스 1 셀의 평균 갯수 Q_1 와 클래스 2 셀의 평균 갯수 Q_2 를 각각 구하면 식 (8)과 (9)와 같다.

$$\bar{Q}_1 = \sum_{i=1}^n i \cdot P_1(i) \quad (8)$$

$$\bar{Q}_2 = \sum_{j=1}^m j \cdot P_2(j) \quad (9)$$

위에서 구한 셀손실 갯수를 이용하여 클래스 1 셀의 손실률 P_1^{loss} 과 클래스 2 셀의 손실률 P_2^{loss} 도 다음과 같이 구할 수 있다.

$$P_1^{loss} = \frac{L_1}{\rho \bar{p}_1} \quad (10)$$

$$P_2^{loss} = \frac{L_2}{\rho \bar{p}_2} \quad (11)$$

Little의 법칙에 따라 클래스 1 셀의 평균셀지연 W_1 과 클래스 2 셀의 평균셀지연 W_2 를 다음의 식으로 각각 표현할 수 있다.

$$W_1 = \frac{\bar{Q}_1}{(1 - P_1^{loss}) \rho \bar{p}_1} \quad (12)$$

$$W_2 = \frac{\bar{Q}_2}{(1 - P_2^{loss}) \rho \bar{p}_2} \quad (13)$$

지금까지의 모든 수치 계산을 다음과 같은 2-차원 매트릭스 x 를 정의하여 수행한다.

$$\bar{x}_{l,0} = [\Pi_1(l; 0, 1), \Pi_1(l; 0, 2), \dots, \Pi_1(l; 0, D)] \quad (14-1)$$

$$\bar{x}_{l,1,k} = [\Pi_1(l; k, 0), \Pi_1(l; k, 1), \dots, \Pi_1(l; k, B-k)] \quad (14-2)$$

$$y_0 = [\Pi_2(0, 1), \Pi_2(0, 2), \dots, \Pi_2(0, D)] \quad (14-3)$$

$$\bar{y}_{1,k} = [\Pi_2(k, 0), \Pi_2(k, 1), \dots, \Pi_2(k, B-k)] \quad (14-4)$$

$$x = [\Pi_0, x_{1,0}, x_{1,1,1}, \dots, x_{1,1,D}, \dots, x_{l,0}, \dots, x_{l,1,D}, \dots, x_{K,0}, \dots, x_{K,1,D}, y_0, y_{1,1}, \dots, y_{1,D}]^T \quad (14-5)$$

따라서 위에서 구한 상태방정식 (3)을 식 (14)와 같이 매트릭스 \bar{x} 형태로 표현하여 방정식 (15)와 (16)의 해를 구한다.

$$T \bar{x} = x \quad (15)$$

$$e \bar{x} = 1 \quad (16)$$

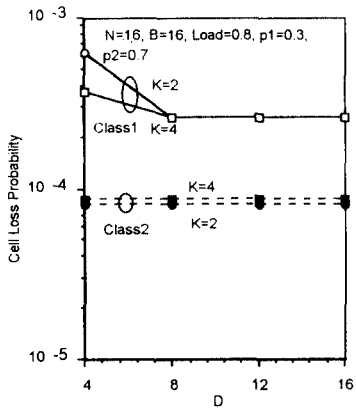
상태전이 매트릭스 T 와 매트릭스 $e = [1, 1, \dots, 1]$ 의 디멘전 크기가 $M \times M$ 이며, 이 때 M 은 $\{(B \cdot (D+1) - \frac{D \cdot (D-1)}{2}) \times (K+1) + 1\}$ 이다.

IV. 분석 결과 및 평가

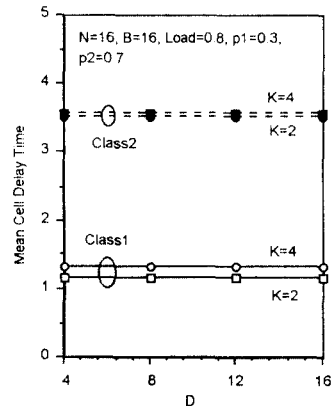
출력단 갯수가 N개인 출력버퍼형 ATM 스위치에서 우선순위 제어방식의 서비스 특성을 셀손실률과 평균셀지연으로 평가하였다.

그림 3은 ATM 스위치 출력단 갯수 N과 버퍼 크기 B가 각각 16이고, 입력 트래픽 부하(ρ)가 0.8일 때 패킷 임계치 D의 값에 따른 각 서비스 클래스의 셀손실률과 평균 셀지연의 특성을 도출 셀 중에서 클래스 1 셀인 확률(p_1)과 클래스 1 셀의 전송비율(K) 별로 비교한 것이다. D의 값에 따라 클래스 2의 셀손실률은 거의 변화하지 않는 반면에 클래스 1의 셀손실률은 크게 변화하다가 일정한 값으로 수렴한다. 그리고 p_1 의 값이 클수록 D의 값에 따라 클래스 1의 셀손실률이 크게 변화한다. 두 클래스간의 평균셀지연의 특성에서 D의 값에 따른 변화는 거의 없지만 K의 값에 따른 변화는 있다. 이는 두 클래스간의 평균셀지연의 차이가 K의 값에 영향을 받음을 의미한다. K의 값이 클수록 두 클래스간의 셀손실률의 차이는 줄어들지만 평균셀지연의 차이는 커진다. 따라서 그림 3을 통해 두 클래스간의 셀손실률 차이를 조정하는 경우에는 패킷 임계치를 제어해야 하고, 평균셀지연의 차이를 조정하는 경우에는 셀의 전송비율을 제어해야 함을 알 수 있다.

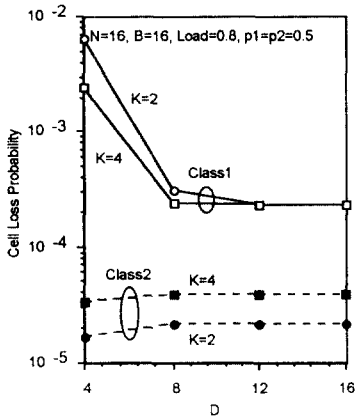
그림 4는 N이 16이고, B가 16일 때 ρ 의 값에 따른 각 서비스 클래스의 셀손실률과 평균셀지연의 특성을 p_1, D, K 의 값 별로 비교한 것이다. ρ 의 값이 커짐에 따라 D 및 K의 값과 무관하게 두 클래스간의 셀손실률의 차이는 줄어들지만 평균셀지연의 차이는 커진다. 두 클래스간의 셀손실률의 차이는 주로 D의 값에 영향을 받지만, 평균셀지연의 차이는 주로 K의 값에 영향을 받는다. ρ 의 값이 작은 경우에는 D의 값에 따라 두 클래스간의 셀손실률의 차이가 커지는 반면에 ρ 의 값이 큰 경우에는 K의 값에 따라 두 클래스



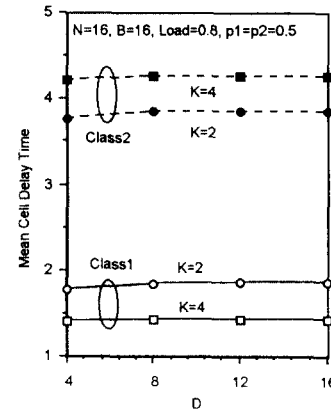
(a) 셀손실률($p_1 = 0.3, p_2 = 0.7$)
(a) Cell loss probability($p_1 = 0.3, p_2 = 0.7$)



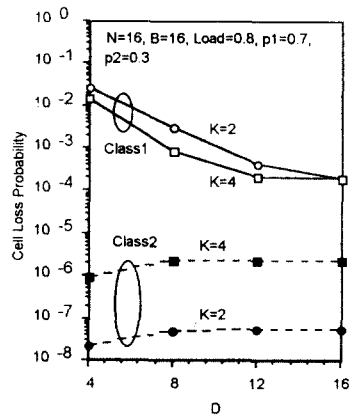
(b) 평균셀지연($p_1 = 0.3, p_2 = 0.7$)
(b) Mean cell delay time($p_1 = 0.3, p_2 = 0.7$)



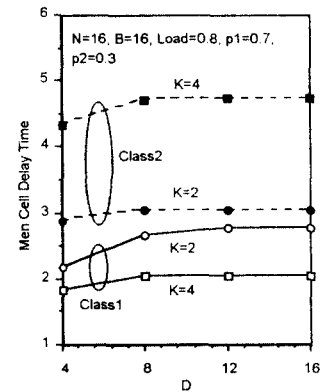
(c) 셀손실률($p_1 = 0.5, p_2 = 0.5$)
(c) Cell loss probability($p_1 = 0.5, p_2 = 0.5$)



(d) 평균셀지연($p_1 = 0.5, p_2 = 0.5$)
(d) Mean cell delay time($p_1 = 0.5, p_2 = 0.5$)



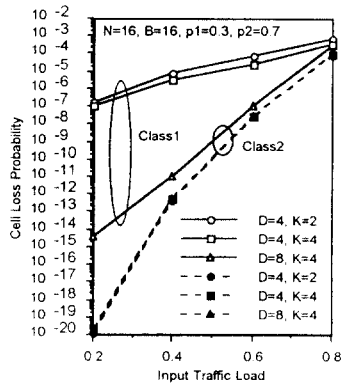
(e) 셀손실률($p_1 = 0.7, p_2 = 0.3$)
(e) Cell loss probability($p_1 = 0.7, p_2 = 0.3$)



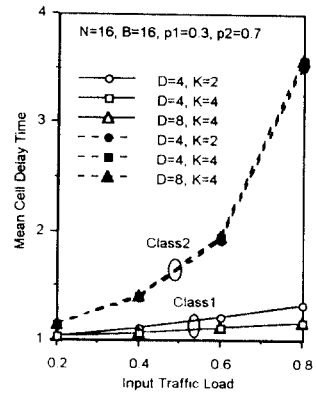
(f) 평균셀지연($p_1 = 0.7, p_2 = 0.3$)
(f) Mean cell delay time($p_1 = 0.7, p_2 = 0.3$)

그림 3. 폐기 임계치 D에 따른 셀손실률과 평균셀지연

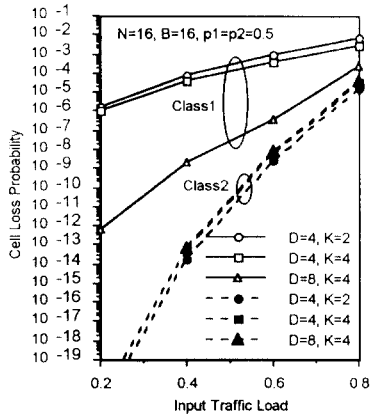
Fig 3. Cell loss probability and mean cell delay time vs discard threshold D



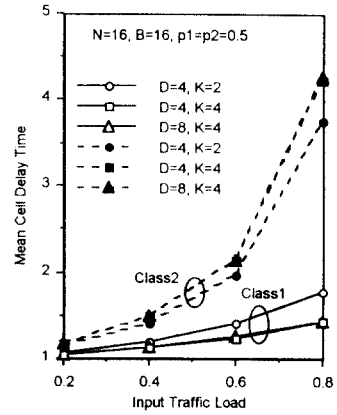
(a) 셀손실률($p_1 = 0.3, p_2 = 0.7$)
 (a) Cell loss probability($p_1 = 0.3, p_2 = 0.7$)



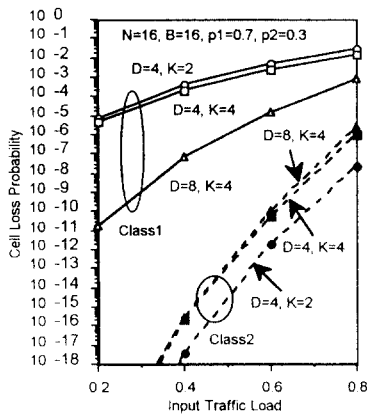
(b) 평균셀지연($p_1 = 0.3, p_2 = 0.7$)
 (b) Mean cell delay time($p_1 = 0.3, p_2 = 0.7$)



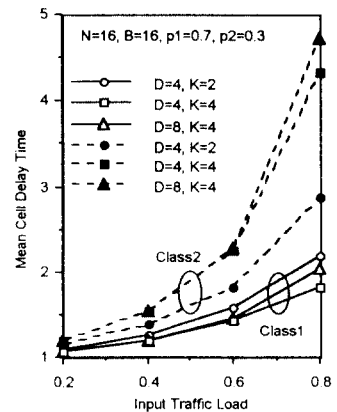
(c) 셀손실률($p_1 = 0.5, p_2 = 0.5$)
 (c) Cell loss probability($p_1 = 0.5, p_2 = 0.5$)



(d) 평균셀지연($p_1 = 0.5, p_2 = 0.5$)
 (d) Mean cell delay time($p_1 = 0.5, p_2 = 0.5$)



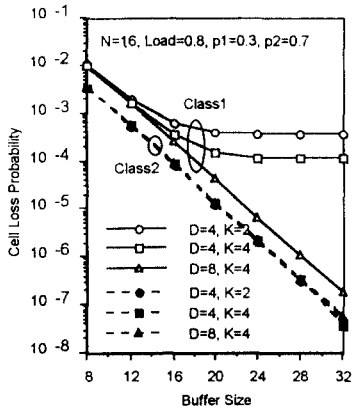
(e) 셀손실률($p_1 = 0.7, p_2 = 0.3$)
 (e) Cell loss probability($p_1 = 0.7, p_2 = 0.3$)



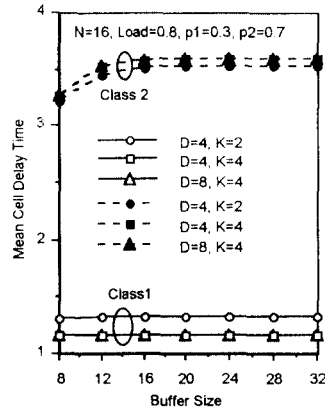
(f) 평균셀지연($p_1 = 0.7, p_2 = 0.3$)
 (f) Mean cell delay time($p_1 = 0.7, p_2 = 0.3$)

그림 4. 입력 트래픽 부하 ρ 에 따른 셀손실률과 평균셀지연

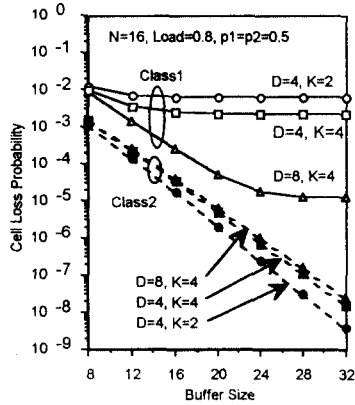
Fig 4. Cell loss probability and mean cell delay time vs input traffic load ρ



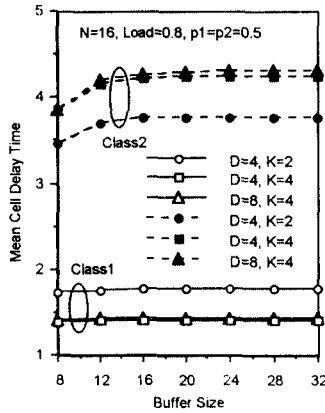
(a) 셀손실률($p_1 = 0.3, p_2 = 0.7$)
 (a) Cell loss probability($p_1 = 0.3, p_2 = 0.7$)



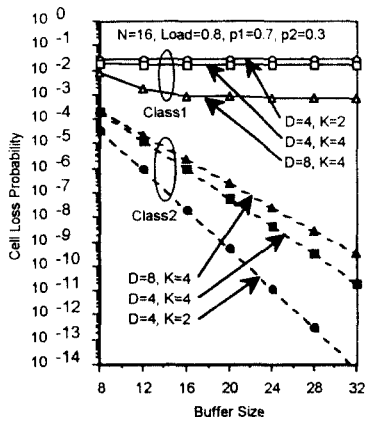
(b) 평균셀지연($p_1 = 0.3, p_2 = 0.7$)
 (b) Mean cell delay time($p_1 = 0.3, p_2 = 0.7$)



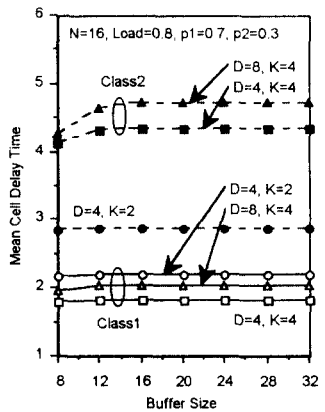
(c) 셀손실률($p_1 = 0.5, p_2 = 0.5$)
 (c) Cell loss probability($p_1 = 0.5, p_2 = 0.5$)



(d) 평균셀지연($p_1 = 0.5, p_2 = 0.5$)
 (d) Mean cell delay time($p_1 = 0.5, p_2 = 0.5$)



(e) 셀손실률($p_1 = 0.7, p_2 = 0.3$)
 (e) Cell loss probability($p_1 = 0.7, p_2 = 0.3$)



(f) 평균셀지연($p_1 = 0.7, p_2 = 0.3$)
 (f) Mean cell delay time($p_1 = 0.7, p_2 = 0.3$)

그림 5. 버퍼 크기 B에 따른 셀손실률과 평균셀지연

Fig 5. Cell loss probability and mean cell delay time vs buffer size B

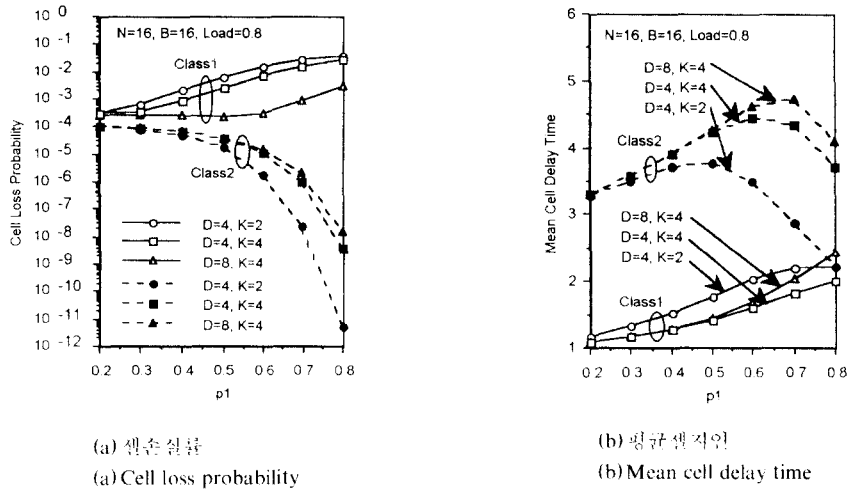


그림 6. 입력 셀 중에서 클래스 1 셀의 확률 p_1 에 따른 셀손실률과 평균셀지연
Fig 6. Cell loss probability and mean cell delay time vs class 1 probability p_1 among input cell

스간의 평균셀지연의 차가 더욱 커진다. 그리고 ρ 의 값이 큰 경우 p_1 의 값이 클수록 두 클래스간의 셀손실률의 차가 커지지만 평균셀지연의 차이는 작아진다. 따라서 그림 4를 통해 입력 트래픽 부하에 관계없이 두 클래스간의 셀손실률의 차는 주로 대기 임계치에 영향을 받으며, 평균셀지연의 차는 주로 셀의 전송비율에 영향을 받음을 알 수 있다. 특히 입력 트래픽 부하가 작은 경우에는 대기 임계치에 따른 두 클래스간의 셀손실률의 차가 두드러지며, 입력 트래픽 부하가 큰 경우에는 셀의 전송비율에 따른 두 클래스간의 평균셀지연의 차가 두드러짐도 확인할 수 있다.

그림 5는 N 이 16이고 ρ 가 0.8일 때 B 의 값에 따른 각 클래스의 셀손실률과 평균셀지연의 특성을 p_1 , D 와 K 의 값 별로 비교한 것이다. B 의 값에 따라 각 클래스의 셀손실률은 크게 변화하는데 반해 평균셀지연은 거의 변화가 없다. p_1 의 값이 큰 경우 B 의 값이 커짐에 따라 클래스 1의 셀손실률이 줄어들다가 거의 일정한 값으로 수렴한다. B 의 값에 따른 두 클래스간의 셀손실률의 차는 K 의 값과 D 의 값이 작을수록 커지며, 평균셀지연의 차는 반대로 K 의 값과 D 의 값이 클수록 커진다. 그림 5를 통해 비퍼 크기에 따른 두 클래스간의 평균셀지연은 거의 일정하기 때문에 두 클래스간의 평균셀지연의 차는 비퍼 크기와 무관하며, 셀의 전송비율에 따라 변화함을 알 수 있다. 그리고

도착 셀 중에서 클래스 1 셀의 비율이 큰 경우 비퍼 크기가 어느 정도 커지게 되면 클래스 1의 셀손실률은 일정하게 되어 비퍼 크기와 무관하게 됨을 알 수 있다. 셀의 전송비율이 작을수록 두 클래스간의 셀손실률의 차가 커지며, 셀의 전송비율이 클수록 두 클래스간의 평균셀지연의 차가 커짐을 알 수 있다. 그리고 비퍼 크기가 커짐에 따라 두 클래스간의 셀손실률의 차가 두드러지게 나타나며, 평균셀지연의 차는 거의 일정함을 알 수 있다.

그림 6은 N 과 B 가 각각 16이고, ρ 가 0.8일 때 p_1 의 값에 따른 각 클래스의 셀손실률과 평균셀지연의 특성을 D 와 K 의 값 별로 비교한 것이다. p_1 의 값이 커짐에 따라 클래스 1의 셀손실률은 증가하고 클래스 2의 셀손실률은 감소하여 두 클래스간의 셀손실률의 차는 점점 커진다. p_1 의 값이 커짐에 따라 클래스 1의 평균셀지연이 증가하는데 반해 클래스 2의 평균셀지연이 증가하다가 다시 줄어드는데 이는 입력하는 클래스 2 셀의 갯수가 줄어들기 때문이다. 따라서 p_1 의 값이 커짐에 따라 두 클래스간의 평균셀지연의 차가 거의 일정하게 유지되다가 줄어들기 시작한다. 그림 6을 통해 도착 셀 중에서 클래스 1 셀의 비율이 작은 경우에는 대기 임계치와 셀의 전송비율을 작게 하여 셀손실률의 차를 크게 하는 것이 좋으며, 도착 셀 중에서 클래스 1 셀의 비율이 큰 경우에는 셀의 전송비

율을 크게 하여 두 클래스간의 셀손실률의 차를 줄이면서 평균셀지연의 차를 크게 하는 것이 좋음을 알 수 있다.

V. 결 론

본 논문에서는 출력버퍼형 ATM 스위치에서 서로 다른 서비스 요구조건을 만족시키기 위해 폐기 임계치를 가진 셀전송비율 제어형 우선순위 제어방식을 제안하였다. 그리고 제안한 우선순위 제어방식에 대한 수학적 분석을 수행하였다. 본 논문에서 제안한 우선순위 제어방식은 하나의 제한된 버퍼에 시간 우선순위가 높은 클래스 1 셀과 손실 우선순위가 높은 클래스 2 셀을 수용하여 셀의 서비스 특성에 따라 폐기 임계치와 셀의 전송비율을 제어하는 우선순위 제어방식이다.

우선순위 제어방식에 대한 성능평가를 통해 폐기 임계치와 셀의 전송비율을 적절히 제어함으로써 클래스 1 셀에 대해서는 평균셀지연의 특성이 향상되고, 클래스 2 셀에 대해서는 셀손실률의 특성이 향상됨을 확인할 수 있었다. 그리고 두 클래스간의 셀손실률의 차를 조정하는 경우에는 셀의 전송비율보다 폐기 임계치를 제어하는 것이 좋으며, 두 클래스간의 평균셀지연의 차를 조정하는 경우에는 폐기 임계치보다 셀의 전송비율을 제어하는 것이 좋음을 확인할 수 있었다.

따라서 제안한 우선순위 제어방식에서 두개의 서비스 클래스에 대한 셀손실률과 평균셀지연의 특성을 평가해 볼 때 폐기 임계치와 셀의 전송비율의 적절한 제어에 따라 셀손실률과 평균셀지연 모두의 특성을 충분히 향상시킬 수 있다. 그리고 제안한 우선순위 제어방식은 하나의 버퍼에서 지연에 우선순위가 높은 셀과 셀손실에 우선순위가 높은 셀 모두를 처리함으로써 버퍼의 효율성을 높였으며, 버퍼의 처리 방법이 비교적 간단하여 ATM 교환기에 쉽게 구현이 가능할 것으로 보인다.

앞으로 입력하는 트래픽의 특성을 효율적으로 감지할 수 있는 방법에 대한 연구를 계속하여 이를 제안한 우선순위 제어방식에 응용하고자 하며, 공통 메모리형 ATM 스위치에도 적용하여 성능분석을 계속할 예정이다.

참 고 문 헌

1. CCITT Rec. I.121, "On the Broadband Aspects of ISDN", CCITT Blue Book, Geneva, 1989.
2. G.M. Woodruff, "Multimedia Traffic Management Principles for Guaranteed ATM Network Performance", IEEE J. Selected Area Communications, Vol.8, No.3, pp.437-446, Apr. 1990.
3. S.Z. Shaikh, M. Schwartz, T.H. Szymansky, "Performance Analysis and Design of Banyan Network Based Broadband Packet Switched for Integrated Services", IEEE GLOBECOM'89, Dalas, USA, pp. 1154-1158, Nov. 27-30, 1989.
4. S.Z. Shaikh, M. Schwartz, H. Yamada, "An Analysis, Control and Design of Crossbar and Banyan Based Broadband Packet Switched for Integrated Services", IEEE ICC'90, Atlanta, USA, pp.761-765, Apr. 16-19, 1990.
5. H. Suzuki, H. Nagano, T. Suzuki, T. Takeuchi, S. Iwasaki, "Output Buffer Switch Architecture for Asynchronous Transfer Mode", IEEE ICC'89, Boston, USA, pp.99-103, Jun. 11-14, 1989.
6. C. McCoy, "Effects of a Priority Discipline in Routing for Packet Switched Networks", IEEE Trans. on Comm. Vol.COM-24, No.5, pp.506-516, Apr. 1990.
7. Y. Lim, J. Kobza, "Analysis of a Delay-Dependent Priority Discipline in a Multicast Traffic Packet Switching Node", IEEE INFOCOM'88, New Orleans, USA, pp.9A.4.1.1-9A.4.1.10, Mar. 27-31, 1988.
8. T.M. Chen, J. Walrand, D.G. Messerschmitt, "Dynamic Priority Protocols for Packet Voice", IEEE J. Selected Area Communications, pp.632-643, Jun. 1989.
9. H. Saito, "Queueing Analysis of Cell Loss Probability Control in ATM networks", ITC-13, Copenhagen, Denmark, pp.9-18, Jun. 19-26, 1991.
10. H. Saito, M. Kawarasaki, H. Yamada, "An Analysis of Statistical Multiplexing in an ATM Transport Network", IEEE J. Selected Area Communications, Vol.9, No.3, pp.359-367, Apr. 1991.

11. Hans Croner, Gerard Hebuterne, Pierre Boyer, "Priority Management in ATM Switching Nodes", IEEE J. Selected Areas in Communications, Vol.9, No.3, pp.418-427, Apr. 1991.
 12. H. Croner, "Comparative Performance Study of Space Priority Mechanisms for ATM Networks", IEEE INFOCOM'90, San Francisco, USA, pp. 1136-1143, Jun. 3-7, 1990.
 13. D.X. Chen, J.W. Mark, "Delay and Loss Control of an Output Buffered Fast Packet Switch Supporting Integrated Services", IEEE ICC'92, Chicago, USA, pp.985-989, Jun. 14-18, 1992.
 14. Renu Chipalkatti, James F. Kurose, Don Towsley, "Scheduling Policies for Real-Time and Non-Real-Time Traffic in Statistical Multiplexer", IEEE INFOCOM'89, Ottawa, Canada, pp.774-793, Apr. 23-27, 1989.
 15. Y. Tanaka, M. Akiyama, "Cell Transfer Ratio Control Type Priority Control Method for ATM Switching", Institute of Electronics, Informations and Communications Engineers(IEICE) Journal B-I, Japan, Vol.J 74-B-I, No.6, pp.427-434, Jun. 1991.
 16. W.G. Park, C.M. Han, H.J. Choi, "Cell Priority Control with 2-Level Thresholds in ATM Switch Network, Journal of KICS, Korea, Vol.19, No.3, pp.479-491, Mar. 1993.
 17. Tien-Yu Huang, Jean-Lien Chen Wu, Jingshown Wu, "Priority Management to Improve the QOS in ATM Networks", Institute of Electronics, Informations and Communications Engineers (IEICE) Tr. on Communication, Japan, Vol. E76-B, No.3, pp.249-257, Mar. 1993.
 18. T.Y. Hwang, J.L.C. Wu, "Performance Analysis of ATM Switches Using Priority Schemes", IEE Proc. Communication, Vol.141, No.4, pp.248-254, Aug. 1994.
- 朴元基(Won Gi Park) 정회원
현재: 한국전자통신연구소 선임연구원
성균관대학교 전자공학과 박사과정 수료
한국통신학회 논문지 제20권 제4호 참조
- 金煥善(Young Sun Kim) 정회원
현재: 한국전자통신연구소 책임연구원
한국통신학회 논문지 제20권 제4호 참조
- 崔炯辰(Hyoung Jin Choi) 정회원
현재: 성균관대학교 전자공학과 부교수
한국통신학회 논문지 제20권 제4호 참조