

부정합된 최대 상관값을 이용한 초기 동기 임계치 결정 기법

正會員 柳 永 煥*, 金 鍾 憲*, 姜 聲 喆*, 康 昌 彦*

Threshold Detection Technique for Code Acquisition Using Maximum Mismatched Correlation Value

Young Hwan You*, Jong Heon Kim*, Sung Chul Kang*,
Chang Eon Kang* *Regular Members*

요 약

본 논문에서는 직접 대역 확산 통신 시스템에서 부정합된 최대 상관값을 이용한 초기 동기 임계치 결정 기법을 제안한다. 제안된 초기 동기 알고리즘은 변화하는 수신 SNR(signal-to-noise ratio)에 대해 동기 획득 과정에서 부정합된 최대 상관값을 검파하여 동기 확인 과정에서의 임계치로 설정한다. 제안된 동기 알고리즘의 성능을 AWGN(additive white gaussian noise) 채널과 주파수 선택적 레일리 페이딩(frequency-selective Rayleigh fading) 채널에서 몬테카를로 시뮬레이션을 통하여 분석한다. 또한 제안된 알고리즘을 범용 DSP 칩을 이용하여 구현한다. 제안된 알고리즘의 성능을 CT(constant threshold) 방식과 비교하였으며 패킷 손실을 관점에서 향상된 성능을 얻을 수 있다. 시스템 성능 분석으로 동기 획득 과정에서의 검파 확률과 오보 확률을 AWGN 채널에서 유도한다.

ABSTRACT

This paper describes an automatic threshold decision using a maximum mismatched correlation value in the direct sequence spread spectrum (DS-SS) system. For received PN codes with different signal-to-noise ratio (SNR), this scheme is able to detect a desired threshold value in the search mode, i.e. a maximum mismatched correlation value, so that value is utilized as a threshold for the verification mode. Performance of the proposed scheme in both the additive white gaussian noise (AWGN) and frequency-selective Rayleigh fading channels is analyzed through the Monte Carlo simulation. And hardware implementation of this scheme using a DSP processor is demonstrated. The proposed acquisition scheme is compared to the conventional constant threshold (CT) scheme,

*연세대학교 전자공학과
Dept. of Electronics Engineering, Yonsei University
論文番號: 95226-0628
接受日字: 1995年 6月 28日

and a significant improvement of performance is shown. Analysis of system performance in the verification mode is presented, and key quantities such as the false alarm probability and the detection probability are derived in a AWGN channel.

I. 서 론

이동 통신이 아날로그 방식에서 디지털 방식으로 전환되면서 CDMA(code division multiple access)에 대한 관심이 고조되고 있다. CDMA 시스템에서 정확한 초기 동기(acquisition)는 시스템의 성능을 결정짓는 요소 중의 하나이다. 일반적으로 초기 동기는 크게 동기 획득 과정(search mode)과 동기 확인 과정(verification mode)으로 나뉘어진다. 동기 획득 과정은 송신된 PN(pseudo-noise) 코드의 위상과 수신기의 PN 코드의 위상을 한침이내로 맞추는 과정을 말하며, 동기 확인 과정은 한 침이내로 맞춰진 위상을 보다 정확하게 결정하여 유지시키는 기능을 한다.

초기 동기를 위한 임계치 결정에 일반적으로 사용되는 CT(constant threshold) 기법은 고정된 임계치에 대해서 초기 동기를 수행하기 때문에 수신 SNR(signal-to-noise ratio)이 변함에 따라 성능이 저하되는 단점이 있다[1]. 이러한 문제점을 해결하기 위해서 수신 신호의 통계적 특성을 이용하여 초기 동기를 위한 임계치를 결정하는 알고리즘들이 제안되었다[1-4]. 특히 [4]에서는 잡음 기준 필터(noise reference filter)로부터 수신 잡음의 분산을 예측하여 임계치 결정을 사용하였다. 그러나 이 방식들은 PN 코드의 주기가 길거나 수신 SNR의 변화 폭이 심한 동적 채널에는 적용하기가 힘들다는 단점이 있다.

본 논문에서는 PNMF(pseudo-noise matched filter)의 부분 상관(partial correlation)을 이용하여 초기 동기 임계치를 결정하는 동기 알고리즘을 제안한다. 제안된 초기 동기 알고리즘은 동기 획득 과정에서 부정합된 최대 상관값(maximum mismatched correlation value)을 이용하여 확인 과정을 위한 임계치를 결정한다. 임계치로 사용되는 부정합된 최대 상관값은 정합된 상관값과 부정합된 상관값들 사이에 존재한다. 부정합된 최대 상관값을 확인 과정을 위한 임계치로 사용했을 경우의 초기 동기 알고리즘의 성능 분석을 위해 AWGN(additive white gaussian noise) 채널

환경에서 동기 확인 과정의 검파 확률(detection probability)과 오폭 확률(false alarm probability)을 유도한다. 또한 AWGN 채널과 주파수 선택적 레일리 페이딩(frequency-selective Rayleigh fading) 채널에서 몬테카를로 시뮬레이션(Monte Carlo simulation)을 통하여 제안된 알고리즘의 성능이 패킷 손실율(packet loss rate) 관점에서 최적화된 CT 방식의 성능과 유사하며, 변화하는 수신 SNR에 대해서 안정된 초기 동기 성능을 주는 임계치를 자동적으로 결정할 수 있음을 알 수 있다. 그리고 제안된 동기 알고리즘의 구현 가능성을 살펴보기 위해 DSP 칩을 이용하여 제안된 알고리즘을 하드웨어로 구현한다.

본 논문의 2장에서는 제안된 초기 동기 알고리즘과 동기 알고리즘을 페이딩 채널에 적용하기 위한 동기 확인 과정에 대해 설명한다. 3장에서는 AWGN(additive white gaussian noise) 채널 환경에서 동기 확인 과정의 검파 확률(detection probability)과 오폭 확률(false alarm probability)을 유도한다. 또한 AWGN 채널과 주파수 선택적 레일리 페이딩(frequency-selective Rayleigh fading) 채널에서 몬테카를로 시뮬레이션(Monte Carlo simulation)을 통하여 제안된 알고리즘의 성능이 패킷 손실율(packet loss rate) 관점에서 최적화된 CT 방식의 성능과 유사하며, 변화하는 수신 SNR에 대해서 안정된 초기 동기 성능을 주는 임계치를 자동적으로 결정할 수 있음을 알 수 있다. 그리고 제안된 동기 알고리즘의 구현 가능성을 살펴보기 위해 DSP 칩을 이용하여 제안된 알고리즘을 하드웨어로 구현한다.

본 논문의 2장에서는 제안된 초기 동기 알고리즘과 동기 알고리즘을 페이딩 채널에 적용하기 위한 동기 확인 과정에 대해 설명한다. 3장에서는 AWGN 채널 하에서 제안된 알고리즘의 성능을 오폭 확률과 검파 확률에 대해 분석하고, 4장에서는 제안된 알고리즘의 실험 결과를 설명한다. 끝으로 5장에서 결론을 맺는다.

II. 제안된 초기 동기 알고리즘

2.1 제안된 시스템의 구조

초기 동기는 CDMA 시스템의 성능을 결정해 주는 중요한 요소로서 수신 SNR이 심하게 변하는 동적 채널 환경에서는 안정된 시스템 성능을 줄 수 있는 임계치가 적절하게 설정되어야 한다. TIA/EIA IS-95 CDMA 방식에서는 2^{15} 주기는 PN 코드를 사용한다 [5]. 따라서 소자의 처리 시간을 고려할 때, 수신기에서의 부분 상관을 불가피하다. 이로 인해 PN 코드가 정합되었을때 최대 상관값은 상대적으로 작아지며 부정합된 상관값은 커진다. 즉, 부분상관을 취할 경우 정합된 상관값과 부정합된 상관값이 차이가 전체 상관(full correlation)을 취할 때보다 줄어들게 된다. SNR이 높을수록 정합된 상관값은 커지고 부정합된 상관값은 작아진다. 반대로 SNR이 낮아지게 되면 반대 현상이 생긴다. 최적의 임계치는 부정합된 상관값보다 크고 정합된 상관값보다 작은 값으로 설정되어야 한다. 일반적으로 PN 코드는 일정 주기마다 정합된 상관값이 발생하는 주기성과 코드의 위상이 일치할 때 상관값을 주는 자기 상관 특성이 있다. 알고리즘은 PN 코드의 주기성을 이용하여 사용된 두 개의 PNMF 간의 위상 정보를 예측하고, 자기 상관 특성을 이용하여 초기 동기에 사용하는 임계치를 결정하게 된다.

본 논문에서 제안된 시스템은 동기 획득 과정과 구성되어 있다. 그림 1. (a)는 동기 획득 과정에 대한 블록도를 나타낸다. 그림에서 보듯이 동기 획득 과정은 두개의 PNMF와 검색 윈도우 블럭(detection window block)으로 구성되어 있다. 각 PNMF의 구조는 [6]과 마찬가지로 M/Δ 의 탭수를 가지고 연속된 탭 사이의 간격은 ΔT_c 가 된다. M 은 PNMF의 길이, Δ 는 2^{-n} ($n = 1, 2, \dots$), 그리고 T_c 는 칩간격을 나타낸다. 제안된 초기 동기 알고리즘은 다음과 같다. 먼저 PNMF1에서 정합된 상관값이 출력될 때, 이를 레지스터 1에 저장하고 검색 윈도우를 연다. 만약 검색 윈도우가 $(1 + L_{offset})T_c$ 초 동안 열려 있게 되면, 이 검색 윈도우 안에 존재하는 PNMF1의 상관값중에서 레지스터 1에 저장된 값을 제외한 가장 큰 값을 레지스터 2에 저장하고 동기 획득을 위한 임계치로 설정한다. 검색 윈도우가 끝날 때 PNMF2에서 출력되는 정합된 상관값과 레지스터 2에 저장된 임계치를 비교하므로써 초기 동기를 결정짓는다. 만약 PNMF2의 출력값이 임계치보다 크다면 일단 초기 동기가 이루어진 것으로 보고 그동안 정지되어 있던 PN 발생기 1과 PN 발생기 2의 동작을 개시한다. 이때 초기 동기가 이루어진다는 것은 수신 코드와 PNMF2의 기준 천이 레지스터로 입력되는 코드 사이의 오프셋(offset)이 0임을 의미한다. 따라서 PNMF2로부터 역확산(despreading)된 데이터를 구할 수 있다.

동기 확인 과정은 동기 획득 과정에서 검파된 위상이 정확한지를 확인하는 과정으로써 일반적으로 사용되는 다수 논리(majority logic)를 사용한다[6]. 즉 매 MT_c 초마다 발생하는 A 개의 상관값중에서 B 개의 상관값이 동기 획득 과정에서 선택된 임계치보다 크게 되면 최종적인 동기가 이루어진 것으로 판단하고, 그렇지 않은 경우는 다시 동기 획득 과정을 반복한다. 일반적으로 확인 과정에서의 상관 구간은 동기 획득 과정에서의 상관 구간보다 크게 하는 것이 좋은 초기 동기 성능을 준다.

제안된 초기 동기 알고리즘의 동작 과정은 그림 2를 통하여 알 수 있다. 그림에서 알 수 있듯이 제안된 알고리즘은 2개의 PNMF, PN 코드 발생기, 비교기, 레지스터, 검색 윈도우 카운터, 그리고 로직 게이트(logic gate) 등으로 구성된다. 동기 시스템의 동작 설명을 위해 $\Delta=1$ 인 경우를 고려한다. PN 발생기 1의

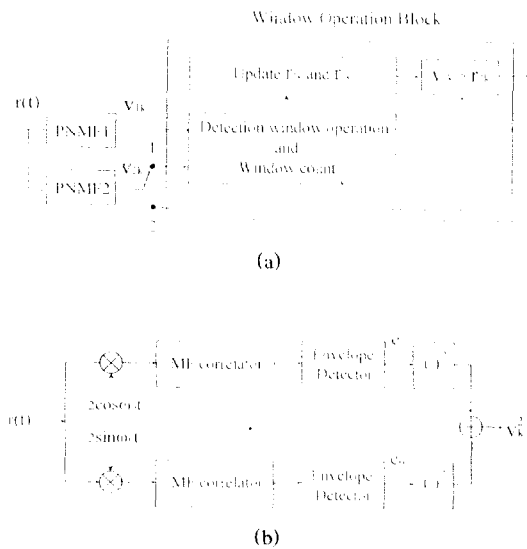


그림 1. (a)제안된 알고리즘의 블록도 (b)PNMF의 구조

천이 레지스터(shift register)는 PN 발생기 2의 천이 레지스터에 비해 오프셋 L_{offset} 만큼 앞서 있다. PN 발생기 1과 PN 발생기 2를 동작시켜서 각각의 출력을 PNMF1과 PNMF2의 기준 천이 레지스터(reference shift register)에 입력시킨다. 기준 천이 레지스터의 길이 L_{corr} 만큼 입력시킨 후, PN 발생기 1과 PN 발생기 2의 동작을 정지시키므로써 PNMF1과 PNMF2의 기준 천이 레지스터의 값을 고정시킨다. 그림 3은 PNMF1과 PNMF2를 통과한 포락선 검파기(envelope detector)의 출력 v_{1k} , v_{2k} 를 나타낸 것이다. 위에서 설명한 바와 같이 PNMF1의 기준 천이 레지스터는 PNMF2에 비해 L_{offset} 만큼 앞서 있다. 따라서 PNMF1에서 정합된 상관값이 출력된지 $L_{offset}T_c$ 초 뒤에 PNMF2에서도 정합된 상관값이 출력된다.

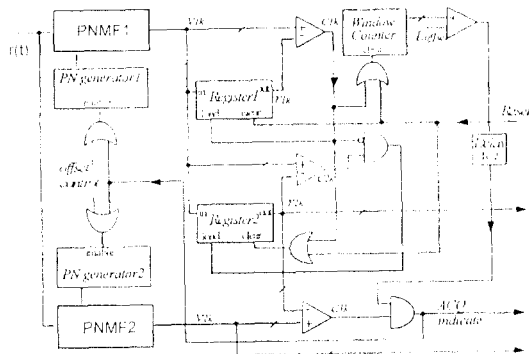


그림 2. 제안된 알고리즘의 동작

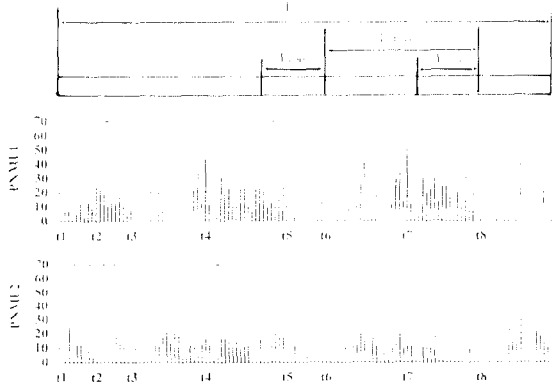


그림 3. 검색 윈도우의 동작

그림 2에서 레지스터 1은 검색 윈도우가 새로 열리는지 여부를 결정하기 위한 것이다. PNMF1의 출력이 레지스터 1의 값보다 크다면, 이때의 출력값을 레지스터 1에 저장하고, 검색 윈도우 카운터를 리셋(reset)시킴으로써 검색 윈도우를 다시 열게 한다. 레지스터 2는 검색 윈도우가 열릴 때마다 0으로 초기화되며 검색 윈도우 안에 있는 PNMF1의 상관값중에서 가장 큰 값을 저장하기 위한 것이다. 레지스터 1과 레지스터 2는 load 단자가 on될 때 입력 단자로부터 입력을 읽어들이고, clear 단자가 on될 때 0으로 초기화된다. 검색 윈도우 카운터는 0, ..., L_{offset} 의 값을 가지며, 매 T_c 초마다 하나씩 증가된다. 검색 윈도우의 끝에서 초기 동기가 이루어지지 않으면 레지스터 1과 레지스터 2를 0으로 초기화시키고 자신도 리셋된다. 검색 윈도우 카운터도 리셋 단자가 on될 때 0으로 초기화된다. 제한하는 초기 동기 방식은 다음과 같은 단계로 동작하게 된다.

단계 1

- 레지스터 1, 레지스터 2, 검색 윈도우 카운터를 모두 0으로 설정한다.
- PN 발생기 1과 PN 발생기 2를 이용해 PNMF1의 기준 천이 레지스터가 PNMF2의 기준 천이 레지스터보다 L_{offset} 오프셋만큼 앞서도록 설정한다.
- PN 발생기 1과 PN 발생기 2의 enable 단자를 이어서 동작을 멈추게 한다.

단계 2

- T_c 초 간격으로 샘플링(sampling)된 한 칩의 신호를 PNMF1과 PNMF2로 입력시켜 상관값을 구한다.
- 각각의 상관값을 포락선 검파기에 통과시켜 v_{1k} 와 v_{2k} 를 구한다.

단계 3

- 검색 윈도우 카운터를 하나 증가시킨다.

단계 4

- v_{1k} 를 레지스터 1의 출력 r_{1k} 와 비교하여 c_{1k} 를 구한다.
- v_{2k} 를 레지스터 2의 출력 r_{2k} 와 비교하여 c_{2k} 를 구한다.

단계 5

- 표 1의 진리표에 따라 레지스터 1, 레지스터 2, 검색 윈도우 카운터로 제어 신호를 보낸다. 여기

표 1. 제안된 알고리즘의 진리표

입 력				출 력				
카운터	비교기 1	비교기 2	비교기 3	카운터	레지스터 1		레지스터 2	
w_k	c_{1k}	c_{2k}	c_{3k}	reset	load	clear	load	clear
$0, \dots, L_{offset} - 1$	H	X	X	H	H	L	L	H
$0, \dots, L_{offset} - 1$	L	H	X	L	L	L	H	L
$0, \dots, L_{offset} - 1$	L	L	X	L	L	L	L	L
L_{offset}	X	X	L	H	L	H	L	H
L_{offset}	X	X	H	Acquisition				

서, 검색 윈도우 카운터의 clear 단자가 on이 되는 것은 검색 윈도우 카운터가 0으로 리셋됨을 알려준다. 이것은 검색 윈도우가 새로 열리는 것을 의미한다.

단계 6

- 검색 윈도우 카운터가 L_{offset} 이 아닐 때, 단계 2로 간다.
- 검색 윈도우 카운터가 L_{offset} 일 때, PNMF2를 거친 포락선 검파기의 출력 v_{2k} 와 레지스터 2의 출력 r_{2k} 를 비교한다. 단계 7로 간다.

단계 7

- v_{2k} 가 r_{2k} 보다 크지 않다면, 초기 동기가 이루어지지 않은 것으로 판단하고 검색 윈도우 카운터, 레지스터 1, 그리고 레지스터 2의 clear 단자를 on시킨다. 단계 2로 간다.
- v_{2k} 가 r_{2k} 보다 크다면, 초기 동기가 이루어졌다고 보며, PN 발생기 1과 PN 발생기 2의 enable 단자를 on으로 하고 동작을 개시한다. 이때 r_{2k} 는 초기 동기의 임계치가 된다. 단계 8로 간다.

단계 8

- 동기 확인 과정으로 들어간다. 이때, 레지스터 2의 출력 r_{2k} 는 초기동기의 임계치가 되어 동기 확인 과정으로 전달된다.
- 만약 제대로 초기 동기가 이루어진 상태라면, 수신 코드와 PN 발생기 2 사이에 동기가 이루어진 것이므로, PNMF2에서는 계속 정합된 상관값을 출력시키게 된다.

2.2 페이딩 채널을 위한 동기 확인 과정

디지털 셀룰러 이동 통신에서는 다경로 페이딩 (multipath fading)에 의한 신호 간섭으로 인해서 PNMF 출력에서의 정합된 상관값과 부정합된 상관값의 차이가 불규칙하게 된다. 이러한 환경에서는 초기 동기를 위한 임계치의 결정이 더욱 중요하게 된다. 따라서 초기 동기가 이루어진 후에 보다 효과적인 동기 확인 과정을 거쳐야 정확한 초기 동기를 이룰 수 있다. 그림 4는 주파수 선택적 레일리 페이딩 채널에서 지연 퍼짐(delay spread)이 2μ 초, 샘플링 주파수가 1.2288MHz, 페이딩율이 30Hz인 경우에 채널을 통과한 신호의 포락선을 나타낸다. 그림 5는 제안된 초기 동기 알고리즘을 페이딩 채널에서 효과적인 동작시키기 위한 알고리즘의 블럭도이다. 그림 2의 초기 동기단으로부터 PNMF2를 거친 포락선 검파기의 출력 v_{2k} 와 레지스터 2의 출력 r_{2k} , 그리고 초기 동기가 이루어졌음을 알리는 신호를 받아들인다. 그림 2의 블럭도에서 초기 동기가 이루어졌다는 신호가 발생하면 동기 확인 과정을 시작한다. 먼저 $MNT_c(N=1, 2, \dots)$ 초 간격으로 발생하는 상관값 v_{2k} 를 A 번에 걸쳐서 임계치 r_{2k} 와 비교한다. v_{2k} 가 r_{2k} 보다 큰 횟수가 B 이상이면, 초기 동기가 제대로 이루어졌다고 판단한다. 반대로 v_{2k} 가 r_{2k} 보다 큰 횟수가 B 보다 작다면, 초기 동기가 제대로 이루어지지 않았다고 판단하고 오프셋 제어단을 통해 그림 2의 PNMF1과 PNMF2 사이의 오프셋을 작게 조절한다. 즉, 페이딩 현상이 심한 경우는 검색 윈도우가 $(1 + L_{offset})T_c$ 초 동안 열려 있을 확률이 적어지기 때문에 오프셋을 이전의 크기보다 작게 해줌으로써 초기 동기가 이루어질 확률을 크게 해준다.

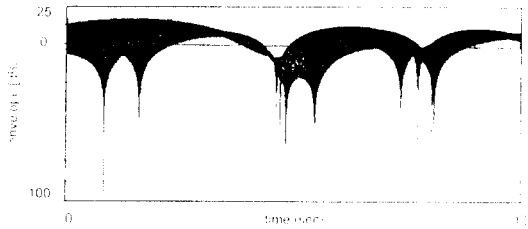


그림 4. 주파수 선택적 레일리 페이딩 채널의 신호 포락선 (채널 경로수:3, 페이딩율:30Hz)

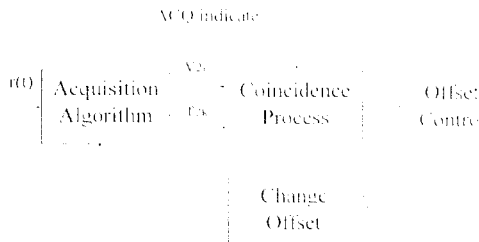


그림 5. 페이딩 채널을 위한 초기 동기 알고리즘의 블록도

III. 초기 동기 알고리즘의 성능 분석

이 절에서는 제안된 초기 동기 알고리즘의 성능을 분석하기 위해서 전체 상관관을 이용하여 부정합된 최대 상관값을 검파하는 경우를 고려한다. 따라서, 부분 상관 대신에 전체 상관관을 사용하는 시스템에서는 부정합된 최대 상관값을 검파하기 위해서 한개의 PNMF만이 필요하며 알고리즘의 동작은 부분 상관관을 수행하는 경우와 동일하다. 정합된 상관값에 의해 열려진 검색 윈도우가 PN 코드 주기동안 유지될 때 이 윈도우 안에 존재하는 부정합된 최대 상관값 r_k 를 검출하게 된다. 성능 분석의 척도로는 동기 확인 과정에서의 검파 확률과 오보 확률을 사용한다. 확인 과정에서의 검파 확률 P_D 은 올바른 위상에 의해 확인 과정이 시도되었을 경우에 확인 과정에서 이 위상을 인정할 확률을 말하며, 오보 확률 P_{FA} 는 틀린 위상에서 동작했음에도 불구하고 이것을 인정할 확률이다.

AWGN 채널에서 검파 확률과 오보 확률을 구하기 위해서 다음과 같은 가정들을 적용한다[7, 8]: 즉, 1) 불확정 영역(uncertainty region)에는 단 한개의 정합된 셀(H_1 셀)이 존재하며, 2)PNMF 출력에서의 모든

상관값 v_k 은 독립적이며, 3)PNMF의 길이 M 이 커서 부정합된 셀(H_0 셀)에 대한 상관값은 0이며, 그리고 4)불확정 영역은 전체 PN 코드 길이가 같다. PNMF에 의해서 수신되는 신호는 다음과 같다.

$$r(t) = \sqrt{2S} c(t + \tau T_c) \cos(\omega_0 t + \theta) + n(t) \quad (1)$$

여기서 S 는 전송 신호 전력, θ 는 균일분포를 가지는 랜덤 변수, ω_0 는 반송파 주파수, $c(t + \tau T_c)$ 는 획득된 PN 코드, 그리고 $n(t)$ 는 평균이 0이고 분산이 N_0 인 AWGN이다. 그림 1. (b)에서 알 수 있듯이 가정 H_1 , H_0 하에서의 PNMF 출력값 v_k 의 확률 밀도 함수(probability density function)는 각각 라이시안(Rician)과 레일리 분포 가진다[6].

$$p_r(y|H_1) = \frac{y}{\sigma_n^2} \exp\left(-\frac{y^2 + m^2}{2\sigma_n^2}\right) I_0\left(\frac{ym}{\sigma_n^2}\right) \quad (2)$$

$$p_r(y|H_0) = \frac{y}{\sigma_n^2} \exp\left(-\frac{y^2}{2\sigma_n^2}\right) \quad (3)$$

여기서 $\sigma_n^2 = N_0 M T_c / 2$, $m^2 = M^2 T_c^2 S$, 그리고 $I_0(x)$ 는 수정된 일차 베셀 함수이다[10].

검색 윈도우는 각각 H_1 셀과 H_0 셀에 의해서 열려질 수 있다. 이때 H_1 셀에 의해 열려진 검색 윈도우내에서 검출된 부정합된 최대 상관값 r_k 의 확률 밀도 함수는 아래와 같이 표현된다.

$$p_r(y|H_1) = \frac{d}{dy} \left[\left\{ 1 - \exp\left(-\frac{y^2}{2\sigma_n^2}\right) \right\}^{M/\Delta - 1} \right] \quad (4)$$

$$= (M/\Delta - 1) \sum_{n=0}^{M/\Delta - 2} (-1)^n \binom{M/\Delta - 2}{n} \frac{y}{\sigma_n^2} \exp\left\{-\frac{(n+1)y^2}{2\sigma_n^2}\right\}$$

또한 H_0 셀에 의해 열려진 검색 윈도우내에서 검파되는 부정합된 최대 상관값의 확률 밀도 함수는 다음과 같이 구할 수 있다.

$$p_r(y|H_0) = \frac{d}{dy} \left[\left\{ 1 - Q\left(\frac{m}{\sigma_n}, \frac{y}{\sigma_n}\right) \right\} \right]$$

$$= \left[(M/\Delta - 2) \left\{ 1 - Q\left(\frac{m}{\sigma_n}, \frac{y}{\sigma_n}\right) \right\} \right] \quad (5)$$

$$+ \exp\left(-\frac{m^2}{2\sigma_n^2}\right) - \exp\left(-\frac{y^2}{2\sigma_n^2}\right) \left\{ \right. \\ \cdot I_0\left(\frac{my}{\sigma_n^2}\right) \left. \right\} \sum_{n=0}^{M/\Delta-3} (-1)^n \binom{M/\Delta-3}{n} \frac{y}{\sigma_n^2} \\ \exp\left\{-\frac{(n+1)y^2}{2\sigma_n^2}\right\}$$

여기서 $Q(a, b)$ 는 Marcum Q -함수이다[10].

정확한 위상에 의해서 확인 과정이 시도되었을 때 확인 과정에서 이것을 인정할 확률 P_D 는 다음과 같다[6].

$$P_D = \sum_{n=B}^A \binom{A}{n} P_1^n (1-P_1)^{A-n} \quad (6)$$

반면에 잘못된 위상에 의해 확인 과정이 시도되었을 때 이를 인정할 확률 P_{FA} 은 다음과 같이 주어진다.

$$P_{FA} = \sum_{n=B}^A \binom{A}{n} P_2^n (1-P_2)^{A-n} \quad (7)$$

여기서 P_1 과 P_2 는 각각 H_1 과 H_0 셀이 동기 획득 과정에서 검출해낸 임계치 r_k 보다 큰 확률을 나타내며 다음과 같이 정의된다.

$$P_1 = \int_0^\infty p_v(y|H_1) \int_0^y p_r(z|H_1) dz dy \quad (8)$$

$$P_2 = \int_0^c p_v(y|H_0) \int_0^y p_r(z|H_0) dz dy \quad (9)$$

앞에서 주어진 식 (2)-(5)를 각각 식 (8)과 (9)에 대입하여 적분하면 아래의 결과식을 얻을 수 있다.

$$P_1 = \sum_{n=0}^{M/\Delta-1} (-1)^n \binom{M/\Delta-1}{n} \frac{1}{n+1} \exp\left[-\left(\frac{n}{n+1}\right) M\gamma_c\right] \quad (10)$$

$$P_2 = \sum_{n=0}^{M/\Delta-2} (-1)^n \binom{M/\Delta-2}{n} \frac{1}{(n+1)(n+2)} \\ \exp\left[-\left(\frac{n-1}{n+2}\right) M\gamma_c\right] \quad (11)$$

여기서 $\gamma_c = ST_c/N_0$ 은 칩당 SNR을 나타낸다. 식 (11)에서 SNR이 매우 낮아지게 되면 P_2 는 다음의 값으로 접근하게 된다.

$$\sum_{n=0}^{M/\Delta-2} (-1)^n \binom{M/\Delta-2}{n} \frac{1}{(n+1)(n+2)} = \frac{1}{M/\Delta} \quad (12)$$

반면에 고정된 임계치 r 을 사용하는 CT 기법의 P_D, P_{FA} 는 식 (6), (7)과 동일하며 P_1, P_2 는 각각 다음의 식으로 주어진다[10].

$$P_1 = \int_r^\infty p_v(y|H_1) dy = Q(\sqrt{2M\gamma_c}, r') \quad (13)$$

$$P_2 = \int_r^\infty p_v(y|H_0) dy = \exp\left(-\frac{r'^2}{2}\right) \quad (14)$$

여기서 $r' = r/\sigma_n$ 은 정규화된 임계치이다. 식 (13)과 (14)에서 알 수 있듯이 CT 방식은 작은 임계치에 대해서는 높은 검파 확률을 얻는 반면에 오보 확률이 오히려 커지기 때문에 전체적인 성능은 나빠질 수 있다.

그림 6는 식 94)에서 정의된 부정합된 최대 상관값의 확률 밀도 함수를 $M=63, \Delta=1/2$ 인 경우에 대해 나타낸 것이다. 그림 6에서 알 수 있듯이 확인 과정에서 사용되는 임계치가 커야하는데 그림 6은 검출된 임계치가 이에 부합하는 통계적 특성을 지니고 있다. 표 2는 식 (7)과 (12)에서 정의된 오보 확률의 상한값을 $M=63, 127, 255, \Delta=1/2$ 에 대해서 나타낸 것이다.

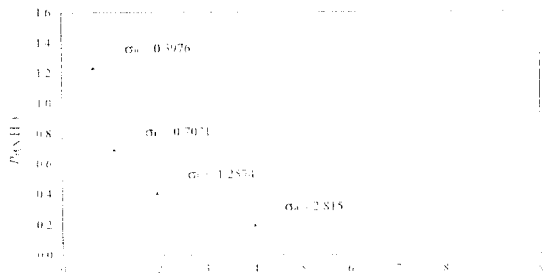


그림 6. H_1 셀에 의해서 열려진 검색 윈도우내의 부정합된 최대 상관값의 확률 밀도 함수($M=63$)

그림 7은 제안된 초기 동기 알고리즘과 고정된 임계치를 가지는 동기 방식을 $M=255, \Delta=1/2$ 에 대해서 비교 분석한 것이다. 그림에서 고정된 임계치를 가지는 동기 방식은 오보 확률을 고정시키고(식 (7)과 (14)에서 알 수 있듯이 오보 확률을 고정시키는 것은 임계치를 고정시키는 것과 같다) 이에 따른 검파 확률을 나타내었다. 즉, 표 2에 나타난 오보 확률의 상한값을 CT 기법의 오보 확률로 고정시키고 검파 확률의 관점에서 두 방식의 성능을 비교하였다. 그림에

서 알 수 있듯이 제안된 알고리즘의 검파 확률은 CT 기법과 거의 유사한 성능을 주면서 오프 확률은 오히려 낮음을 확인할 수 있다. 위에서 살펴본 성능의 향상은 동기 획득 과정에서의 직렬한 임계치 검출에 따른 것이며 이로 인해 확인 과정에서 오보가 일어날 확률이 크게 줄어든다. 따라서 제안된 동기 알고리즘의 이러한 성능 향상으로 인해 패킷 라디오(packet radio) 통신 시스템에 적용이 가능하다. 이 시스템에서는 초기 동기의 실패가 패킷의 손실을 의미하기 때문에 제안된 동기 알고리즘을 사용함으로써 이러한 패킷의 손실을 줄일 수 있다.

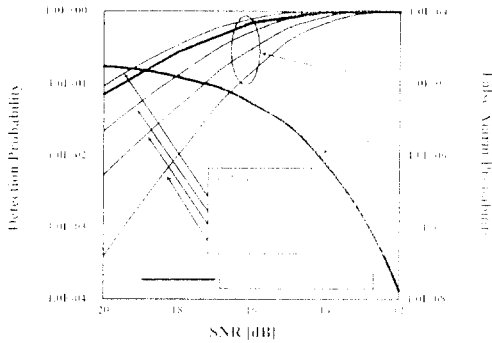


그림 7. 고정된 임계치를 가지는 동기 기법과 제안된 동기 기법의 검파 확률, 오보 확률 비교(M = 255)

표 2. M = 63, 127, 255에 대한 P_{FA}의 상한값(Δ = 1/2)

M	63	127	255
P _{FA}	0.000368	0.000092	0.000023

IV. 실험 결과 및 분석

이 절에서는 AWGN 채널과 주파수 선택적 레일리 페이딩 채널에서 제안한 알고리즘의 성능을 패킷 손실율의 관점에서 CT의 성능과 비교 분석한다. 실험에 사용된 패킷의 형식은 그림 8과 같이 패킷의 프리엠블(preamble)에 L개의 PN 코드를 전송함으로써 수신단에서 데이터 복조를 위한 초기 동기에 사용한다. 본 논문에서는 초기 동기의 성능을 향상시키는 것이 목적이기 때문에 데이터 복조는 고려하지 않는다. 제

안된 초기 동기 알고리즘의 성능을 확인하기 위해 본테카를로 시뮬레이션을 이용하여 실험하고, 범용 DSP 칩인 Motorola DSP56002를 이용하여 제안한 알고리즘을 하드웨어로 구현한다. 시뮬레이션에 사용된 실험 환경은 다음과 같다.

시스템 변수: (1)PN 코드의 특성 다항식은 TIA/EIA IS-95 CDMA 방식에서 채택된 것과 동일한 $P_L(x) = x^{15} + x^{13} + x^9 + x^8 + x^7 + x^6 + 1$ 을 사용하였다. (2)PN 코드의 주기는 2^{15} 이다. (3)동기 획득 과정에서의 부분 상관 길이 M은 AWGN 채널과 페이딩 채널에 대해서 모두 256점으로 설정하였고 확인 과정에서의 부분 상관 길이는 AWGN 채널, 페이딩 채널에 대해서 각각 256 (N=1), 768 (N=3)로 설정하였다. (4)초기 동기를 위해 AWGN 채널과 페이딩 채널에서 각각 4, 10 주기의 PN 코드를 사용하였다. (5)Δ = 1로 설정하였다. (6) 확인 과정에서 다수 논리에 사용된 변수 A, B는 각각 5, 3이다.

페이딩 채널: (1)페이딩 채널은 TDL(tap delay line) 구조로써 각 경로의 전력은 동일 하고 각 경로의 지연 길기도 일정하다[11]. (2)샘플링 주파수는 1.2288MHz로 설정하였다. (3)채널의 지연 피침은 2μ초로 채널 경로수 = [신호의 대역폭 × 지연 피침] + 1에 의해 3으로 설정하였다[11]. (4)페이딩율은 30Hz이다.

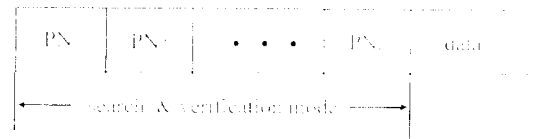


그림 8. 패킷의 형식

AWGN 환경에서 PNMF1과 PNMF2 사이의 오프셋 변화에 따른 제안된 알고리즘의 성능 변화가 그림 9에 나타나 있다. 4개의 곡선은 두 PNMF 사이의 오프셋이 각각 4000, 8000, 12000, 16000 칩일 때의 성능 곡선이다. AWGN 환경에서는 SNR이 높은 경우에는 두 PNMF 사이의 오프셋이 클수록 좋은 성능을 보이는 반면에 SNR이 낮은 환경에서는 두 PNMF 사이의 오프셋이 작을수록 좋은 성능을 보인다. 그러나 패킷 손실율이 10⁻³을 기준으로 할 때, 오프셋에 따른 성능 차이가 1dB 이내에 들어감을 알 수 있다.

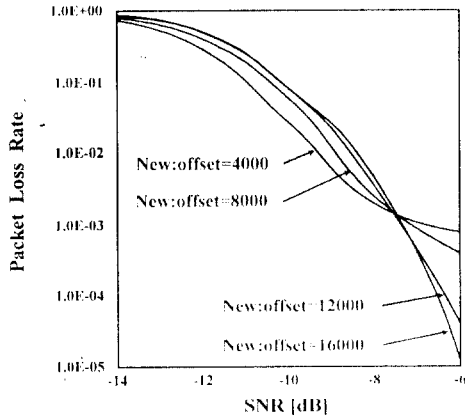


그림 9. AWGN 채널에서 PNMF1과 PNMF2 사이의 오프셋에 따른 제안된 알고리즘의 성능

그림 10은 AWGN 채널에서 CT 기법과 제안한 알고리즘의 성능을 비교한 것이다. 제안된 알고리즘에서 PNMF 사이의 오프셋은 16000 칩이며, CT 기법의 경우는 임계치가 각각 80, 90, 100, 110인 경우에 대해서 실험하였다. 낮은 SNR에서 최적의 성능을 가지는 임계치로 설정된 CT 기법은 높은 SNR에서는 오히려 나쁜 성능을 보인다. 제안된 알고리즘은 하나의 임계치로 고정된 CT 기법에 비해서 향상된 성능을 보이고 있음을 알 수 있다. 또한 제안된 알고리즘은 최적화된 CT 기법의 성능과 유사함을 확인할 수 있다. 그러나, 실제 환경에서 CT 기법은 그림 10과 같은 최적의 성능을 가지지 못한다. 제안된 알고리즘의 가장 큰 장점은 수신 신호의 정합되지 않은 상관값으로부터 임계치를 결정하기 때문에 변화하는 수신 SNR에 대해서 좋은 성능을 주는 임계치를 자동적으로 결정할 수 있다는 것이다.

그림 11은 본 논문에서 실험한 주파수 선택적 레일리 페이딩 채널의 시변 주파수 응답을 페이딩율이 30Hz이고 채널 경로수가 3인 경우에 대해서 나타낸 것이다. 페이딩 채널에서는 동기 획득이 이루어진 후에 초기 오프셋은 $L_{offset} = 2500$ 칩이며, 확인 과정이 실패한 후에는 제어단을 통해 오프셋을 $L_{offset} = 250$ 칩으로 조절한다. 페이딩 현상이 심한 경우는 검색 윈도우가 $(1 + L_{offset})T_c$ 초 동안 열려 있을 확률이 적어지기 때문에 오프셋을 이전의 크기보다 작게 해 줌으로써

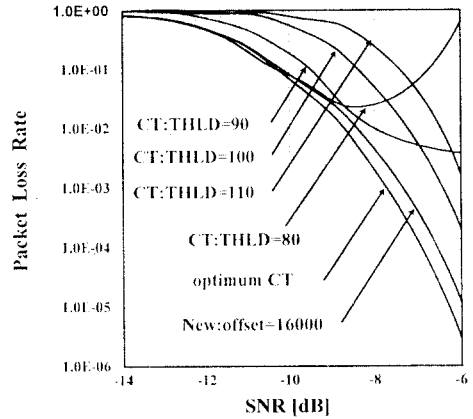


그림 10. AWGN 채널에서 하나의 고정된 임계치를 가지는 CT 기법과 제안된 알고리즘의 성능 비교 및 최적화된 CT 기법의 성능

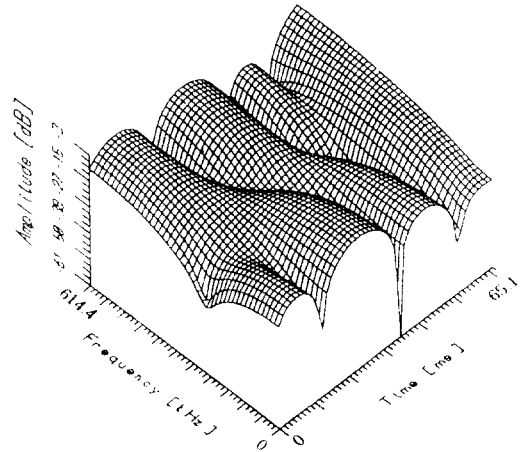


그림 11. 주파수 선택적 레일리 페이딩 채널의 시변 주파수 응답(채널 경로수:3, 페이딩율:30Hz)

초기 동기가 이루어질 확률을 크게 해준다. 이 오프셋값은 실험을 통하여 좋은 성능을 주는 값으로 선택하였다.

그림 12는 주파수 선택적 레일리 페이딩 채널에서 CT 알고리즘과 제안된 알고리즘의 성능을 비교한 것이다. 페이딩 채널에서는 AWGN 채널에 비해 PNMF의 상관값이 훨씬 심하게 변하므로, AWGN에서 적용했던 오프셋의 길이를 적절히 줄여야 한다. 제안된

알고리즘은 AWGN 채널에서의 결과와 마찬가지로 하나의 임계치로 고정된 CT 기법에 비해서 향상된 성능을 보이고 있으며, 패킷 손실율이 9×10^{-3} 인 위치에서 가장 좋은 성능을 보이는 CT와 성능이 비슷함을 알 수 있다.

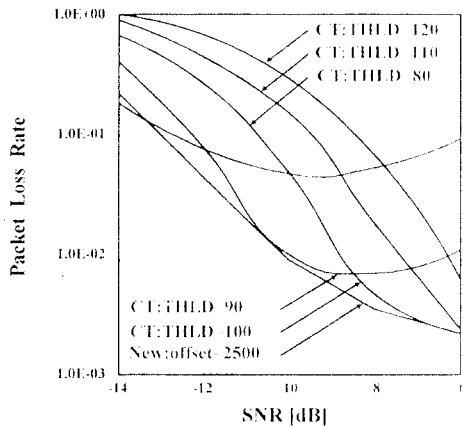


그림 12. 페이딩 채널에서 하나의 고정된 임계치를 가지는 CT 기법과 제안된 알고리즘의 성능 비교

본 논문에서 제안된 동기 동기 알고리즘의 구현 가능성을 확인하기 위해 범용 DSP 칩인 Motorola DSP 56002를 이용하여 하드웨어로 구현하고 PC와의 직렬 통신 인터페이스로 실험하였다. 2개의 PNMF와 윈도우 제어 로직을 1개의 DSP 칩으로 구현하기 위해 실험 환경을 다음과 같이 축소한다.: 1) 하드웨어 실험을 사용한 PN 코드의 주기는 255 칩이며, 2) 칩율은 9.6Kbps이고, 3) 24 칩의 부분 상관을 취한다. PNMF를 위해 바이트(byte) 단위로 롬 테이블(ROM table)를 구성하여 상관을 취한다. 상용 PNMF는 동시에 256 칩 길이의 상관을 20Mbps 이상의 칩율에까지 취할 수 있다[12, pp.126]. 따라서 제안된 알고리즘을 상용 PNMF로 구현하며 TIA/EIA IS-95 CDMA 시스템의 요구 사항을 충분히 만족시킬 수 있다. 그림 13은 하드웨어 실험 결과를 로직 분석기(logic analyzer)로 관찰한 결과이다. ACQ 단자에서 동기 동기가 이루어졌음을 알리는 순간, 이전까지 다른 위상을 가지던 수신 PN 코드(RX PN)와 수신기의 기준 PN 코드(LOC

PN)가 서로 일치함을 보여준다.

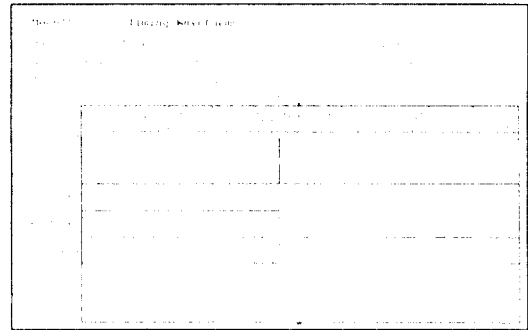


그림 13. 하드웨어 실험 결과

V. 결 론

CDMA는 빠르고 신뢰성 있는 초기 동기 요구되는데 이를 위해서는 수신 SNR에 따른 적절한 임계치가 선택되어야 한다. 본 논문에서는 2개의 PNMF와 부분 상관을 이용하여 부정합된 상관값 중에서 가장 큰 값을 임계치로 선정하는 알고리즘을 제안하였다. 부정합된 최대 상관값을 검출하기 위하여 검색 윈도우를 사용하였다. 제안한 알고리즘의 성능을 AWGN 채널에서 패킷 손실율 관점에서 CT의 성능과 비교하였다. 또한 제안된 알고리즘을 동기 확인 과정과 결합하여 주파수 선택적 레일리 페이딩 채널에도 적용하였다. 일반적으로, CT 기법은 수신 SNR의 변화에 따른 성능이 민감하게 변한다. 즉, SNR이 낮을 때 최적의 성능을 보이는 임계치로 고정된 시스템은 SNR이 높을 때 나쁜 성능을 보이며, 반대로 SNR이 높을 때 최적의 성능을 보이는 임계치에 대해서는 SNR이 낮을 때 나쁜 성능을 보인다. 본 논문에서 제안된 동기 알고리즘은 패킷 손실율 관점에서 하나의 임계치로 고정된 CT 기법보다 향상된 성능을 보인다. 또한 수신 SNR에 따라 적절한 동기식 특성을 지니는 임계치를 자동적으로 선정할 수 있는 장점을 가진다.

제안된 동기 알고리즘은 페이딩 채널에서 두개의 PNMF 사이의 오프셋에 따라 성능의 변화를 보인다. 따라서 차후 과제로 페이딩 채널과 오프셋 사이의 함수 관계를 규명해야 한다. 또한 페이딩 채널에서 두 PNMF 사이의 오프셋을 적절히 변화시키는 연구가

뒤따라야 한다.

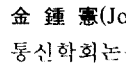
참 고 문 헌

1. Savo G. Glicic, "Automatic Decision Threshold Level Control(ADTLC) in Direct-Sequence Spread-Spectrum Systems Based on Matched Filtering," *IEEE Trans. Commun.*, vol. COM-36, no. 4, pp. 519-527, April. 1988.
2. Savo G. Glicic, "Automatic Decision Threshold Level Control in Direct-Sequence Spread-Spectrum Systems," *IEEE Trans. Commun.*, vol. COM-39, no. 2, pp. 187-192, Feb. 1991.
3. Zhen-Liang Shi and Peter F. Driessen, "Automatic Threshold Control For Acquisition in Spread-Spectrum Packet Radio Communication," *ICC*, vol. 2, pp.478-482, May. 1993.
4. B. B. Ibrahim and A. H. Aghvami, "Direct sequence spread spectrum matched filter acquisition in frequency-selective Rayleigh fading channels," *IEEE Journal on Selected Area in Commun.*, vol. 12, No. 5, pp. 885-890, June. 1994.
5. TIA/EIA Interim Standard, Telecommunications industry association, July 1993.
6. A. Polydoros and C. Weber, "A unified approach to serial search spread spectrum code acquisition-part II: a matched filter receiver," *IEEE Trans. Commun.*, vol. COM-32, pp. 550-560, May. 1984.
7. Y. T. Su, "Rapid Code acquisition algorithm employing PN matched filter," *IEEE Trans. Commun.*, vol. COM-36, pp. 724-733, June. 1988.
8. E. Sourour and S. C. Gupta, "Direct-sequence spread spectrum parallel acquisition in a fading mobile channel," *IEEE Trans. Commun.*, vol. COM-38, pp. 992-998, July. 1990.
9. 김종현, 이한섭, 홍대식, 강창언, "비동기식 DS/SS-CSK 통신의 개선된 초기동기," 한국통신학회 논문지, 제18권, 12호, pp.1797~1805. 1993. 12.
10. M. Schwartz, W. R. Bennett and S. Stein, *Communication Systems and Technique*, McGraw-Hill, 1996.

11. John G. Proakis, *Digital Communicatins*, McGraw-Hill International Editions, 1989.
12. ASIC & Custom Products Group, *ASIC & Custom Products*, Stanford Telecommunications, 1990.



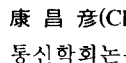
柳 永 煥(Young Hwan You)정회원
 1970년 8월 17일생
 1993년 2월:연세대학교 전자공
 학과 졸업(공학사)
 1995년 2월:연세대학교 전자공
 학과 졸업(공학석사)
 1995년 3월~현재:연세대학교 전
 자공학과 박사과정
 ※주관심분야: 디지털 이동통신, 멀티캐리어 시스템



金 鍾 憲(Jong Heon Kim) 정회원
 통신학회논문지 제18권 제12호 참조



姜 聲 喆(Sung Chul Kang) 정회원
 1955년 3월 19일생
 1983년 2월:숭실대학교 전자공
 학과 졸업(공학사)
 1985년 2월:연세대학교 산업대
 학원 졸업(공학석사)
 1990년 9월~현재:연세대학교 전
 자공학과 박사과정
 ※주관심분야: 디지털 이동통신, 대역확산통신



康 昌 彦(Chang Eon Kang) 정회원
 통신학회논문지 제20권 제1호 참조