

병렬 구조의 직접 디지털 주파수 합성기의 설계

正會員 李 鍾 先*, 金 大 容**, 劉 泳 甲*

A Practical Design of Direct Digital Frequency Synthesizer with Multi-ROM Configuration

Jong Sun Lee*, Dae Yong Kim**, Younggap You* *Regular Members*

※본 연구는 한국 전자 통신 연구소의 기초 연구 과제로 수행한 결과의 일부임.

요 약

이산스펙트럼(Spread Spectrum) 통신 시스템에 사용되는 DDFS(Direct Digital Frequency Synthesizer)는 짧은 천이시간과 광대역의 특성을 요구하고, 전력소모도 적어야 한다. 이를 위해서 본 연구의 DDFS는 파이프라인 구조의 위상 가산기와 4개의 sine ROM을 병렬로 구성하여, 단일 sine ROM으로 구성된 DDFS에 비해 처리 속도를 4배 개선하였다. 위상 가산기의 위상 잘림으로 나빠지는 스펙트럼 특성은 위상 가산기 구조와 같은 잡음 정형기를 사용하여 보상하였고, 잡음 정형기의 출력 중 상위 8-bit만을 sine ROM의 어드레스로 사용하였다. 각각의 sine ROM은 사인 파형의 대칭성을 이용하여, $0 \sim \pi/2$ 사인 파형의 위상, 진폭 정보를 저장함으로써 $0 \sim 2\pi$ 사인 파형의 정보를 갖는 sine ROM에 비해 크기를 크게 줄였고, 어드레스의 상위 2-bit를 제어 비트로 사용하여 2π 의 사인 파형을 조합했다. 입력 클럭을 1/2, 1/4로 분주하여, 1/4 주기의 낮은 클럭 주파수로 대부분의 시스템을 구동하여, 소비 전력을 감소시켰다. DDFS 칩은 $0.8\mu\text{m}$ CMOS 표준 공정의 게이트 어레이 기술을 이용하여 구현하였다. 측정 결과 107MHz의 구동 클럭에서 안정하게 동작하였고, 26.7MHz의 최대 출력 주파수를 발생시켰다. 스펙트럼 순수도(Spectral purity)는 -65dBc 이며, tuning latency는 55 클럭이다. DDFS 칩의 소비 전력은 40MHz의 클럭 입력과 5V 단일 전원을 사용하였을 때 276.5mW이다.

ABSTRACT

A DDFS(Direct Digital Frequency Synthesizer) used in spread spectrum communication systems must need fast

*충북대학교 정보통신공학과
Dept. of C & C Eng. Chung-Buk Univ.

**한국전자통신연구소
ETRI
論文番號: 96234-0805
接受日字: 1996年 8月 5日

switching speed, high resolution(the step size of the synthesizer), small size and low power. The chip has been designed with four parallel sine look-up tables to achieve four times throughput of a single DDFS. To achieve a high processing speed DDFS chip, a 24-bit pipelined CMOS technique has been applied to the phase accumulator design. To reduce the size of the ROM, each sine ROM of the DDFS is stored $0-\pi/2$ sine wave data by taking advantage of the fact that only one quadrant of the sine needs to be stored, since the sine has symmetric property. And the 8 bit of phase accumulator's output are used as ROM addresses, and the 2 MSBs control the quadrants to synthesis the sine wave. To compensate the spectrum purity by phase truncation, the DDFS use a noise shaper that structure like a phase accumulator. The system input clock is divided clock, $1/2 * \text{clock}$, and $1/4 * \text{clock}$. And the system use a low frequency($1/4 * \text{clock}$) except MUX block, so reduce the power consumption.

A 107MHz DDFS(Direct Digital Frequency Synthesizer) implemented using $0.8\mu\text{m}$ CMOS gate array technologies is presented. The synthesizer covers a bandwidth from DC to 26.5MHz in steps of 1.48Hz with a switching speed of $0.5\mu\text{s}$ and a turing latency of 55 clock cycles. The DDFS synthesizes 10 bit sine waveforms with a spectral purity of -65dBc . Power consumption is 276.5mW at 40MHz and 5V.

I. 서 론

주파수 합성기는 다양한 기기의 주파수원으로 사용된다. 특히, 통신용 시스템에서 사용되는 주파수 합성기는 천이 속도, 대역폭, 해상도와 소비 전력 면에서 대폭적인 개선이 요구된다[1, 2]. 하나, 또는 여러 개의 주파수원으로부터 단일 출력 주파수 또는 서로 다른 여러 개의 출력 주파수를 합성하는 주파수 합성기는 합성 방법에 따라 직접 방식(direct synthesizer), 간접 방식(indirect synthesizer)과 디지털 방식(digital synthesizer)으로 크게 구분된다. 직접 방식은 천이 시간이 거의 없지만, hopping 주파수의 수가 증가할수록 시스템의 구조가 복잡해지고, 부피가 커지는 단점이 있다. 간접 방식은 PLL(Phase Locked Loop) 주파수 합성기가 대표적이며, 출력 주파수 대역이 넓고 비교적 우수한 신호 대 잡음비를 가지고 있어 현재 주파수 합성기의 주종을 이루지만, 제한 루프(feedback loop)의 특성상 동기 시간의 지연으로 fast frequency hopping system에는 적합하지 않다[3].

직접 디지털 주파수합성기(DDFS; Direct Digital Frequency Synthesizer)는 디지털 주파수 셋팅 워드(Digital Freq. Setting Word)를 아날로그 주파수로 변환시키는 장치로서 빠른 주파수 변환속도와 고해상도의 주파수 특성을 갖는 것으로 알려져 있고, 주기적 샘플링과 digital-to-analog 변환 기술로 출력 파형을 합성하는 방식이다[4]. 따라서, 광대역에서 사용이

가능하며 발생 주파수의 해상도, 안정도가 뛰어나다. 그리고, 발생 주파수의 변환시 연속적인 위상변환을 이루므로 coherent communication이 가능하며, 천이 시간이 짧아서 fast frequency hopping system에 적합하다. 이런 장점 때문에 DDFS는 복잡한 레이더, 위성 통신 기기에서부터 자동차 라디오, 가전 제품 등 다양한 분야의 주파수 합성용으로 널리 사용되며, 이에 대한 연구가 활발하게 진행되고 있다[3, 5].

본 논문에서는 DDFS의 처리 속도의 향상, 칩 면적의 축소와 저소비 전력을 위한 구조적인 개선을 하였다. 처리 속도를 개선하기 위해 병렬 구조의 다중 ROM 구성과 위상 가산기(Phase accumulator)를 파이프라인 구조로 구성하였다. 스펙트럼 특성을 보강하기 위해 잡음정형기를 부가하였다. 잡음 정형기의 출력 8 비트를 사인 ROM의 입력 어드레스 비트로 사용하여 사인 ROM의 크기를 줄였고, 각각의 사인 ROM은 사인 값 저장 압축(Storage Compression)기술을 이용한 sine look-up 테이블 방식으로 구성하여 출력 성능과 절충(Trade-off)하였다. 그리고, 시스템의 안정된 동작과 저소비 전력을 위해 입력 기준 클럭을 $1/2$, $1/4$ 로 분주하여, MUX단을 제외한 모든 블럭을 낮은 클럭으로 구동시켰다[4, 6].

본 논문의 II장에서는 일반적인 DDFS의 기본구조와 제한한 DDFS의 병렬구조에 대하여 기술하였고, 또한, 파이프라인 구조의 위상 가산기의 구성과 출력 주파수 스펙트럼의 성능과 ROM 크기의 절충(trade-off) 방법

에 대해 설명을 하였다. III장에서는 0.8 μ m CMOS 게이트 어레이 기술로 구현한 병렬 구조 DDS 칩의 측정 결과 및 토의를 서술하고, 마지막 IV장에서는 결론을 도출하였다.

II. 병렬 구조의 DDS의 구조

본 연구는 DDS의 처리 속도를 개선하고, 소비 전력 감소 및 사인 ROM의 크기를 줄일 수 있도록 설계하였다. 주파수 조정 입력이 24 비트이고, 출력이 10 비트인 병렬 구조 DDS는 NCO(Numerically Controlled Oscillators)형 24 비트 위상 가산기를 파이프라인 구조로 구성하였고, 사인 파형의 위상과 진폭 값을 저장하는 sine look-up table 방식의 사인 ROM 4개를 병렬로 구성하여 처리 속도를 개선했다. 또한, 저전력 소비를 위해서 병렬 구조의 DDS에 입력 구동 클럭을 1/2, 1/4로 분주하여 사용하였고, spectral purity를 개선하기 위해서 잡음 정형기를 부가하였다. 사인 ROM의 어드레스 비트는 잡음 정형기의 출력 8 비트를 사용하여, 사인 ROM의 크기를 줄였다. 직접 디지털 주파수 합성기의 기본 구조는 (그림 1)에서와 같이 위상 변화를 누적하는 위상누산부(Phase Accumulator Part), 위상 변화에 따른 사인 값을 계산하는 사인 함수

계산부(Sine Function Computation Part)와 발생된 디지털 정현파를 아날로그 신호로 변환시키는 디지털-아날로그 신호 변환기부(Digital-to-Analog Converter Part)로 구성된다. 따라서, 동작 원리는 다음과 같다. 매 클럭 주기마다. 위상의 증가를 나타내는 일련의 워드(~수 비트)는 누산기의 내용이 출력 신호의 위상 값과 비례하도록 디지털 누산기에서 가산된다. 또한, 매 클럭 주기마다 누산기의 값이 사인 함수 계산부에 전달되어 사인 값을 계산하고 발생된 디지털 출력 데이터를 아날로그 신호로 변환시켜 사인 파형을 출력시킨다[7].

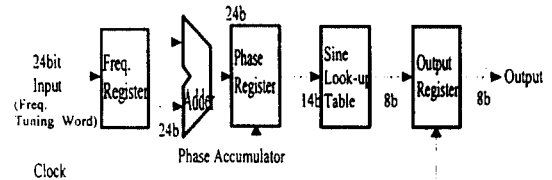


그림 1. DDS(Direct Digital Frequency Synthesizer)의 일반적인 구조

Fig. 1 Block Diagram for Conventional DDS(Direct Digital Frequency Synthesizer)

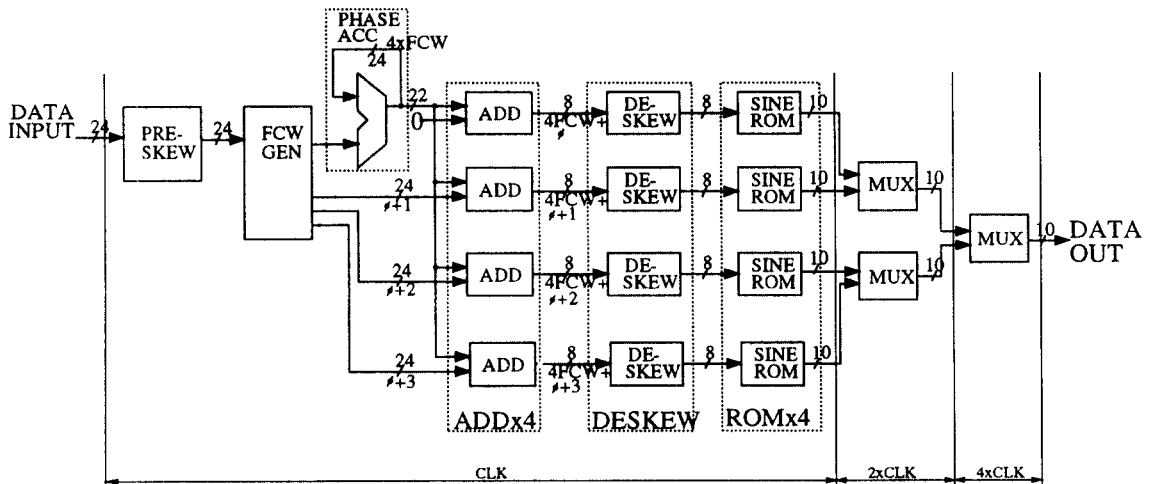


그림 2. 제안된 24-bit 병렬 구조 DDS의 전체 블록도

Fig. 2 Block Diagram for 24-bit DDS using Pipelined Structured Multi-ROM

(그림 2)는 제안된 병렬 구조의 24 비트 DDFS 칩의 전체 블록 구성도이다. 병렬 구조의 DDFS는 클럭 발생기(Clock generator), FCW_GEN(Frequency control word generator), Preskew 레지스터, 파이프라인 구조의 위상 가산기, 잡음 정형기(Noise shaper), 덧셈기, Deskew 레지스터, 병렬 구조의 Sine Look-up table, 2단의 MUX로 구성되고, 출력 형태를 다양화하기 위해서 OBN(Offset Binary Number) 선택 기능을 갖는 제어 회로를 부가하였다.

1. 클럭 발생기와 FCW_GEN

클럭 발생기에서는 입력되는 기준 클럭을 분주하여, 시스템의 공통 클럭으로 사용한다. 즉, 입력 클럭(CLK)을 각각 $1/4 \times CLK$, $1/2 \times CLK$, CLK , 3개의 주파수로 분주한다. MUX를 제외한 대부분의 시스템 블록에 $1/4 \times CLK$ 을 사용하며, MUX단에 $1/2 \times CLK$, CLK 을 사용한다. 예를 들어, 입력 클럭 주파수가 200MHz이면, 클럭 발생기에 의해서 50MHz, 100MHz, 200MHz

로 분주된다. 따라서, (그림 2)의 블럭도와 같이 대부분의 블록은 가장 낮은 주파수를 사용하여 안정된 동작을 할 수 있으며, 소비 전력은 주파수에 비례하므로 전체 시스템의 소비 전력을 감소시킬 수 있다[8].

FCW_GEN에서는 서로 다른 위상 값을 갖도록 ϕ , $\phi+1$, $\phi+2$, $\phi+3$ 의 위상으로 주파수 조정 입력 워드들을 지정(setting)한다. 그리고, 각각 다른 주파수 조정 입력 워드와 위상 가산기의 출력은 덧셈기에서 더해져서 Sine Look-up table의 어드레스로 입력된다. 즉, FCW_GEN와 위상 가산기의 출력은 병렬 구조 Sine Look-up table에 각각 다른 위상의 어드레스를 지정하여, 4개의 Sine Look-up table의 출력이 ϕ , $\phi+1$, $\phi+2$, $\phi+3$ 의 위상 값에 해당하는 사인 파형의 정보를 동시에 출력시킬 수 있도록 어드레스의 위상 값을 지정하는 역할을 한다.

2. 파이프라인 구조의 위상 가산기와 잡음 정형기 DDFS의 처리 속도를 높이기 위해서 (그림 3)과 같

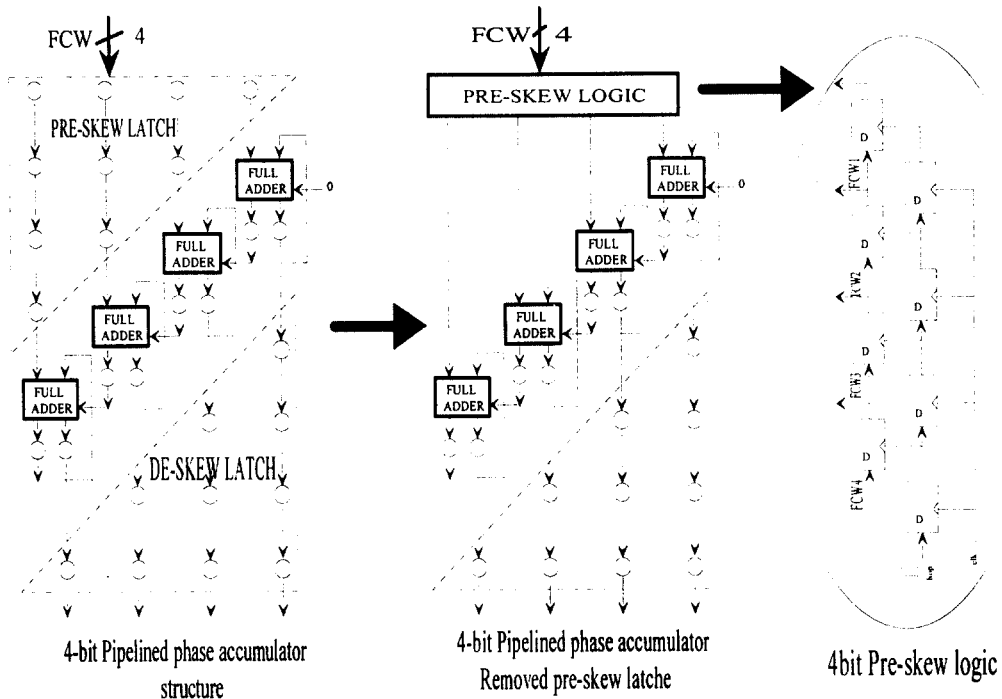


그림 3. 파이프라인 구조의 위상 가산기
Fig. 3 Pipelined Structure Phase Accumulator

이 위상 가산기를 파이프라인 구조로 구성하였다. 위상 가산기는 전단의 FCW_GEN 출력을 입력으로 사용하고, Preskew 레지스터는 입력되는 24 비트의 주파수 조정 입력 데이터가 bit parallel하게 FCW_GEN에 접속이 가능하도록 한다. 그러나, Preskew 레지스터의 기능은 단지 주파수 조정 입력 데이터의 상위 비트와 하위 비트를 bit parallel하게 출력시킴으로, (그림 3)과 같이 수정된 회로를 사용하면, (식 1)과 같은 비율로 래치의 수를 줄일 수 있다.

$$R = \frac{2}{(N-1)} \times 100 (\%) \quad (1)$$

여기서, R은 수정된 회로를 사용한 경우와 일반적인 회로를 사용한 경우를 비교하여, 래치 수가 줄어든 비율을 나타내고, N은 입력 어드레스의 비트 수이다.

위상 가산기는 주파수 조정 입력 데이터가 지정하는 주파수의 위상 값을 계산한다. (그림 4)는 위상 가산기의 출력이 선형적으로 증가하는 디지털 값임을 보여주는 시뮬레이션 결과로 24 비트 전가산기로 구성된 위상 가산기가 매 클럭마다 연속적으로 위상 값을 누산하고, 발생되는 carry는 다음 상위 비트 전가

산기로 입력되며, 마지막 비트의 전가산기에서 carry를 overflow 시켜서 일정한 주기가 만들어지는 것을 보여준다.

위상 가산기의 주파수 조정 입력 데이터 비트 수는 주파수 해상도와 위상 증가 값을 고려하여 결정하는데 대부분 12~32 비트를 사용한다. 그리고, 위상 가산기의 상위 비트만을 Sine Look-up table의 어드레스 비트로 사용하기 때문에 이로 인한 위상 잘림(Phase truncation)이 발생한다. 이 위상 잘림과 Sine Look-up table의 한정된 데이터는 출력에서 오차(error)를 발생시키고, 이 오차는 출력 스펙트럼에서 백색 잡음(white noise)을 일으킨다. 본 연구에서는 이와 같은 스펙트럼의 특성을 보상하기 위해서 잡음 정형기를 부가하였다[9].

(그림 5)는 위상 가산기와 같은 구조를 갖는 잡음정형기 구조를 나타낸다. 위상 가산기의 24-bit 출력이 잡음 정형기의 입력으로 사용되고, 잡음정형기의 출력이 각 Sine Look-up table의 입력 어드레스로 사용됨으로 주파수조정 워드의 위상 값에 해당하는 FCW_GEN의 출력을 덧셈기에서 가산하여, 가산된 24 비트의 출력 중 상위 8 비트인 $4 * FCW + \phi$, $4 * FCW$

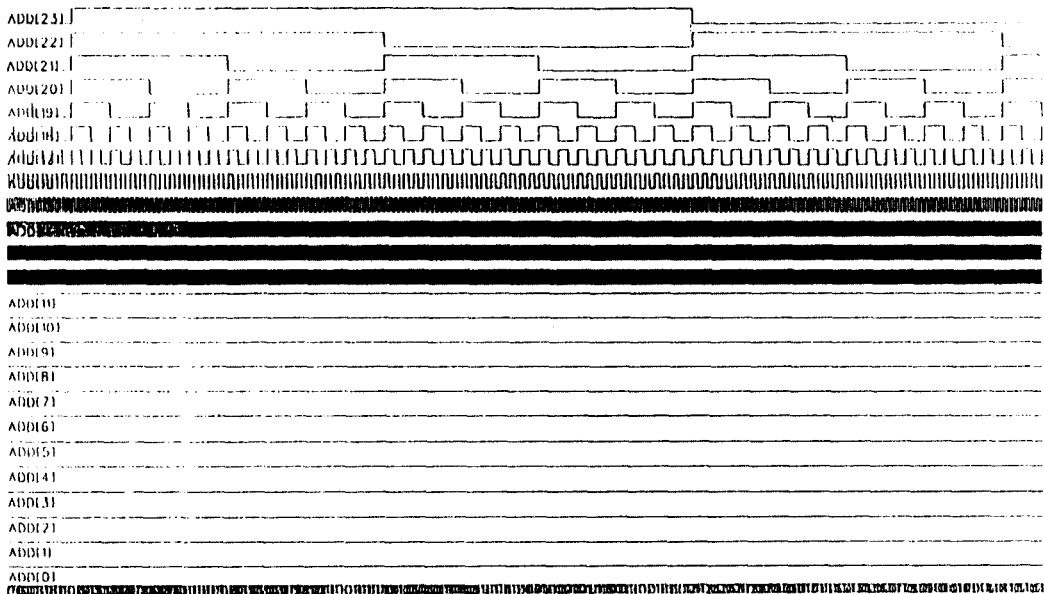


그림 4. 24-bit 위상 가산기의 시뮬레이션 결과
Fig. 4 Simulation Results of 24-bit Phase Accumulator

$+(\phi +1), 4*FCW +(\phi +2), 4*FCW +(\phi +3)$ 를 출력한다. 따라서, 하위 비트에서의 위상 잘림에 의해 발생하는 잡음을 제거하고, 전단 위상 가산기의 클리치를 제거하며, 저역 필터의 역할도 한다[9]. 또한, 잡음 정형기의 상위 8 비트 출력을 Sine Look-up table의 어드레스 비트로 사용함으로써 Sine Look-up table의 크기를 줄였다.

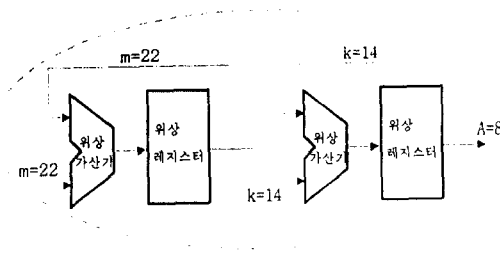


그림 5. 잡음 정형기의 블럭도
Fig. 5 Block Diagram for Noise Shaper

4개의 Deskew 레지스터는 잡음 정형기의 8 비트 출력을 Sine Look-up table에 bit parallel하게 입력시킨다. 따라서, 각각의 Deskew 레지스터는 일반적인 24 비트의 DDFS에서 사용하는 래치 수와 비교하여 8 비트만을 사용함으로써 래치의 수를 줄였다.

(식 2)는 위상 가산기의 주파수 조정 입력 데이터가 L 비트이고, 위상 증가 수가 P-word 일 때의 DDFS 출력 주파수(F_{out})를 나타낸다.

$$F_{out} = F_{clk} \times \frac{P}{2^L} \quad (2)$$

예를 들어 24 비트의 주파수 조정 입력 데이터를 갖는 DDFS에 33.554MHz를 기준 입력 클럭으로 사용할 경우, DDFS의 최대 출력 주파수는 (식 2)를 사용하면 이론적으로 $F_{clk}/2$ 이고, 주파수 해상도(resolution)는 2Hz이다. 그러나, DDFS가 2의 정수배에서 안정된 주파수 출력을 발생하는 특성상 $F_{clk}/4$ 인 8.39MHz를 최대 출력 주파수로 사용한다[5]. (식 3)은 위상 가산기에 의해 발생하는 주파수의 해상도(F_{res})이다.

$$F_{out} = \frac{P}{2^L} \times F_{clk} \quad (3)$$

3. 병렬 구조의 다중 사인 롬(Sine ROM)

사인 ROM에 입력되는 어드레스 비트 수(L)에 따라 ROM의 크기는 2^L 으로 증가하며, ROM에 저장된 사인 샘플 수가 증가함에 따라 저장 용량이 커진다. <표 1>은 어드레스에 따른 사인 데이터 비트 수이다. 사인 ROM 크기를 축소하기 위해서는 ROM 어드레스 비트 수와 샘플링 수를 줄여야 하지만, 출력 스펙트럼의 성능이 떨어지므로 출력 성능과 ROM의 크기를 고려하여야 한다[4].

표 1. 어드레스 수에 따른 데이터 비트 수

어드레스 수	8	10	14	24
데이터 비트수	256 비트	1,024 비트	16.38k 비트	16.7M 비트

병렬 구조 DDFS는 사인 ROM의 크기를 감소시키기 위해서, 앞에서 언급한 잡음 정형기의 출력 8비트를 사인 ROM의 어드레스로 사용하였다. Sine look-up table 방식으로 구성된 사인 ROM은 사인 값 저장 압축(Storage compression)기술을 이용하였으며, 칩 면적과 ROM access 속도를 고려하여 논리 조합 회로(combination logic circuit)로 구성하였다. 사인 파형의 대칭적인 특성을 이용하는 사인 값 저장 압축 기술은 $0 \sim \pi/2$ 에 해당하는 사인 파형의 데이터 값만을 Sine look-up table에 저장하며, 완전한 $0 \sim 2\pi$ 의 사인 파형을 출력하기 위해서, 잡음 정형기의 8 비트 출력 중 상위 2 비트를 sign과 quadrant 제어 비트로 사용하였다. 즉, DDFS의 출력 샘플 수는 사인 ROM이 1/4주기당 64-level의 값을 저장하고 있으므로, 24 비트의 주파수 조정 입력 데이터 중 18번째 비트를 선택했을 때, 사인 파형의 한 주기 샘플 수는 256개이다.

4. MUX 블록 설계

MUX 블록은 4단의 병렬구조로 연결된 사인 ROM 각각의 출력단에서 발생하는 계단 파형의 출력 데이터를 조합하여 완전한 한 개의 사인 파형의 데이터 값으로 재조합하는 기능을 하며, 2 단의 MUX로 구성하였다. 4개의 사인 ROM에서는 위에서 언급한 잡음 정형기의 출력을 어드레스로 사용하여 위상이 다른 사인 파형 데이터를 출력하고, 2단의 MUX는 각각 $1/2 \times CLK$ 과 CLK 을 사용하여 사인 파형의 데이터를 합성한다. (그림 6)은 병렬 구조 DDFS의 MUX

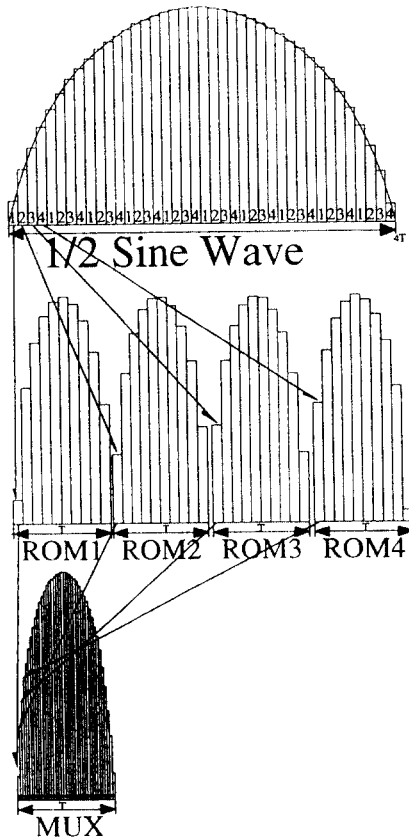


그림 6. MUX단에서의 Sine Look-up table에서 출력 조합
Fig. 6 Sine Wave Reconstruction through Multiplexer

단에서 각각의 ROM에서 출력하는 서로 다른 위상의 데이터를 조합하여 단일 출력 사인 파형을 형성하는 방법을 나타낸다. 또한, (그림 7)은 단일 ROM과 다중 ROM을 사용한 DDFS의 출력을 Logic Simulator에서 시뮬레이션한 결과로서 병렬 구조의 DDFS의 출력 효율이 4 배임을 나타낸다.

Ⅲ. 구현 및 측정 결과 토의

설계한 병렬 구조의 다중 롬 DDFS의 레이아웃(layout)과 시뮬레이션은 Logic Simulator를 이용하였으며, 0.8 μ m CMOS 게이트 어레이 표준 공정기술로 칩을 구현하였다. 디바이스의 레이아웃은 Logic Simulator의 gate compiler에서 수행하였고, base array는 20,000 gate급의 게이트 어레이 원판을 사용하였다. 설계 후 physical layout으로 변형하기 위해 merge 과정을 거쳤으며, 배치/배선 과정에서 추출한 net 저항과 부하 캐패시턴스 값을 고려한 배치/배선 후 시뮬레이션(post simulation)에서 정상 동작함을 확인하였다. (그림 8)에서는 다중 ROM DDFS의 칩 사진이며, 웨이퍼 제작 후 기능을 확인을 위한 테스트를 수행하였다. 24 비트의 주파수 조정 입력 비트 중 상위 1 비트를 제외한 23 비트와 출력 10 비트 등 44핀을 사용하였고, 부족한 패드는 double bonding으로 처리하여 wafer back lapping을 거쳐 패키지에 실장 하였다.

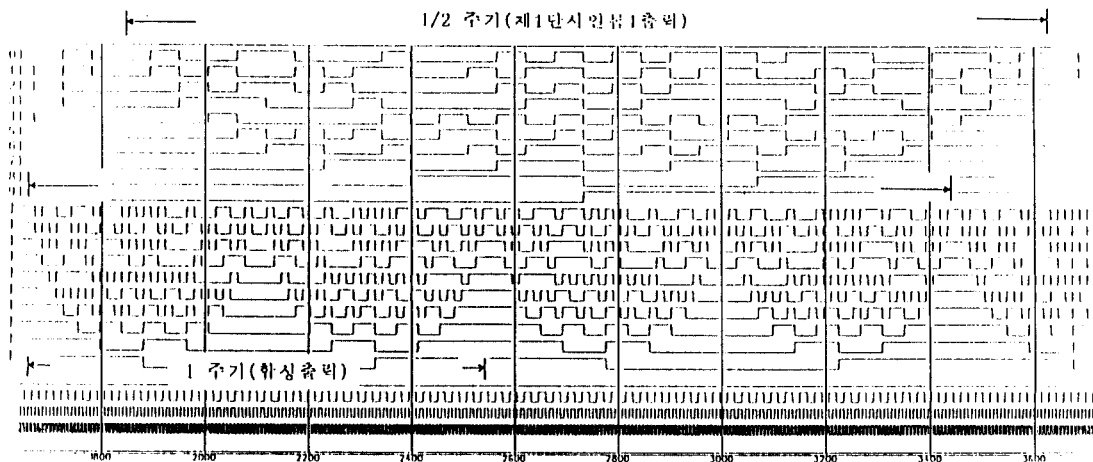


그림 7. 단일 ROM과 다중 ROM을 사용한 DDFS의 시뮬레이션 결과(COMPASS 0.8 μ m)
Fig. 7 Simulated Waveforms of Single-ROM DDFS and Multi-ROM(COMPASS 0.8 μ m)

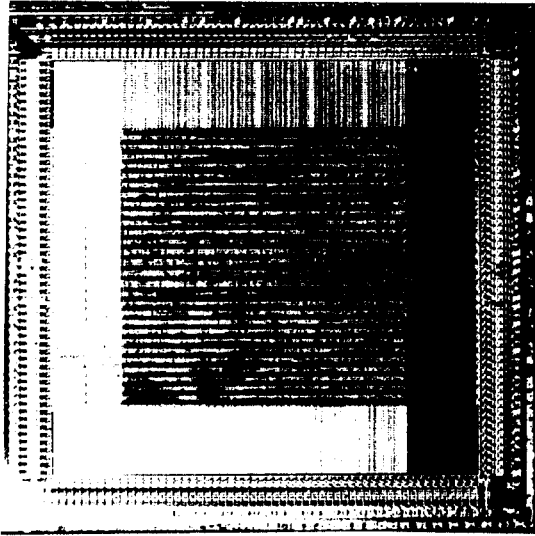


그림 8. 다중 ROM DDFS의 chip 사진
Fig. 8 Picture of Multi-ROM DDFS chip

패키지된 다중 ROM DDFS는 테스트 보드에서 테스트를 하였고, 측정 장비는 HP54504A 디지털 오실로스코프와 HP8563 스펙트럼 분석기를 사용하였다. <표 2>에서 SOG로 구현한 DDFS 칩의 대표적인 특성을 요약하였다.

표 2. DDFS 칩의 특성

Technologies	0.8μm Twin-well 2-Poly 2-Metal CMOS SOG
Die Size	6.866mm × 6.766mm
Gate Count	16107.75gates/20,000gate _극 base array
Max. Clock Freq	107MHz
Power Consumption	I _{cc} = 54.5mA @ 5V, 40MHz
Output Word Length	10 bits
Tuning Latency	55 Clock Cycles
Tuning Bandwidth	0~53.5MHz @Max, 107MHz

(그림 9)는 8 비트 DAC을 통과하여 발생하는 계단 파형의 아날로그 출력을 나타내고 있으며, 주파수 조정 입력의 상위 비트를 선택할수록 샘플수가 적어지고, 주기도 짧아지는 것을 알 수 있다. (그림 10)은 33.55MHz의 기준 클럭을 입력하였을 때, 8.39MHz의 출력 주파수를 8 비트 DAC과 저역 통과 필터를 거쳐 나

온 출력 스펙트럼을 보여주고 있다. Worst Case Spurious는 -42dBc이고, Spurious signal level은 -65dBc로 10 비트의 해상도를 갖는 DAC을 사용하면 스펙트럼 특성이 더욱 개선될 것으로 예측할 수 있다. (그림 11)은 입력 클럭이 최고 107MHz일 때 26.7MHz의 출력 주파수를 가지는 안정된 사인 파형을 보여주고 있다. 일반적으로 0.8μm CMOS 게이트 어레이로 구현한 ASIC 디바이스의 최대 동작 속도는 60MHz 내외이다. 그러나, 다중 ROM을 갖는 DDFS는 클럭 발생기에서 분주된 1/4×CLK을 MUX단을 제외한 시스템의 클럭으로 사용하여, 시스템이 안정된 동작을 할 수 있도록 하였고, 파이프라인 구조의 위상 가산기와 병렬 구조의 ROM으로 처리 속도를 개선시켜, 최고 107MHz의 클럭 입력에서 안정된 사인 파형이 발생됨을 확인하였다.

소비 전력의 측정 결과에서 약 16,000개의 게이트를 갖는 병렬 구조 Multi-ROM DDFS의 동작 전류(dynamic current)는 I_{dynamic} = 55.29mA (@40MHz, 5V)임을 확인하였다. 이것은 약 6,400개의 게이트를 가지는 Single ROM DDFS의 측정 결과(I_{dynamic} = 62mA, @40MHz, 5V)[7]와 비교해 볼 때, 게이트 수는 3배로 증가했지만, 소비 전력은 게이트당 1/3로 줄인 결과임을 알 수 있다.

일반적으로 CMOS 디바이스의 소비 전력의 관계식은 다음 식들과 같이 나타내고 있다[8].

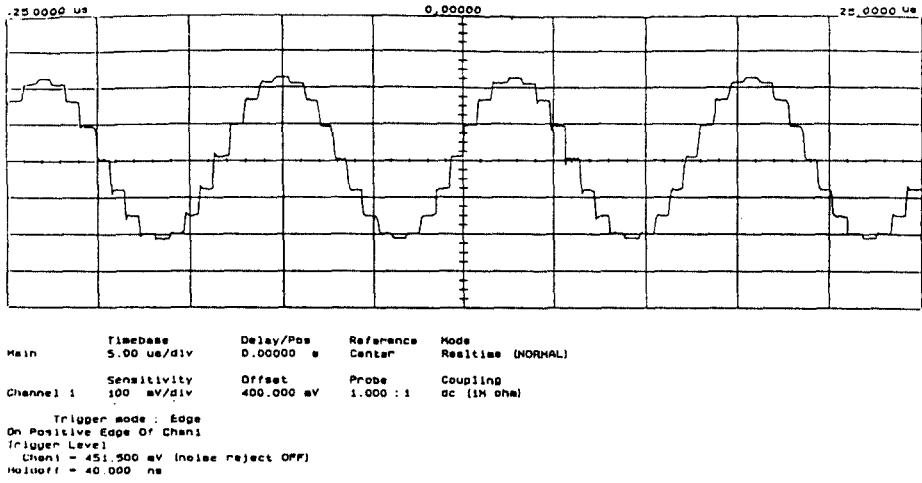
$$P_{reference} = C_{ref} \times V_{ref}^2 \times f_{ref} \quad (4)$$

$$P_{parallel} = 2.15 C_{ref} \times \left(\frac{V_{ref}}{1.7}\right)^2 \times \frac{f_{ref}}{2} \quad (5)$$

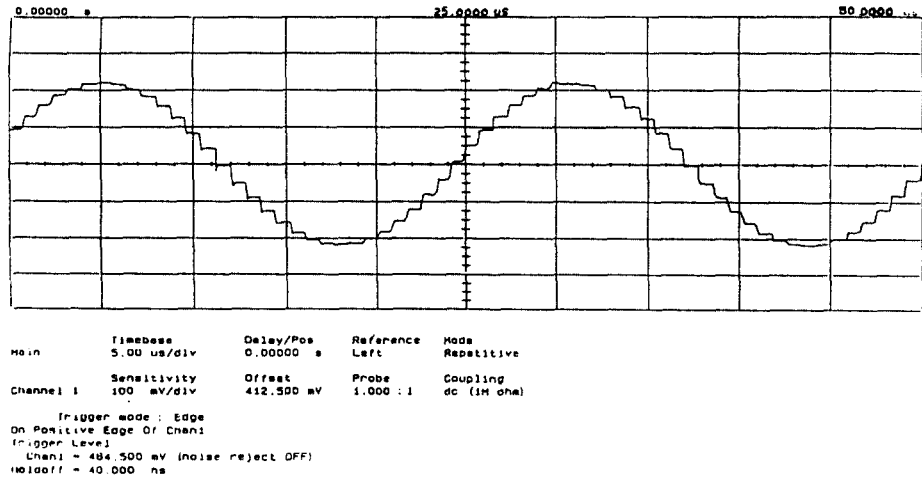
$$P_{pipeline} = 1.15 C_{ref} \times \left(\frac{V_{ref}}{1.7}\right)^2 \times f = 0.39 \times P_{ref} \quad (6)$$

$$\left(\begin{array}{l} P_{reference}: Reference Power Consumption \\ P_{parallel}: Parallel Structure Power Consumption \\ P_{pipeline}: Pipeline Structure Power Consumption \\ C: Capacitance, \quad V: Voltage \\ f: Frequency \end{array} \right)$$

(식 4)에서와 같이 CMOS 디바이스의 소비 전력은 동작 주파수에 비례하고, 파이프라인 구조와 병렬 구조로 설계한 디바이스의 소비 전력은 (식 5와 6)에서와



(a)



(b)

그림 9. 필터를 거치지 않았을 때 발생되는 계단 파형

(a) 주파수 선택 비트의 19를 high

(b) 주파수 선택 비트의 18을 high

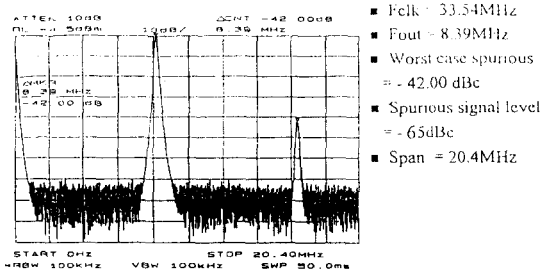
Fig. 9 Output of DDFS removed filter

(a) FCW(Frequency Control Word) 19-bit high

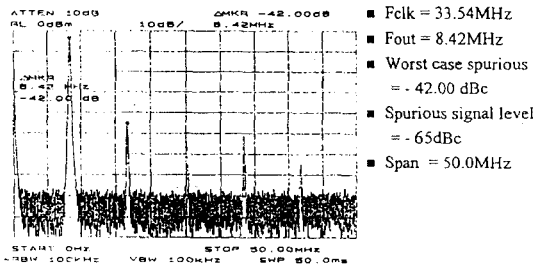
(b) FCW(Frequency Control Word) 18-bit high

같이 줄일 수 있다[8]. 본 연구에서 설계한 Multi-ROM DDFS는 파이프 라인 구조와 병렬 구조를 채택하고,

낮은 주파수에서 대부분의 회로를 동작시켜, 위의 수식들과 같은 측정 결과를 얻었다.



(a)



(b)

그림 10. 필터를 거친 출력 스펙트럼(33.55MHz의 클럭 입력, 8.39MHz의 출력)

(a)SPAN 20.4MHz (b)SPAN 50MHz

Fig. 10 Output Spectrum using filter(Input : 33.55MHz, Output : 8.39MHz)

(a)SPAN 20.4MHz (b)SPAN 50MHz

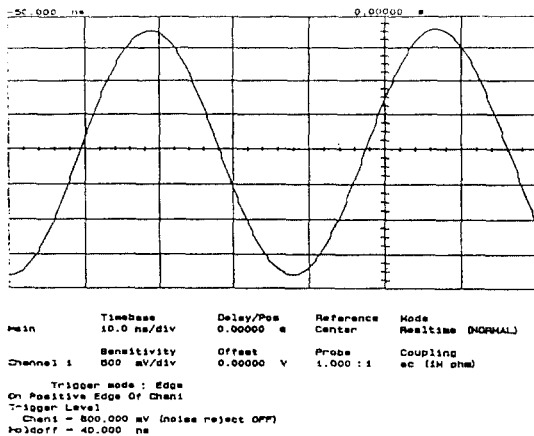


그림 11. 입력 클럭 107MHz일 때, 26.7MHz의 주파수의 사인 파형

Fig 11 26.7MHz Sine waveform of DDFS(Clock input 107MHz)

IV. 결론

본 논문은 Spread spectrum 통신 시스템 등에 사용되는 DDFS의 처리 속도, 소비 전력, 시스템 크기를 개선하기 위한 구조적인 설계를 하였다. 이를 위해서 첫째, 4개의 병렬 구조 sine look-up table을 사용하였고, 24 비트의 위상 가산기를 파이프라인 구조로 설계하여 처리 속도를 개선하였고, 둘째, 사인 값 저장 압축 기술과 잡음 정형기의 출력을 사인 ROM의 어드레스 입력으로 이용하여 ROM의 크기 감소와 처리 속도를 개선시켰으며, 부가된 잡음 정형기로 스펙트럼 특성을 보강했다. 셋째, 클럭 발생기로 시스템의 입력 주파수를 분주하여, MUX단을 제외한 모든 회로를 입력 클럭의 1/4×CLK인 낮은 주파수의 클럭으로 구동시켜 소비 전력을 감소시켰다. 이 설계 개선을 통해 0.8μm CMOS 게이트 어레이 기술로 구현한 병렬 구조의 DDFS는 최대 동작 주파수가 107MHz이고, Tuning latency는 55 클럭 주기이다. 주파수 해상도(resolution)는 입력 클럭이 107MHz일 때 6.4Hz이고, 대역폭은 53.5MHz이다. 또한, 10 비트의 출력을 가지는 DDFS의 Spurious signal level은 -65dBc이고, 5V의 단일 전원에서 40MHz의 구동 클럭 입력 시 소비 전력은 276.5mW이다.

참고 문헌

1. Akihiro Yamagishi, Masayuki Ishikawa, Tsukahara, Shigeru Date, "A 2-V, 2-GHz Low-Power Direct Digital Frequency Synthesizer Chip Set for Wireless Communication", *IEEE 1995 CICC*, pp. 319-322, 1995.
2. Loke Kun Tan, Henry Samueli, "A 200MHz Quadrature Digital Synthesizer/Mixer in 0.8μm CMOS", *IEEE J. Solid-State Circuits*, vol. 30, pp. 193-200, Mar. 1995.
3. Henry T. Nicholas, III, Henry Samueli, "A 150MHz Direct Frequency Synthesizer in 1.25μm CMOS with -90dBc Spurious Performance", *IEEE J. Solid-State Circuits*, vol. 26, pp. 1959-1969, Dec. 1991.
4. Fang Lu, Henry Samueli, Yuan Ji-ren, Christer Svensson, "A 700-MHz 24-b Pipelined Accumu-

- lator in 1.2- μm CMOS for Application as a Numerically Controlled Oscillator”, *IEEE J. Solid-State Circuits*, vol. 28, pp. 878-886, Aug. 1993.
5. Joseph F. Garvey and Daniel Babitch, “An Exact Spectral Analysis of A number Controlled Oscillator Based Synthesizer”, *IEEE Forty-Fourth Annual Symposium on Freq. Contral*, pp. 511-521, 1990.
 6. Albert L. Bramble, “Direct Digital Frequency Synthesis”, *US Army ERADCOM*, Ft. Monmouth, NO, 07703, pp. 406-415, May. 1981.
 7. 김대용외 2인, “휴대 단말기 시스템에 장착할 혼합형 주파수 합성기 구조 연구 기초 연구 보고서”, 한국 전자 통신 연구소, 1995. 3월.
 8. 최준립, “저전압 고속 VLSI설계의 실제적 문제와 해결책”. *저전압, 저전력 VLSI Workshop*, pp. 140-155, 1995년 11월.
 9. Paul O’Leary and Franco Maloberti, “A Direct-Digital Synthesizer with Improved Spectral Performance”, *IEEE Transations on Communications*, vol. 39, pp. 1046-1048, July. 1991.
 10. Loke K. Tan, Edward Roth, Gordon E. Yee, Henry Samueli, “An 800MHz Quadrature Digital Synthesizer with ECL-Compatible Output Drivers in 0.8 μm CMOS”, *ISSCC 95*. pp. 258-259, 1995.
 11. 이종선, 유영갑, 김대용, “The DDFS design with Multi-ROM and Noise Shaper”, 제 3회 한국 반도체 학술 대회, pp. 515-516, 1996년 2월.
 12. Yuan Ji-ren, Ingemar Karlsson, and Christer Svensson, “A True Single-Clock Dynamic CMOS Circuit Technique”, *IEEE J. Solid-State Circuits*, vol. SC-22, pp. 899-901, Oct. 1987.
 13. 이종선, 유영갑, 김대용, “병렬 구조의 직접 디지털 주파수 합성기의 설계”, 1996년도 통신학회 하계 종합학술발표회, pp. 638-641, 1996년 7월.



李 鍾 先(Jong Sun Lee) 정희원

1969年 4月 7日生

1995年 2月:충북대학교 정보통신공학과 졸업(학사)

1997年 2月:충북대학교 정보통신공학과 대학원 졸업(석사)

1995年 11月~1996年 3月:ETRI

ASIC설계 연구실 위촉연구원

1996年 11月~현재:(주)한국통신카드 연구원

※주관심분야:고속 시스템 설계, ASIC 설계



金 大 容(Dae Yong Kim)정희원

1949年 8月 13日生

1988年:University of Texas, Austin 전기과(박사)

1977年 9月~현재:한국전자통신연구소 책임 연구원

1992年 3月~현재:충북대학교 정보통신공학과 겸임 교수

※주관심분야:ASIC 설계



劉 泳 甲(Younggap You)정희원

1948年 3月 22日生

1975年:서강대학교 전자공학과 졸업(공학사)

1981年:미시간 대학교(미국) 전기전산공학과(공학석사)

1986年:미시간 대학교(미국) 전기전산공학과(공학박사)

1975年 8月~1979年 8月:국방과학연구소 연구원

1986年 2月~1988年 2月:(주) LG 반도체 책임연구원

1988年 3月~現在:충북대학교 정보통신공학과 교수

1988年 10月~1989年 12月:(주) 한국실리콘 기술고문

1993年 1月~1994年 12月:대한전자공학회 충북지부장

1993年 8月~1994年 8月:아리조나 대학교(미국) 객원 교수

1994年 5月~1995年 4月:Radiance Communication, Inc., (미국) 기술고문

※주관심분야:Computer architecture, memory testing, 고속시스템 설계, HDTV, ATM, 가변의 항공기 제어등