

고속 통신망을 위한 공정성 링 프로토콜에 관한 연구

正會員 金東淵*, 宋明烈**, 張民錫***

A Study on the Fairness Ring Protocol for High-Speed Networks

Dong-Yon Kim*, Myong-Lyol Song**, Min-Seok Jang*** *Regular Members*

요 약

본 논문에서는 고속 통신망을 위한 새로운 공정성 링 프로토콜을 제안한다. 목적지 소거 기법을 이용한 링 네트워크는 채널 전송속도 보다 훨씬 높은 네트워크 처리율(throughput)을 얻을 수 있다. 그러나 이러한 네트워크는 노드간의 공정성에 문제점을 내포하고 있다. 지난 몇 년간 이러한 문제점을 해결하기 위한 전역 공정성(global fairness) 알고리즘인 ATMR과 Metaring 등이 제안되고 있다. 그러나 이러한 프로토콜들은 링 액세스 지연 시간 및 공정성 측면에 있어서, 네트워크 환경(망의 크기 및 트래픽 분포 등) 변화에 대하여 민감한 영향을 받고 있다.

또한, 모든 노드에게 공정한 링 액세스 기회를 보장하는 것 이외에 망의 성능 관점에 있어서 다른 중요한 것은 높은 처리율을 유지하며 공정성을 보장하는 것과 링 액세스 지연 특히, 노드의 전송 버퍼에 있는 첫번째 셀이 링에 액세스하기 전까지 대기하는 Head-Of-Line(HOL) 지연 등이 있다. HOL 지연은 동기 트래픽 전송의 전송지터(transmission jitter)에 있어서 중요한 성능 평가 요소가 되고 있다.

제안된 링 프로토콜에서 사용되는 중요한 개념은 독립적으로 분산된 노드 구조에서, 링 네트워크의 공정성을 보장하기 위하여 다른 노드들에 비해 상대적으로 링에 많이 액세스하는 노드들을 찾아내어 목적지에서 소거된 셀의 일부를 자신이 사용하지 않고 하위 노드의 링 액세스 기회를 제공하는 것이다.

본 논문에서 제안한 공정성 링 프로토콜의 성능을 분석하기 위하여 다양한 조건에서 시뮬레이션 패키지(SIMAN/UNIX)를 이용하여 얻은 HOL지연, 링 액세스 지연 시간 및 처리율 등과 같은 네트워크 성능을 기존의 고속 링 프로토콜인 ATMR, Metaring과 비교, 분석하였다.

ABSTRACT

For high-speed networks, a new ring protocol is proposed in this paper. A ring network combined with destination removal can achieve much higher network throughput than the channel transmission rate. However, such a

*국립안성산업대 전자공학과

**호서대학교 정보통신학과

***연세대학교 전자공학과

論文番號:96172-0612

接受日字:1996年 6月 12日

network exhibits fairness problems. Over a past few years, global fairness algorithms such as ATMR and Metaring have been proposed to solve such problems. But the ring access time delay and fairness in such networks are sensitive to the network parameters such as network size and traffic distribution.

In addition to guaranteeing fair ring access to all nodes, there are several other important performance aspects in such networks. The one is that fairness is enforced while node throughputs are kept as high as possible. And another performance measure is access delay and more specifically Head-Of-Line(HOL) delay, i.e., the amount of time the first cell in the transmission buffer of a node has to wait before it accesses the ring. HOL delay is a major component in the transmission jitter of the synchronous traffic transmission.

A key idea of the proposed ring protocol is to find the nodes that have much more chances to access the ring than any other nodes in the independently distributed node architecture. Since destination released cells affect on the performance and fairness of ring networks under heavy loads, the nodes destined by many cells need to share a part of the bandwidths with the next node for the fairness in as much as performance degradation does not become critical.

To investigate the performance behavior of the proposed ring protocol for various network conditions, several performance parameters such as ring access time delay, and throughput are compared with those of the ATMR and Metaring protocols using simulation package, SIMAN.

I. 서 론

최근의 정보통신 기술 발달과 멀티미디어 서비스와 같은 사용자 요구가 증대함에 따라 새로운 고속의 정보통신 프로토콜의 개발과 트래픽 제어 기술에 관한 관심이 높아지고 있는 추세이다. 특히 광 통신 기술의 발달은 고속의 정보 전송이 가능하게 하였을 뿐만 아니라, 대역폭을 크게 증가시켜 다양한 서비스를 충분히 전송할 수 있는 계기를 마련하여 주었다. 따라서 고속 통신망에 공통적으로 사용될 수 있는 고속 프로토콜에 대한 필요성이 크게 대두되고 있다[1, 2].

링형 토폴로지에서의 고속망 프로토콜은 데이터를 일정 길이의 세그먼트 단위로 송신함으로써 규칙적인 액세스가 가능하도록 하여 매체의 이용율을 높이며, 목적지 노드에서 셀을 소거하여 망의 속도보다 더 높은 전달 능력을 가지는 특성이 있다. 또한 동일한 매체 속도로써 최대의 전송 능력을 발휘하기 위하여 슬롯 재사용 기능을 가장 효율적으로 적용할 수 있는 이중 링 형태의 토폴로지를 사용한다[3, 4]. 따라서, 고속망 프로토콜에 대한 연구는 목적지 노드에서 셀을 소거하는 링 토폴로지를 적용한 방식에 대하여 집중적으로 이루어지고 있다.

그러나 링 토폴로지에서의 이러한 목적지 노드 소거

기법은 높은 처리율을 보장해 주는 반면, 입력 트래픽의 목적지 분포에 따라서 어떤 노드는 상위 노드의 트래픽에 의하여 오랜 시간 동안 링을 액세스할 수 없는 기근 현상(starvation)이라는 바람직하지 못한 상황이 발생될 수 있으며, 이러한 현상은 특히 전송 지연 간에 민감한 동기성 데이터에 대하여 치명적이다[5, 6]. 이에 따라 링형 토폴로지를 갖는 고속 통신망 프로토콜에 있어서 목적지 노드 소거 방식에서 발생하는 불공정성 해결 방법, 우선 순위제어 및 동기 데이터 수용 방법 등이 주요 연구 목표가 되어 왔다.

모든 노드에 공정한 액세스 기회를 부여하기 위하여 Orwell Ring, ATMR에서는 주기적인 리셋 셀을 통하여 각 노드가 송신할 수 있는 셀의 개수를 할당하며, Metaring에서는 토큰과 유사한 제어 신호를 회전시키고 그 제어 신호가 노드를 통과할 때마다 송신할 수 있는 셀의 개수를 할당하는 방법을 사용하고 있다. 그러나, Orwell Ring과 ATMR은 리셋이 발생할 때마다 오버헤드에 의하여 링 지연에 비례하는 대역폭 손실이 발생함으로 링 지연이 길어지는 고속 망에 적용 시 처리율이 저하되는 단점이 있다. Metaring에서는 공정성 유지를 위한 오버헤드가 거의 없으므로 대역폭 손실이 거의 발생되지 않는 구조를 가지고 있다. Metaring에서는 멀티미디어 트래픽 전달을 위하

여 실시간 전달 또는 적은 전달 지연 편차가 요구되는 동기 데이터와 전달 지연이 문제되지 않는 비동기 데이터로 구분하여, 동기 데이터는 비동기 데이터보다 우선적으로 송신되도록 하였다. 또한 비동기 데이터는 여러 단계의 우선 순위를 부여하여 높은 우선 순위 셀을 우선적으로 송신하도록 하였으나, 토큰과 유사한 기능을 수행하는 SAT(SATisfied) 제어 신호가 링을 회전하는 동안에 전송 가능한 셀의 개수를 나타내는 쿼터가 노드별로 할당되므로 우선 순위별 공정성이 유지되지 않거나, 스케줄러에 의하여 주기적으로 각 우선 순위의 쿼터 크기를 결정하므로[9], 트래픽이 급격하게 변화하는 경우 처리를 저하의 원인이 될 수 있다. ATMR에서는 최대 전달 지연을 규정 값 이내로 제한하는 우선 순위 제어 기능을 가지고 있으므로 우선 순위 기능을 이용하여 실시간 전달이 요구되는 셀에 높은 우선 순위를 부여하여 우선적으로 전송 되도록 한다.

II. 고속 링 네트워크

본 장에서는 고속 망 프로토콜로서 우수한 특징을 가진 것으로 알려진 ATMR과 Metaring 프로토콜의 특징에 대하여 살펴본다.

2.1 ATMR(Asynchronous Transfer Mode Ring)

ATMR은 멀티미디어 통신에 적합한 ATM 전송방식을 기반으로 한 슬롯화 된 링형 액세스 프로토콜(ATM based Slotted Ring Access Protocol)을 채택한 시스템이다. ATMR은 광섬유로 연결된 분산 원격 다중화 노드(혹은, 액세스 노드)들과 반대 방향으로 회전하는 이중 링으로 구성된다. 공간적 셀 재사용(Spatial Cell Re-use) 기법을 사용하여 공유 매체에 동시에 접속할 수 있도록 하였으며 ATMR의 전송 능력을 상당히 증가시켰다.

• 매체접근 제어방법

링에 연결된 각 액세스 노드들은 초기치가 윈도우 크기(Window Size: $WS=k$)로 결정되는 윈도우 계수기(CW: Window Counter)를 가지고 있다. 그림 2-1과 같이 윈도우 계수기는 셀이 하나 전송될 때마다 하나씩 감소하며, 리셋 셀이 통과할 때마다 윈도우를 재

할당 받는다. 즉, 액세스 노드들은 $CW>0$ 때에 빈 슬롯(Empty Slot)을 만나면 셀을 전송하고 CW를 하나씩 감소시키며, $CW=0$ 이 될 때 액세스 노드들은 셀 전송을 중지한다.

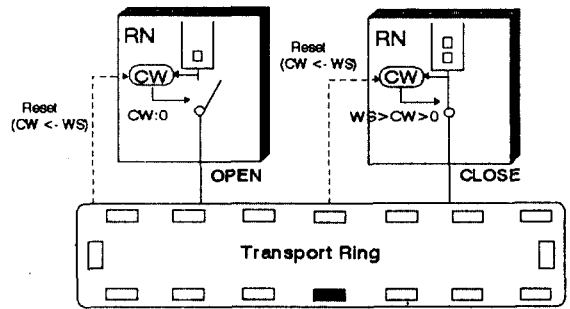


그림 2-1. ATMR 윈도우 제어 메커니즘

액세스 노드들은 전송할 셀을 가지고 있으며 윈도우 계수기가 양수($CW>0$)인 경우, 즉 활성 상태에서만 ATM 셀 헤더의 ACF에 자신의 ID를 겹쳐 쓴다. 송신 큐에 전송할 셀이 없거나 자신의 윈도우 크기만큼 셀의 전송을 끝낸 노드들은 자신의 ID를 겹쳐 쓰지 못한다. 이러한 상태를 “비활성 상태(Inactive State)”라고 한다. 비활성 상태의 액세스 노드들은 자신의 노드를 통과하는 셀의 ACF에서 자신의 ID를 발견함으로써, 다른 노드들도 셀의 전송을 끝내고 리셋 셀을 기다리는 비활성 상태에 있음을 감지하고 리셋 셀을 발생시킨다. 리셋 셀은 각 노드의 윈도우 계수기 CW를 초기화 시킴으로써 새로운 사이클이 시작 되도록 한다.

• 우선 순위 제어

우선 순위 제어를 위하여 각 노드들은 우선 순위별로 윈도우 계수기(Cw_i : i 는 우선순위)와 큐 타이머(Q_TMR_i)를 가지고 있다. 단 최하위 우선 순위는 큐 타이머를 갖고 있지 않다. Q_TMR_i 는 우선 순위 i 의 리셋 셀이 발생되거나 우선 순위 i 의 큐에 송신할 셀이 없으면 영으로 클리어되며 매 슬롯 시간이 경과될 때마다 증가된다. 우선 순위 i 의 송신 큐에 있는 셀이 정해진 시간(Rph) 내에 전송되지 않아서 Q_TMR_i 가 타임아웃 되면 우선 순위 i 의 인터럽트 리셋(interrupt reset)을 발생시켜 망 내의 모든 노드가 i 보다 낮은 우

선 순위 셀들을 전송되지 못하도록 한다. 만약 우선 순위 i 의 리셋이 발생된 후, 모든 노드에서 우선 순위 i 와 같거나 i 보다 높은 우선 순위의 셀을 할당된 윈도우 만큼 전송하였으면, i 우선 순위 보다 한 단계 낮은 $i+1$ 우선 순위의 정상 리셋(regular reset)을 발생시켜 $i+1$ 우선 순위 셀의 송신이 가능하도록 한다.

2.2 Metaring

Metaring은 기본적으로 목적지 소거를 통한 셀의 재사용 기법을 이용한 이중 링 형태의 고속 망 프로토콜이다[5, 9, 10, 11]. 이 프로토콜은 크게 두 가지 모드로 이용되고 있는데, 하나는 가변 길이의 패킷 전송을 위한 버퍼삽입 모드(Buffer Insertion Mode)이고, 다른 하나는 일정 길이의 패킷으로 전송되는 슬롯형 모드(Slotted Mode)이다. 버퍼삽입 모드는 전송하는 패킷의 길이가 일정하지 않아도 되는 장점이 있으나 각 노드 내의 버퍼에 의한 링 지연의 변화가 크며, 슬롯형 모드는 링 지연이 일정할 뿐만 아니라 버퍼삽입 모드에 비하여 적은 링 지연값을 가진다. 이 두 가지 모드는 망의 전체 공정성을 보장하는 알고리즘을 적용 함으로써 링에서 발생할 수 있는 기근(Starvation) 문제를 해결한다.

• 매체접근 제어방법

Metaring은 동기 데이터 및 실시간 전달을 위한 동기 전송기능과 실시간 전달이 요구되지 않는 데이터 전달을 위한 비동기 전송기능을 가지고 있다. 대부분의 동기 데이터 전달은 연결형으로 이루어지며 트래픽량의 예측이 가능하므로 연결 설정 시에 사용 대역을 예약한다. 따라서 동기 데이터 전송 시 노드간의 불공정성은 문제시되지 않는다. 그러나 트래픽량의 예측이 어려운 비연결형 데이터를 주로 전달하는 비동기 전송기능에서는 노드들간에 공정성을 유지시키기 위하여 Metaring에서는 데이터 전송 방향 반대 방향으로 SAT(SATisfied)라는 하드웨어 제어 신호가 회전한다. 이때 SAT가 회전하는 동안에 최소 전송 보장 트래픽량(MIN_quota)과 최대 전송 허용 트래픽량(MAX_quota)을 제한하여 망의 전체 트래픽을 제어하고, 노드간 링 액세스의 공정성을 유지 한다.

Metaring은 다음과 같은 알고리즘에 의하여 노드간 분산된 형태의 액세스 공정성을 유지한다.

▶ Satisfied 조건

SAT제어신호에 의하여 할당받은 MIN_quota개 이상의 셀을 송신하였거나 송신할 셀이 없는 경우

▶ 셀 송신 조건

노드는 연속된 두 SAT사이클 동안 최대 MAX_quota 개의 셀을 송신할 수 있다.

▶ SAT알고리즘

- SAT receive

If Satisfied then forward SAT

Else hold until Satisfied and forward

After forwarding the SAT

Renew MAX_quota and MIN_quota

SAT를 수신한 노드는 이전 SAT가 통과한 이후에 MIN_quota개 이상의 셀을 전송하였거나 또는 전송할 셀이 없으면 SAT를 상위 노드로 전달하며, 전송할 셀을 가지고 있으면서 MIN_quota개의 셀을 전송하지 못했으면 MIN_quota개의 셀을 전송할 때까지 SAT전달을 보류한다. 또한 각 노드는 SAT를 다음 노드에 전달하면서 MAX_quota와 MIN_quota의 값을 갱신하며 최대 MAX_quota개의 셀을 전송할 권리를 가진다. 이때 효율적인 트래픽 제어를 위해서는 각 노드별로 할당되는 최대값과 최소값을 잘 조절해야 한다.

• 우선 순위 제어

비동기 데이터의 우선 순위 제어는 SAT에 우선 순위를 부여하고 노드의 트래픽 상태에 따라 SAT의 우선 순위를 높여주며, 각 노드에게 SAT보다 낮은 우선 순위 셀을 전송하지 못하도록 함으로써 이루어진다. 즉, SAT가 통과하는 노드에 SAT보다 높은 우선 순위 셀이 남아 있으면 SAT의 우선 순위를 높여 전송하며, 모든 노드는 SAT의 우선 순위보다 낮은 우선 순위의 셀을 전송하지 못한다. SAT의 우선 순위를 높여 송신한 노드는 그 우선 순위의 리더십(leadership)을 가지며 SAT가 링을 회전하여 되돌아오면 SAT의 우선 순위를 SAT가 회전하는 동안에 예약된 우선 순위로 낮추어 송신한다.

Ⅲ. 공정성 링 프로토콜

ATMR에서는 비활성 상태에 있는 모든 노드들이 공정성 사이클의 시작을 감지하고 전달하는데 필요한 시간, 즉 사이클 리셋 시간은 링의 전파 지연(Propagation delay)에 따라 상당히 좌우된다. 사이클 리셋 시간 동안 링 내의 셀 전송은 중단되므로 리셋 사이클의 횟수는 망의 처리율에 커다란 영향을 미친다. 따라서 망의 처리율을 높이기 위하여 셀 전송 평균 사이클 기간을 충분히 길게 유지하여 리셋 사이클의 효과를 감소시켜야 한다. 이를 위해 ATMR에서는 각 노드에 할당되는 윈도우 크기(WS)를 크게 선택하여야 한다. 그러나 이것은 망 내의 지연 시간을 증가시키며 망 내의 과잉 밀집(Congestion) 현상 해결에 상당한 저해 요소가 된다.

또한 Metaring의 SAT 알고리즘은 액세스 노드의 기근(Starvation) 현상을 방지하고 링의 대역폭을 공정하게 분배 하는데 있어서 효과적이다. 그러나 SAT 알고리즘은 링 액세스 지연 및 링 전체 처리율 면에 있어서 다음과 같은 단점이 있다. 첫째, 링이 과부하시, 망 내의 일부 노드는 고정 쿼터 할당에 의해 활성 노드 수에 비례하여 링의 액세스를 위하여 장시간 대기하여야 한다. 둘째, SAT 회전 사이클은 비대칭적 트래픽 분포 상태의 링에서 과잉 밀집 현상이 발생하는 특정 링크에 의해 결정되기 때문에 링 내의 불필요한 처리율 손실을 야기시킨다.

본 논문에서는 ATM과 호환성을 가지고 효율적인 대역폭 사용, 만족할 만한 전송 지연 그리고 노드들 간 자원 분배 시에 요구되는 공정성을 만족시키는 새로운 공정성 링 프로토콜을 제안한다.

3.1 공정성 링 구조

제안된 공정성 링은 각 노드들이 광섬유에 의해 연결된 이중 링(Dual Ring) 구조로 되어있다. 그림 3-1은 공정성 링 구조를 보여준다.

또한, 각 노드의 내부에는 동적 공정성 알고리즘을 수행하기 위한 몇 개의 계수기가 있으며, 각 계수기들의 기능은 다음과 같다

▶ DS_C(Destined Slot_Counter)

자신의 노드를 통과하는 슬롯의 종류에 따라 증감

하는 계수기로서, 목적지 셀이나 빈 셀이 도착 하면 증가하고 사용 셀이 통과하면 감소함.

▶ BS_C(Busy Slot_Counter)

최인접 하위 노드의 상태 측정 계수기로서 인접 하위 노드가 연속해서 얼마만큼의 슬롯 시간 동안 링에 액세스하지 못했는가를 감지함.

▶ PS[i]_C(Priority Slot_Counter)

우선 순위 제어를 위하여 사용하는 계수기로서 우선 순위별 노드간 공정성을 위하여 사용함.

▶ T(Threshold)

BS_C와 연관된 공정성 임계치.

▶ Q_P(Queue_Probability)

DS_C가 양수인 노드가 자신의 처리율을 위하여 목적지 소거 셀을 사용할 확률. 확률값은 자신의 큐에 입력되는 트래픽율에 따라 결정됨.

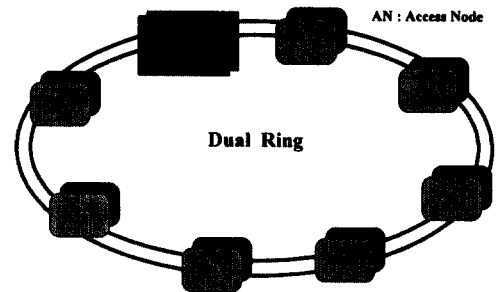


그림 3-1. 공정성 링 노드 연결 구조

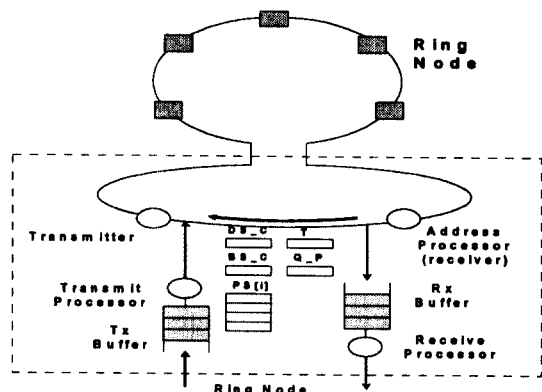


그림 3-2. 공정성 링 노드 구조

3.2 링 액세스 제어 알고리즘

공정성 링(Fairness Ring) 액세스 제어 알고리즘은 망 내 불공정성을 개선하고 최소한의 HOL 지연을 보장하기 위하여 공정성 링 구조에서 설명한 두개의 계수기(DS_계수기, BS_계수기)를 사용한다. 공정성 링 액세스 제어 알고리즘에서 사용되는 중요한 개념 중에 하나는 노드들이 완전히 독립적으로 분산된 상태에서, 비대칭적인 트래픽 분포로 다른 노드들에 비해 목적지로 많이 선택되는 노드를 검출하는 것이다. 이를 위해 각 노드들은 DS_계수기를 사용한다.

n개의 노드가 연결된 이중 링(Dual Ring) 네트워크에서, 각 노드들은 목적지 소거 셀이 도착하거나 사용 가능한 빈 슬롯이 도착할 때마다, DS_계수기는 $(n/4 - 1)$ 씩 증가되고, 목적지가 자신이 아닌 사용 슬롯(busy slot)이 통과할 때마다 1씩 감소한다. DS_계수기의 최대값, 최소값은 링 설계자에 의해 결정된다.

노드간 길이와 슬롯 길이가 같으면, 즉 링 네트워크 상에 n개의 슬롯이 존재하며 트래픽 분포가 대칭적이면, 단일 링 구조에서 한 노드에서 전송된 슬롯이 목적지 노드까지 전달되는 평균 거리는 $n/2$ 길이가 된다. 또한, 이중 링 구조에서는 한 슬롯의 평균 전달 거리는 $n/4$ 으로 줄어들게 된다. 즉, 링 전파 지연 시간, 링 라운드 트립 지연 시간(RTD: Round Trip Delay) 동안 자신을 통과하는 n개 슬롯 중 자신이 목적지가 되는 슬롯은 $n/4$ 개가 된다. 따라서 한 개의 목적지 슬롯이 도착하고 나머지 $(n/4 - 1)$ 개의 사용 슬롯이 통과하면 DS_계수기는 영이 된다. 링의 전파 지연 동안 모든 노드의 DS_계수기의 값이 영이 될 때 공정성은 이루어진다. 그리고 사용 가능한 셀이 도착할 때마다 DS_계수기에 증가되는 값은 공정성 주기의 증감에 따라 변할 수 있다. 예를 들어, 공정성 주기를 2RTD로 유지한다면 증가되는 값은 $(n/2 - 1)$ 이 된다.

공간적 재사용되는 슬롯은 망의 공정성에 중대한 영향을 미치므로 망의 공정성을 위하여 DS_계수기 값이 양수인 노드는 대역폭의 일부를 하위 노드에 할애한다. 반면에 DS_계수기의 값이 영이거나 음수인 노드들은 사용 가능한 슬롯을 발견하면 아무런 제약 없이 자신의 셀을 전송한다. 이러한 대역폭 할애는 망의 공정성 및 성능 측면에서 고려되어야 한다.

공정성 링 액세스 제어 알고리즘에서는 공정성을 위하여 하위 노드에 전송 할 소거 셀의 갯수를 BS_계수

기 및 자신의 입력 트래픽의 증감에 따라 결정한다. BS_계수기는 목적지가 자신이 아닌 사용 슬롯이 통과하며 또한 그 슬롯의 목적지가 최인접 하위 노드가 아닐 경우, 즉 최인접 하위 노드에 사용 슬롯이 통과할 때마다 BS_계수기는 하나씩 증가하며, 사용 가능한 슬롯이 전달되면 BS_계수기는 초기치 영으로 리셋된다. BS_계수기가 공정성 임계치 T에 도달하면 하위 노드의 링 액세스 기회를 제공하기 위하여 DS_계수기가 양수인 조건하에서, 사용 가능한 슬롯을 하위 노드에 전달한다. 공정성 임계치 T는 공정성 주기 동안, 즉 1RTD 동안 최소 1개의 슬롯 전송을 가능하게 하기 위하여 링에 연결된 노드 갯수 n으로 설정한다.

▶ Slot Receive

```
If its destination is downstream node,
    then BS_C = 0
    Else BS_C = BS_C + 1
```

▶ Empty Cell 전송조건

```
If BS_C > T = n,
    then Transmit Empty Cell and BS_C = 0
    Else BS_C = BS_C + 1
```

임계치 T를 아주 크게 설정하면 자신의 노드에서 사용하는 경우가 많아지므로 낭비되는 대역폭은 감소하게 된다. 따라서 망의 처리율은 증가하나 망의 공정성은 저하될 것이다. 그러나 다른 망들과 연결되는 ATM 전송 액세스 망의 관문 노드나 LAN/MAN의 관문노드(gateway)와 같은 경우에는 트래픽이 이들 노드에 물리는 경향이 있기 때문에 이러한 노드들에 대하여 임계치 T를 작게 설정하는 것이 합리적이다.

또한, 노드의 처리율 관점에서 사용 가능한 슬롯을 하위 노드에 전송하는데 있어서 중요한 결정요소는 자신의 노드에 입력되는 부하량이다. 입력 트래픽 도착율에 따라 자신의 처리율 및 공정성을 위하여 하위 노드에 사용 가능한 셀의 전달 여부를 확률적으로 결정하는 것이다. 각 노드간 공정성 측면에서, 1RTD 동안 한 개의 셀 전송이 보장 되므로 최대 1RTD 동안 입력 셀이 노드의 송신 큐에 도착하지 않으면 노드의 송신 큐에 대기중인 셀 개수, NQ(Number of Cells in Transmitter Queue)는 감소하게 된다. 즉, 자신의 노드에 추가되는 부하량이 감소 하면, 링 내의 상대적

공정성을 보장하기 위하여 하위 노드에 빈 슬롯을 전송하며, 부하량이 증가하면 처리율을 보장하기 위하여 하위 노드에 빈 슬롯의 전송을 제한하는 것이다.

먼저 링 네트워크에 연결된 각 노드의 송신 큐에 대기하는 셀의 갯수, 즉 노드 상태(node state)에 대하여 알아본다. 하위 노드에 빈 슬롯을 전송하는 것은 한 셀의 전송 시점, 즉 사용 가능한 슬롯이 상위 노드로부터 전달되는 순간에 송신 큐(queue)에 대기하는 셀의 개수가 관건이다. 셀을 전송하는 어느 특정 시점에 송신 큐에 대기하는 셀의 개수가 주어지면, 다음 셀의 전송 시점에 있어서 송신 큐에 대기하는 셀의 갯수는 이미 대기하고 있는 셀의 개수가 아니라 새로이 도착하는 셀의 개수(트래픽)에 따라 크게 영향을 받는다. i 번째 셀을 전송하고 송신 큐에 NQ_i 개 셀이 대기하며 상위 노드로부터 사용 가능한 슬롯이 도착하면 $(i+1)$ 번째 셀의 전송이 시작된다. i 번째 셀의 전송후 $(i+1)$ 번째 셀의 전송 시점까지 송신 큐에는 새로운 셀들이 계속 입력된다. 이것을 A_{i+1} 이라 표시하면 노드의 송신 큐 상태를 다음과 같이 나타낼 수 있다.

$$NQ_{i+1} = NQ_i - 1 + A_{i+1}, \quad NQ_i > 1 \quad (3-1)$$

Q_P 는 DS 계수기의 값이 양수인 노드에서 사용되는 큐_확률값으로 초기치는 1로 설정되며, 동작 원리는 다음과 같다. 첫째, 사용 가능한 슬롯이 도착했을 때, 전송 큐에 대기중인 셀의 갯수가 바로 이전에 사용 가능한 슬롯이 도착했을 때의 대기중인 셀의 개수보다 큰 경우 Q_P 확률값은 δ 만큼 증가한다. 즉, $A_{i+1} > 1$ 이면, 다음과 같이 나타낼 수 있다.

$$Q_P = Q_P + \delta \quad (3-2)$$

둘째, 송신 큐의 셀 개수가 감소하면 Q_P 확률값은 식 (3-3)와 같이 δ 만큼 감소한다.

$$Q_P = Q_P - \delta \quad (3-3)$$

만일 전송 큐 내의 셀 개수가 변하지 않은 경우에는 Q_P 확률값은 이전의 증감 상태에 따라서 δ 만큼 증가하거나 감소하며, Q_P 확률값은 목적지 노드 소거 셀

이나 빈 슬롯이 도착할 때마다 재계산 된다. Q_P 확률값은 0과 1 사이에 있어야 하므로 만일 Q_P 확률값이 1을 초과하는 경우에는 1로, 0이하인 경우에는 0으로 설정한다.

공정성 임계치 T 와 마찬가지로 Q_P 확률값 역시 증가함에 따라 자신이 사용할 수 있는 확률값이 커지므로 망의 성능은 증가하나, 망의 공정성은 저하될 것이다. Q_P 확률값의 증감 폭 δ 역시 망에 비슷한 영향을 준다. 그림 3-3은 공정성 링 액세스 제어 알고리즘에 대한 흐름도를 나타낸다.

3.3 공정성 링 우선 순위 제어

공정성 링 프로토콜은 4개 등급 우선 순위 제어를 위하여 3개의 $PS_C(PS1, PS2, PS3_Counter)$ 를 더 정의한다. 등급A 트래픽은 가장 높은 우선 순위를 의미하며, 등급D 트래픽은 가장 낮은 우선 순위를 의미한다. $PS1_C$ 는 등급 A인 트래픽에 비해 상당히 많은 등급B인 트래픽을 가지거나 오직 등급B인 트래픽을 갖는 노드가 등급B인 트래픽을 전송할 수 있도록 하기 위하여 사용된다.

공간적으로 다른 위치에 존재 하는 같은 등급의 우선 순위를 갖는 트래픽, 즉 링내 노드들간에 존재 하는 같은 등급의 우선 순위를 갖는 트래픽에 대하여 공정성을 유지 하기 위하여 이 계수기는 등급B를 갖는 사용 셀이 통과할 때마다 1씩 증가하고 등급 A를 갖는 사용 가능한 빈 슬롯이나 목적지 노드에서 소거된 등급 A인 셀을 사용하여 등급 B인 자신의 셀을 전송할 때마다 $(n/4 - 1)$ 씩 감소한다. 따라서 $PS1_C$ 의 값이 0이 되면 공간적으로 다른 위치에 존재하는 등급 우선순위를 갖는 트래픽에 대하여 공정성을 유지하게 되는 것이다. 등급A인 빈 슬롯이 도착하거나, 등급A인 셀이 자신의 노드, 즉 수신 노드 소거 셀이 존재하는 경우에 등급A의 송신 큐에 전송할 등급 A의 셀들이 존재하지 않으면 등급B인 셀들은 $PS1_C$ 가 양수인 조건하에서 전송될 수 있다. 만일 $PS1_C$ 가 음수이면 등급B인 셀은 전송되지 못한다.

$PS2_C$ 는 등급A, 등급B인 트래픽에 비해 상당히 많은 등급C인 트래픽을 가지거나 오직 등급C인 트래픽을 갖는 노드가 등급C인 트래픽을 전송할 수 있도록 하기 위하여 사용되며, $PS3_C$ 계수기는 등급D인 트래픽을 전송할 수 있도록 하기 위하여 사용된다.

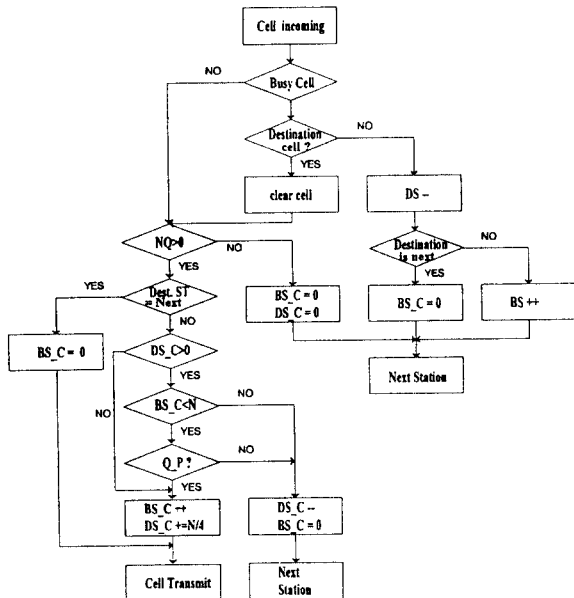


그림 3-3. 공정성 링 액세스 제어 알고리즘

IV. 시뮬레이션 및 결과 고찰

본 장에서는 제안된 공정성 링 프로토콜에 대한 성능을 시뮬레이션을 통하여 기존 전역 공정성 프로토콜인 ATMR, Metaring의 성능과 비교 분석하였다.

처리를 평가에 있어서 GFC, VPI, VCI 등의 셀 헤더 부분에 대한 오버헤드 및 수신 노드 셀 소거를 위한 처리 시간은 무시하였으며, 지연 시간의 단위는 한 개 셀이 전송되는데 소요되는 시간을 의미하는 슬롯 시간(slot time)을 사용한다. HOL 지연은 각 노드의 송신 큐 내에 대기하는 셀들간의 공정성을 나타내는 척도로서, 전송 지터(transmission jitter)는 각 셀들간의 일정한 전송 지연 시간이 요구되는 멀티미디어 트래픽 전달을 위한 응용 서비스나 광대역 통신망의 응용 서비스에 있어서 중요한 성능 요건이 되고 있다. HOL 지연 혹은 HOL 지연의 편차는 이러한 전송 지터에 중요한 요소가 되므로, 망의 성능 평가 요소로서 최대 HOL 지연 특성을 포함하였다.

컴퓨터 시뮬레이션 수행 시, 부하(load)는 한 슬롯 시간 동안에 도착하는 셀 개수로 백분율(%)로 표시한다. 또한 본 논문에서 제안한 공정성 링 프로토콜은 광대역 통신망의 가입자 망 뿐만 아니라 고속 LAN/

MAN에 적용되는 것으로 가정함으로써, 망의 각 노드로부터 입력되는 트래픽은 복수의 멀티미디어 소스로부터 발생된 트래픽이 중첩된 형태로 나타난다. 따라서 입력 트래픽의 발생 분포는 포아슨(Poisson) 분포로 근사화 한다.

다음은 시뮬레이션에 관련된 공통적인 가정들이다.

- ▶ 입력 트래픽 발생: 포아슨 분포
- ▶ 링 전송속도: 155Mbps
- ▶ 노드간 거리: 균등
- ▶ 노드 수: 19
- ▶ 링 전파지연: 5(sec/km)
- ▶ 망은 서로 반대 방향으로 회전하는 이중 링으로 구성(시뮬레이션은 하나의 링에 대해서만 수행)
- ▶ 노드의 내부 지연 무시
- ▶ 한 슬롯의 길이는 한 개의 셀 서비스 시간과 동일

트래픽 분포에 따른 ATMR, Metaring과 성능 비교는 다음 세가지 경우를 고려하여 이루어진다.

▶ 시나리오 1

각 노드의 부하는 같으며, 그들의 목적지가 균일하게 결정되는 경우

▶ 시나리오 2

각 노드의 부하는 같으나, 특정 노드(노드 1번)가 다른 노드들의 목적지로 선택되지 않는 경우

▶ 시나리오 3

각 노드의 부하는 같으며, 트래픽 분포는 다음과 같다. 노드 1 번의 모든 셀은 노드 6번으로 전송되고, 노드 11번의 모든 셀은 노드 16번으로 전송되는 경우

ATMR과 Metaring 프로토콜은 제어 변수(ATMR은 윈도우 크기 WS, Metaring은 최소 보장량 MIN-quota, 최대 허용량 MAX-quota)에 따라 성능이 크게 좌우된다. ATMR에서 최적의 윈도우 크기는 링 라운트 트립 시간 동안 전송할 수 있는 셀의 수 [12]이며, Metaring에서도 최적의 성능을 갖기 위한 최적의 MIN_quota, MAX_quota는 ATMR과 마찬가지로 링 상에 존재하는 셀의 개수의 값을 갖는 것이다[13]. 따라서 본 논문에서는 링의 길이 변화에 따른 성능 비교시, ATMR과 Metaring의 쿼터를 링 길이에 따라

변화시키며 시뮬레이션 하였다.

그림 4-1과 그림 4-2는 트래픽 분포가 균일한 시나리오 1번에서 링 길이별 부하량에 따른 처리율에 대한 결과를 보여주고 있다. 그림 4-1은 노드간 거리가 540m 즉, 링 길이가 10km인 경우, 제안된 공정성 링 프로토콜과 ATMR, Metaring의 부하량에 따른 처리율에 대한 성능 비교의 결과이다. 이때 ATMR과 Metaring의 쿼터는 19로 링에 존재하는 슬롯의 개수와 동일하다. 부하량이 낮은 경우에는 처리율에 대한 차이가 거의 없다. 그러나 과부하시, [12, 13]에서와 같이 ATMR은 총부하량이 약 320%에서 처리율이 저하되기 시작하며, Metaring은 부하량이 360%, 본 논문에서 제안한 공정성 링 프로토콜은 총 부하량이 약 365% 이상에서 처리율이 다소 감소한다.

그림 4-2는 노드간 거리가 5.4km, 링 길이가 102km인 경우에 부하량에 따른 제안된 프로토콜과 ATMR

과 Metaring과의 처리율에 대한 비교 결과이다. 링 길이가 길어짐에 따라 ATMR과 Metaring의 쿼터 역시 190으로 증가시켜 비교 분석한 결과, 부하량이 적은 경우에는 링 길이의 증가와 무관하게 정상 동작한다. 그러나, 부하가 과다한 경우에 있어서 ATMR은 링 길이가 102km로 점차 길어짐에 따라, 링 길이를 10km로 한 경우에 비하여 처리율이 약 12% 감소하고, Metaring은 링 길이가 길어져도 처리율이 약 1% 내외로 감소한다. 즉, ATMR은 과부하시 링 길이 변화에 따라 처리율이 상당한 영향을 받으며, Metaring은 링 길이 변화에 대하여 민감하지 않고 다소 일정하게 유지되고 있으나, 제안된 프로토콜보다 성능이 저하됨을 알 수 있다. 즉, 본 논문에서 제안한 공정성 링 프로토콜은 링 길이 변화에 대하여 거의 영향을 받지 않고 정상적으로 동작하고 있음을 확인할 수 있다.

그림 4-3은 시나리오 2번에서 총 부하량이 400%

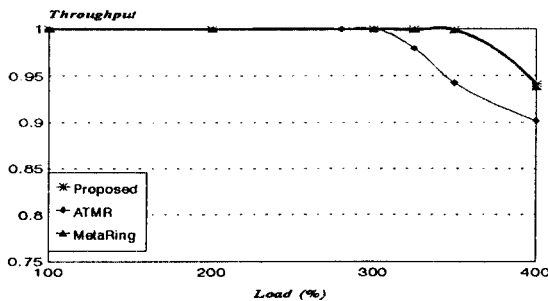


그림 4-1. 시나리오 1에서 링 길이가 10Km일 때 부하량에 따른 처리율

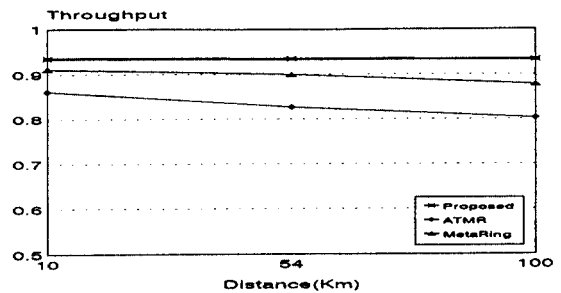


그림 4-3. 시나리오 2에서 부하가 400%일 때 링 길이에 따른 처리율

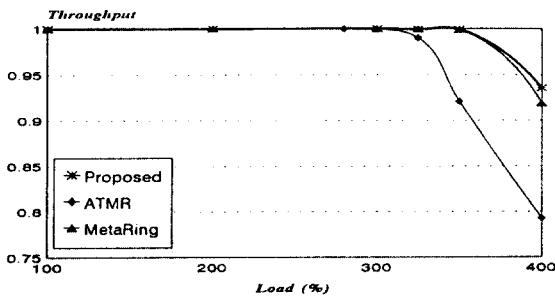


그림 4-2. 시나리오 1에서 링 길이가 102Km일 때 부하량에 따른 처리율

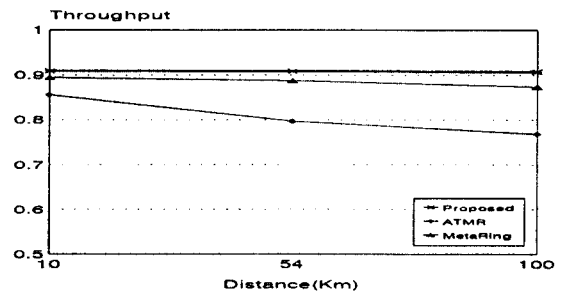


그림 4-4. 시나리오 3에서 부하가 400%일 때 링 길이에 따른 처리율

일 때, 링 길이별로 처리율의 결과를 보여준다. 시나리오 2번에서 노드 1번이 다른 노드들의 목적지로 선택이 안되므로 공정성 제어를 수행하지 않을 경우 노드 1번은 기근 현상을 일으키게 된다. ATMR은 리셋 셀 전송에 따른 링 전파 지연 뿐만 아니라 리셋 셀을 감지하기 위한 지연 시간에 의한 처리율 저하가 심한 것으로 판단된다. 또한, Metaring에서도 노드 1번은 다른 노드들의 목적지로 선택되지 않으므로 상위 노드로부터 빈 슬롯을 받아 자신에게 할당된 양의 셀을 전송할 때까지 SAT 신호를 상위 노드로 전송하지 않고 붙잡고 있어, SAT 회전 시간이 길어지게 된다. 이 때문에 트래픽 분포가 균일한 시나리오 1번의 결과보다 약 6% 정도의 성능 저하가 발생한 반면, 공정성 링 프로토콜은 트래픽 분포의 변화와 무관하게 정상 동작한다.

그림 4-4는 시나리오 3번에서, 망 전체 부하가 400%

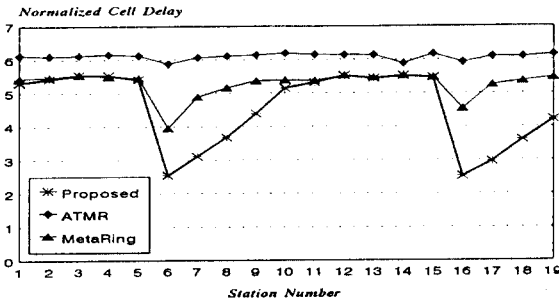


그림 4-5. 시나리오 3에서 링 길이가 102Km이고 부하가 400%일 때 노드별 HOL 지연

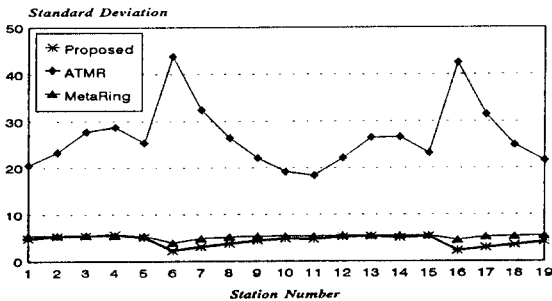


그림 4-6. 시나리오 3에서 링 길이가 102Km이고 부하가 400%일 때 노드별 HOL 지연의 표준 편차

인 경우 각 프로토콜에 대한 링 길이별 처리율의 결과이다. 시나리오 3번은 시나리오 2번보다 성능이 더욱 저하되고 있다. 이것은 다른 노드들보다 많은 수신 노드 소거 셀을 갖는 노드 6번과 노드 11번이 공정성을 위하여 하위 노드에게 소거 셀을 자신이 사용하지 않고 전송 하기 때문이다.

다음은 동기 데이터와 같이 실시간 전송이 요구되는 동시성 트래픽의 전송지연에 영향을 주는 HOL지연에 대하여 살펴보기로 한다. 그림 4-5는 시나리오 3번에서 트래픽량은 400%인 경우 노드별 평균 HOL지연에 대한 결과이다. 그림에서와 같이 ATMR과 Metaring 프로토콜이 제안된 공정성 링 프로토콜보다 다소 우수하다. 그러나 자세히 살펴보면, ATMR과 Metaring은 HOL 지연이 상향 평준화된 공정성을 나타내고 있음을 알 수 있다.

그림 4-6은 시나리오 3번에서 부하량이 400%인 경

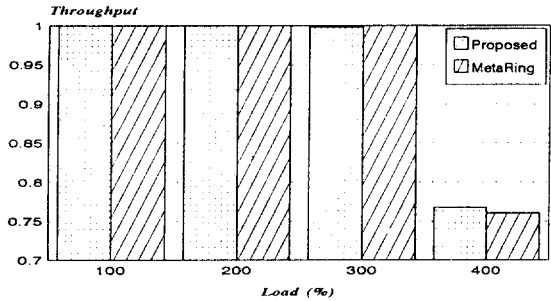


그림 4-7. 우선순위 제어에서 부하량에 따른 비동기 트래픽의 처리율

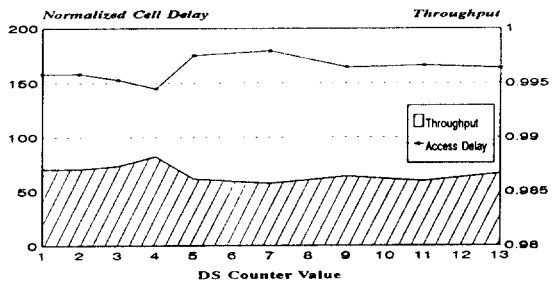


그림 4-8. 시나리오 1에서 DS카운터 변화에 따른 처리율과 액세스 지연

우 각 노드별 HOL 지연의 표준편차에 대한 결과이다. ATMR은 HOL 지연의 노드별 공정성이 가장 우수하지만 실제 각 노드 내에서, HOL 지연에 대한 표준 편차가 가장 크며, 공정성 링 프로토콜은 HOL 지연이 가장 작으며 HOL 지연의 편차도 상당히 우수하다. 따라서 공정성 링 프로토콜은 동시성 데이터 전송에 있어서 중요한 요소인 전송지터를 최소화할 수 있다.

다음은 공정성 링의 우선 순위 제어 기법에 대한 성능을 비교 분석한다. 그림 4-7로부터 다음과 같은 결론을 얻을 수 있다. 제안된 공정성 링 프로토콜은 우선 순위 기법 사용 시, 반대편 링으로 ASYNC_EN 과 같은 제어 신호로 사용하는 Metaring 프로토콜보다 비동기 트래픽의 링 액세스 지연 시간이 다소 작아짐을 알 수 있다. 즉, Metaring에서는 ASYNC_EN이 전파되고 링 내의 모든 동기 트래픽들이 전송되기 전까지 낮은 우선 순위 트래픽들의 전송이 중단 되기 때문에 과부하 시 다소 망의 대역폭 손실이 발생한다. 따라서, 본 논문에서 제안한 공정성 링 프로토콜은 우선 순위 기법을 사용함에도 불구하고 망의 처리율은 거의 떨어지지 않고 유지 된다.

본 논문에서 제안한 공정성 링 프로토콜에서는 공정성 주기를 IRTD로 선정하고, DS_계수기에 증가되는 최적치를 $(n/4 - 1)$ 로 설정하였다. 여기에서 노드 수가 19개이므로 이 값은 4가 된다. 즉, 트래픽 분포가 균일 분포인 경우에 목적치가 될 확률 값과 같은 것이다. 그림 4-8은 DS_계수기에 증가분의 변화에 따른 처리율 및 링 액세스 지연에 대한 결과를 나타내고 있다. DS_계수기의 증가분이 4인 경우에 최대의 처리율과 최소 링 액세스 지연의 특성을 갖고 있다. 따라서, 본 논문에서 제안한 공정성 링 프로토콜은 시뮬레이션 결과, DS_계수기의 증가분이 $(n/4 - 1)$, 즉 공정성 주기가 IRTD인 경우에 가장 좋은 성능을 나타내므로 [12, 13]과 유사한 결론을 얻을 수 있다.

V. 결 론

제안된 프로토콜은 향후 광대역 통신망에서 제공하는 멀티미디어 서비스 등 다양한 종류의 트래픽과 실시간 전송 등이 요구되는 고품질 광대역 서비스들

의 편중으로 망에 트래픽이 폭주하거나 트래픽 변화가 심한 경우 및 링의 길이가 길어짐에 따라, 노드간 링 액세스 지연 시간, 특히 지터에 커다란 영향을 미치는 링의 노드 내 HOL 지연 편차에 대한 불공정성 및 처리율이 저하되는 문제점을 해결한 이중 링 토폴로지에 적합한 고속 링 프로토콜이다. 또한, 제안된 프로토콜의 2단계 우선 순위 제어에 대한 시뮬레이션 결과, 실시간 전송을 요하는 동시성 트래픽과 같은 높은 우선 순위를 갖는 트래픽의 최소 전송 지연을 보장 하였으며, 낮은 등급의 우선순위를 갖는 트래픽에 대한 처리율에서도 우수한 특성을 보였다. 그리고 제안된 공정성 링 프로토콜은 ATM-UNI 셀 포맷 구조를 바꾸지 않고 ATM-UNI의 GFC 영역만을 사용하여 모든 트래픽 제어가 이루어지므로 ATM 망과 호환성을 갖는다.

이에 따라 본 논문에서 제안한 공정성 링 프로토콜은 ATM망의 가입자 망 뿐만 아니라 고속 LAN/MAN에서도 적용이 가능한 프로토콜로서, 현재 정부에서 추진 중인 초고속 통신망의 근간 망(backbone network)에 접속이 용이한 전송 액세스 망에도 적용 가능하리라 판단된다.

향후, 다양한 트래픽 입력 조건에서 공정성 링 프로토콜의 성능 분석 및 공정성 주기 변화에 따른 성능 분석이 요구된다. 또한, 가입자 망의 토폴로지로서 링 구조에서 뿐만 아니라 버스 및 성형 토폴로지에서 공정성 링 프로토콜의 적용에 대한 연구가 필요할 것으로 사료되며 고속 통신망에 대한 성능 평가 방법 및 목적지 노드 소거 기법을 사용하는 슬롯형 링 네트워크에 대한 수학적 해석 등이 요구된다.

참 고 문 헌

1. Jean-Yves Le Boudec, "The Asynchronous Transfer Mode: a Tutorial", Computer Networks and ISDN Systems, Vol. 24, pp. 279-309, 1992.
2. 권순철, 최두현, "가입자망에서의 동기식 전송기술 개요", 대한전자공학회지, Vol. 20, No. 4, pp. 45-55, 1993.
3. M. A. Rodrigues, "Erasure Node: Performance Improvements for the IEEE 802.6 MAN", Proc. IEEE INFOCOM'90, pp. 636-643, June 1990.

4. M. W. Garrett, "A Study of Slot Reuse in Dual Bus Multiple Access Networks", Proc. IEEE IN-FOCOM'90, pp. 617-629, June 1990.
5. J. S. -C, I. Cidon, and Y. Ofek, "A Local Fairness Algorithm for Gigabit LAN/MAN with Spatial Reuse", IEEE Journal on selected Areas in Communications, Vol. 11, No. 8, pp. 1183-1192, Oct. 1993.
6. R. Gvozdanovic, "A review of high performance protocols for the FDDI Follow on LAN", Proc. of EFOC/LAN, Paris, pp. 81-88, 1992.
7. R. M. Falconer, L. Adams, "Orwell: a protocol for integrated services local networks", British Telecom Tech. J., Vol. 3, No. 4, pp. 27-35, Oct. 1985.
8. Specification of the Asynchronous Transfer Mode Ring(ATMR) Protocol, Japanese National Body, Version 2.0, Dec. 1992.
9. I. Cidon and Y. Ofek, "MetaRing-A Full-duplex Ring with Fairness and Spatial Reuse", Proc. IEEE INFOCOM'90, pp. 969-981, 1990.
10. I. Cidon, L. Georgiadis, R. Guern, Y. Shavitt, "Improved Fairness Algorithms for Rings with Spatial Reuse", Proc. IEEE INFOCOM'94, pp. 1103-1111, 1994.
11. J. S. -C, I. Cidon, and Y. Ofek, "A Local Fairness Algorithm for the Metaring and its Performance Study", Proc. IEEE GLOBECOM'92, pp. 1635-1641, Dec. 1992.
12. F. Baskett, K. M. Chandy, R. R. Muntz, and F. G. Palacios, "Open, Closed, and Mixed Networks of Queues with Different Classes of Customers", J. Ass. Comput. Mach., Vol. 22, No. 2, pp. 248-260, April 1975.
13. Peter T. B. King, ISI Mitrani, "Modeling a Slotted Ring Local Area Network", IEEE Trans. on Computers, Vol. C-36, No. 5, pp. 554-565, May 1987.



金 東 淵(Dong Yon Kim)正會員

1961년 5월 8일생

1986년:연세대학교 전자공학과(공학사)

1988년:연세대학교 대학원 전자공학과(공학석사)

1995년:연세대학교 대학원 전자공학과(공학박사)

1988년~1996년 9월:(주)데이콤 근무.

1996년 9월~현재:국립안성산업대학교 전자공학과 전임강사.

※주관심분야:고속 멀티미디어 통신 프로토콜, 망관리.



宋 明 烈(Myong Lyol Song)正會員

1963년 4월 27일생

1985년 2월:연세대학교 전자공학과(공학사)

1984년 12월~1986년 1월:삼성전자 연구원

1988년 2월:연세대학교 대학원 전자공학과(공학석사)

1988년 12월~1991년 7월:육군사관학교 일반직 교수

1996년 2월:연세대학교 대학원 전자공학과(공학박사)

1996년 3월:호서대학교 정보통신공학과 전임강사

※주관심분야:멀티캐스트 프로토콜, 고속통신 프로토콜, 이동통신



張 民 錫(Min Seok Jang)正會員

1965년 6월 21일생

1989년 2월:연세대학교 전자공학과(공학사)

1991년 8월:연세대학교 대학원 전자공학과(공학석사)

1993년 9월~현재:연세대학교 대학원 전자공학과 박사과정

※주관심분야:컴퓨터통신, 프로토콜 공학, 소프트웨어 공학