

# 개선된 연속시간 Fully-Differential 전류모드 적분기를 이용한 3V CMOS 저역필터 설계

正會員 최 규 훈\*, 방 준 호\*\*, 조 성 익\*\*\*

## Design of A 3V CMOS Lowpass Filter using the Improved Continuous-Time Fully-Differential Current-Mode Integrator

Kyu-Hoon Choi\*, Jun-Ho Bang\*\*, Seong-Ik Cho\*\*\* *Regular Members*

※이 논문은 1996년도 한국학술진흥재단의 공모과제 연구비에 의하여 연구되었음.

### 요 약

본 논문에서는 저전압 고주파용 전류모드 능동필터의 기본 블럭으로 이용될 수 있는 새로운 구조의 CMOS 연속시간 fully-differential 전류모드 적분기를 제안하였다. 제안된 적분기는 CMOS 상보형 회로로 구성하였으며 CMOS 상보형 회로에 의하여 적분기의 트랜스컨덕턴스를 증가시킬 수 있다. 그러므로 소신호 트랜스컨덕턴스와 MOSFET의 게이트 캐패시턴스에 의하여 결정되는 적분기의 단위이득 주파수는 상보형 회로의 증가된 트랜스컨덕턴스에 의하여 확장되며, 아울러 극점 및 영점의 크기도 더욱 증가된다. 제안된 fully-differential 적분기의 단위이득 주파수는 NMOS- $g_m$ 를 가지는 기존의 fully-differential 적분기에 비하여 2배의 크기 정도로 증가될 수 있다. 이러한 결과들은 소신호 해석 및 SPICE 시뮬레이션을 통하여 확인되었다. 그리고 제안된 fully-differential 전류모드 적분기의 응용회로로써 3차 체비세프 저역필터를  $0.8\mu\text{m}$  CMOS 파라미터를 이용하여 설계하였다. 3V의 공급전압을 가지는 3차 능동필터에 대한 시뮬레이션 결과 148MHz의 차단주파수와 4.3mW/pole의 소비전력 특성을 나타내었다.

### ABSTRACT

In this paper, a new CMOS continuous-time fully-differential current-mode integrator is proposed as a basic

\*전주공업전문대학 전자과  
\*\*전북대학교 전기전자회로합성연구소  
\*\*\*현대전자 Memory 연구소  
論文番號: 97082-0228  
接受日字: 1997年 2月 28日

building block of the low-voltage high frequency current-mode active filter. The proposed integrator is composed of the CMOS complementary circuit which can extend transconductance of an integrator. Therefore, the unity gain frequency which is determined by a small-signal transconductance and a MOSFET gate capacitance can be expanded by the complementary transconductance of the proposed integrator. And also the magnitude of pole and zero are increased. The unity gain frequency of the proposed integrator is increased about two times larger than that of the conventional continuous-time fully-differential integrator with NMOS-gm. These results are verified by the small signal analysis and the SPICE simulation.

As an application circuit of the proposed fully-differential current-mode integrator, the three-pole Chebyshev lowpass filter is designed using  $0.8\mu\text{m}$  CMOS processing parameters. SPICE simulation predicts a 3-dB bandwidth of 148MHz and power dissipation of 4.3mW/pole for the three-pole filter with 3-V power supply.

## I. 서 론

아날로그 전류모드 회로는 낮은 내부전압을 가지므로 저공급전압에서도 넓은 동적범위를 얻을 수 있으며 디지털 공정에 의한 제작이 용이하여 저전압, 저전력 혼성형 집적회로에 응용하기에도 적합하다. 특히 저임피던스를 갖는 전류모드 회로의 분포 인덕턴스 성분은 고임피던스를 갖는 전압모드 회로의 분포 캐패시턴스에 비하여 주파수 특성에 훨씬 유리하기 때문에 전압모드 회로에 비하여 훨씬 높은 고주파 신호처리가 가능하다. 이러한 전류모드 회로의 유용성이 확인되면서 수십-수백MHz에 이르는 저전압 고주파용 시스템에서 이용될 수 있는 필터등도 전류모드 방식에 의하여 설계법이 많이 연구되고 있다.<sup>[1-7]</sup>

전류모드 필터설계에서 필터의 기본 구성블럭인 전류모드 적분기의 구조를 살펴보면 NMOS 전류미러쌍을 직렬로 구성하여 케환시킨 구조<sup>[4]</sup>와 이 구조의 이득 및 출력특성을 개선한 캐스코드 구조<sup>[5]</sup>, 그리고 위상추이 및 신호잡음 등의 영향을 줄이고 주파수 특성 등을 개선한 fully-differential 구조<sup>[6]</sup>등으로 연구되고 있다. 이러한 구조중에서 fully-differential 구조의 전류모드 적분기는 다른 구조에 비하여 상대적으로 고주파용 필터의 안정적인 동작에 좋은 조건을 주고 있다. 최근 연구발표된 fully-differential 적분기<sup>[7]</sup>의 경우에 NMOS 전류미러쌍을 병렬로 구성하여 fully-differential 형태를 구성하였고 두 개의 입력신호가 균형을 이루고 진행하기 때문에 기생 캐패시턴스 및 신호잡음등에 강한 특성을 가지며 특히, 대역폭을 제한하였던 비우성 극점이 제거되었음을 알 수 있다.

그러나 [7]의 적분기는 이러한 개선점에도 불구하고 그 특성 결과를 살펴볼 때 더욱 더 개선될 여지가 있다. 적분기에서 RHP에 존재하는 영점은 적분기의 단위이득 주파수에서 위상추이를 발생시키게 되므로 적분기의 안정된 주파수 특성을 얻어내기 위하여 영점을 제거하거나 단위이득 주파수로부터 가능한 멀리 있도록 하여야 한다.

이러한 관점에서 본 논문에서는 이 적분기 구조에 비하여 RHP 영점의 영향을 줄이고 이득 및 주파수 특성을 개선할 수 있는 개선된 구조의 연속시간 전류모드 fully-differential 적분기를 설계한다. 설계된 적분기는 CMOS 상보형 회로로써 이루어진 두 개의 적분기를 fully-differential 구조로 구성하여 비우성 극점을 제거함으로써 위상추이 및 신호잡음에 의한 성능저하를 최소화하였으며, NMOS와 PMOS 트랜지스터가 전류미러로써 바이어스 역할을 수행함과 동시에 증가된 트랜스컨덕턴스 값을 얻어내어 전류이득 및 대역폭이 증가된 특성을 가진다. 또한 각 트랜지스터들은 포화영역으로 자기바이어스 되도록 함으로써 추가적인 바이어스 회로의 구성에 의한 회로크기의 증가를 피하고자 하였다. 설계된 적분기는  $0.8\mu\text{m}$  CMOS 파라메타로써 설계 및 분석되었으며 각 특성을 기존의 적분기와 비교하여 나타내었다.

## II. 연속시간 전류모드 fully-differential 적분기 설계

### 1. 연속시간 전류모드 적분기

1989년 디지털 회로와 공존하기에 적합한 조건을 가

지는 아날로그 전류 스위칭(switched-current: SI) 회로를 제안되었으나 SI 회로의 스위치에서 발생하는 클럭 피드스루(clock feedthrough)에 의하여 신호처리 대역이 음성 대역에 국한되었다.<sup>[1], [2]</sup> 이러한 문제점을 보완하기 위하여 [4]에서 R.H.Zele 등은 제1세대 SI 적분기에서 CFT 발생 요인인 스위치를 제거한 그림 1과 같은 연속시간 전류모드 적분기를 소개하였다.

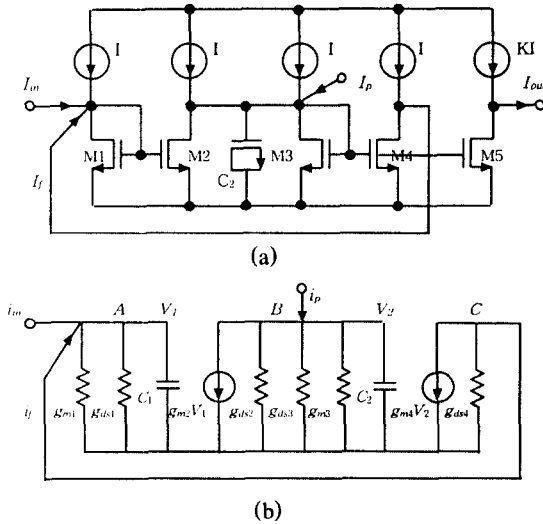


그림 1. 연속시간 전류모드 적분기  
(a) 구조 (b) 소신호 등가회로  
Fig. 1 Continuous-time current-mode integrator  
(a) Schematic (b) Small signal equivalent circuit

그림 1의 연속시간 전류모드 적분기에서 각 바이어스 전류가 일정한 값을 가지며 NMOS 트랜지스터들의 채널폭과 길이가 동일하다면 계환전류  $i_f$ 는 식 (1)과 같이 얻어진다.<sup>[7]</sup>

$$i_f = \frac{\frac{g_m}{4g_{ds}} \left[ \left(1 - \frac{sg_{ds}C_2}{g_m^2}\right) i_p - \left(1 + \frac{SC_1}{g_m}\right) i_n \right]}{\left(1 + \frac{SC_2}{4g_{ds}}\right) \left(1 + \frac{SC_1}{g_m}\right)} \quad (1)$$

식 (1)에서 나타나는 극점들은 각각  $p_1 = \omega_0/\alpha$ 와  $p_2 = g_m/C_1$ 로 얻어지며 이때 각 변수값들은  $\omega_0 \approx g_m/C_2$ ,  $\alpha = -g_m/4g_{ds}$ 로 나타낼 수 있다. 여기서 컨덕턴스  $g_{ds}$ 의 크기는 우성극점(dominant pole)  $p_1$ 에 비례하므로

로 단위이득 주파수에서 위상 lead를 유발하고, 전체 parasitic 캐패시터  $C_1$ 은 비우성극점(non-dominant pole)  $p_2$ 에 반비례하므로 단위이득 주파수에서 위상 lag를 유발할 수 있게 된다. 이러한 위상 추이는 적분기의 주파수 특성에 나쁜 영향을 주게 되므로 이 영향을 최소화하기 위한 방법으로  $C_2$ 을  $C_1$ 에 비하여 매우 크게 설계하거나 출력 컨덕턴스  $g_{ds}$  값을 줄이기 위하여 cascode 구조를 사용하여 출력단을 구성하는 방법이 있다. 그러나 이러한 방법들은 불균형적인 신호경로에 의하여 회로의 고주파 성능을 제한하게 되어 높은 주파수에서 응용할 수 없게 된다. 또한 그림 1의 구조는 2단 구조로 이루어져 있기 때문에 첫 번째 단에서 발생하는 비우성극점은 적분기의 주파수 대역폭을 확장하는데 장애가 된다.

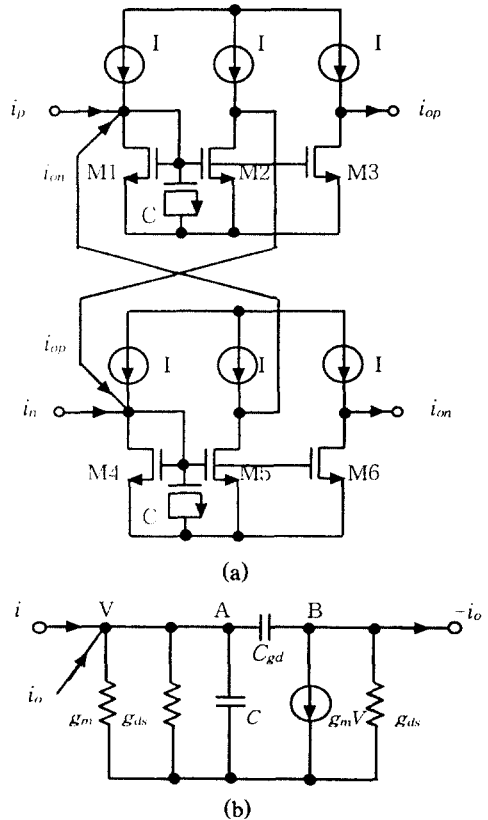


그림 2. 연속시간 전류모드 fully-differential 적분기  
(a) 구조 (b) 소신호 등가회로  
Fig. 2 Continuous-time current-mode fully-differential integrator  
(a) Schematic (b) Small signal equivalent circuit

이와 같이 위상 추이를 발생시키는 요인을 최소화하고, 대역폭을 제한하는 비우성극점을 제거하기 위하여 R. H. Zelig[6][7]등은 그림 2와 같이 우성극점을 설정하는 캐패시턴스  $C$ 를 정(positive)과 부(negative)의 입력단 각각에 동일하게 추가하여 크로스 커플드(cross-coupled)로 구성된 fully-differential 적분기를 설계하였다.

그림 2의 연속시간 전류모드 fully-differential 적분기에 대한 소신호 해석을 통하여 적분기의 특성을 분석하면 다음과 같은 식들로 얻어진다.[6]

$$i_f = A \frac{1 - \frac{s}{z_1}}{1 + \frac{s}{p_1}} i \quad (2)$$

여기서,

$$z_1 = \frac{g_m - g_{ds}}{2C_{gd}} \quad (3)$$

$$p_1 = \frac{2g_{ds}}{C + 4C_{gd}} \quad (4)$$

또한 적분기의 단위이득 주파수는 식 (5)과 같다.

$$\omega_0 = \frac{g_m - g_{ds}}{C + 4C_{gd}} \quad (5)$$

이상과 같이 나타난 결과들을 살펴볼 때, 그림 1의 구조가 그림 2로 변환되는 과정에서 직렬구조에서 병렬구조로 변형되었고 두 개의 입력신호가 균형을 이루고 있기 때문에 그림 1의 적분기 구조에서 위상 추이를 유발하였던 parasitic 캐패시턴스가 줄어들어 회로에 영향을 덜 미치게 되었으며 특히, 대역폭을 제한하였던 비우성 극점이 제거되었음을 알 수 있다. 그러나 그림 2의 fully-differential 적분기는 이러한 개선점에도 불구하고 그 특성 결과를 살펴볼 때 더욱더 개선될 여지가 있다. 식 (3)은 트랜지스터  $M_2, M_4$ 의 게이트-드레인 캐패시턴스  $C_{gd}$ 에 의하여 발생하는 영점( $z_1$ )을 나타내고 있으며 이 영점은 우반면(RHP)에 존재하게 된다. 이와 같이 RHP에 존재하는 영점은 적분기의 단위이득 주파수에서 위상추이를 발생시키게 되므로 적분기의 안정된 주파수 특성을 얻어

내기 위하여 영점을 제거하거나 단위이득 주파수로부터 가능한 멀리 있도록 하여야 한다.

이러한 관점에서 본 논문에서는 그림 2의 적분기 구조에 비하여 RHP 영점의 영향을 줄이고 이득 및 주파수 특성을 개선할 수 있는 개선된 구조의 연속시간 전류모드 fully-differential 적분기를 설계한다. 2절에서 개선된 특성을 가지는 적분기의 설계과정에 대하여 나타내었다.

## 2. 개선된 특성을 가지는 연속시간 전류모드 fully-differential 적분기 설계

그림 1의 적분기에서 위상추이를 발생시키는 비우성 극점을 그림 2에서 fully-differential 구조로 설계함으로써 제거되었으나 영점에 의한 위상추이를 제거시킬 수 없었다. 실제로 이 영점은 트랜지스터의 기생캐패시턴스  $C_{gd}$ 에 의하여 발생되므로 완전히 제거되는 것은 어렵다. 그러므로 회로의 주파수 특성을 개선하기 위한 방법으로 영점을 제거하는 대신에 단위이득 주파수로부터 가능한 멀리 위치할 수 있도록 회로를 구성한다.

이상과 같은 방법에 따라 본 논문에서는 그림 2의 적분기 구조를 변형하여 그림 3과 같은 적분기를 설계하였다. 설계된 fully-differential 구조의 연속시간 전류모드 적분기는 NMOS 트랜지스터와 전류원으로 구성되어 있는 그림 2의 적분기 구조와는 달리 NMOS 트랜지스터와 PMOS 트랜지스터의 게이트를 연결시킨 CMOS 상보형 구조를 이용하여 구성하였다. 상보적으로 연결된 PMOS와 NMOS는 전류미러의 역할을 수행함과 동시에 트랜스컨덕턴스를 얻게 해준다.

제안된 그림 3(a)의 적분기를 소신호 해석을 통하여 특성을 분석하고 그 결과를 그림 2의 적분기와 비교하여 본다. 그림 3(a)의 fully-differential 전류모드 적분기가 완전대칭이면 식 (6), (7), (8)와 같은 관계식이 성립되므로 그림 3(b)와 같이 절반회로(half-circuit) 소신호 등가 회로로 간소화시킬 수 있다.

$$i_p = -i_n = i \quad (6)$$

$$i_{op} = -i_{on} = i_o \quad (7)$$

$$V_A = -V_B = v \quad (8)$$

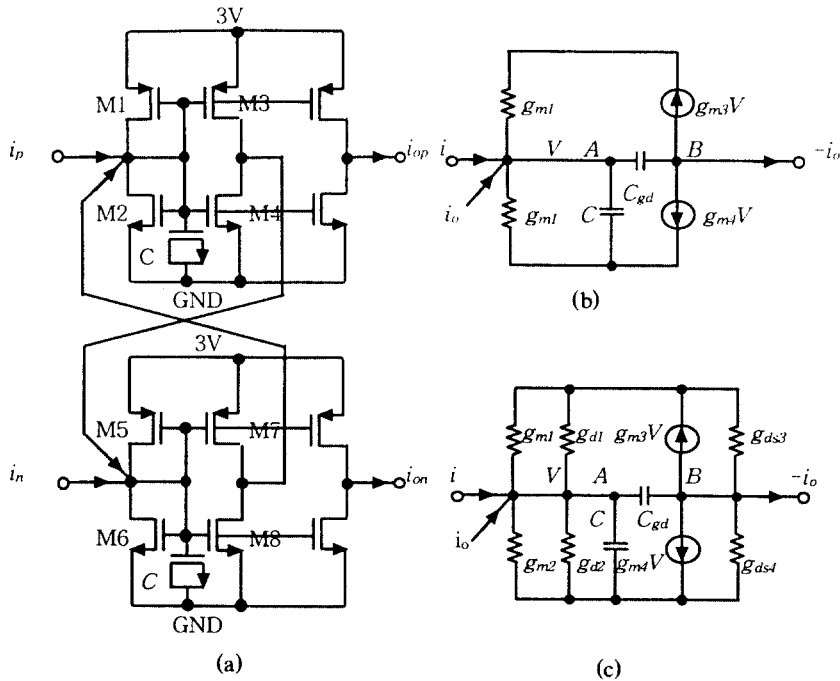


그림. 3 제안된 연속시간 전류모드 fully-differential 적분기  
 (a) 구조 (b) 1차 소신호 등가회로  
 (c) 2차 소신호 등가회로

Fig. 3 Proposed continuous-time fully-differential integrator  
 (a) Schematic  
 (b) First-order small signal equivalent circuit  
 (c) Second-order small signal equivalent circuit

여기서  $i_p$ 는 비반전 입력전류이고  $i_n$ 은 반전 입력전류이다. 위식을 이용하여 그림 3(b) 1차 소신호 등가회로의 절점 A와 B에서 KCL을 적용하여 식 (10)과 (11)를 얻어낸다.

$$(g_{m1} + g_{m2})v + s(Cv + 2VC_{gd}) = i + i_o \quad (9)$$

$$(g_{m3} + g_{m4})v - 2VC_{gd} = i_o \quad (10)$$

이때, 제안된 전류모드 적분기를 구성하고 있는 트랜지스터  $M_1$ 과  $M_3$ ,  $M_2$ 와  $M_4$ ,  $M_5$ 와  $M_7$ , 그리고  $M_6$ 와  $M_8$ 은 모두 전류미러로 구성되어 있으므로 모두 같은 크기로 설계하면 이들 각각의  $g_m$  값들은  $g_{m1} = g_{m3}$ ,  $g_{m2} = g_{m4}$ ,  $g_{m5} = g_{m7}$ ,  $g_{m6} = g_{m8}$ 이 된다. 이 값을 식

(9), (10)에 대입하면 식 (11)과 (12)을 얻을 수 있다.

$$i_o = \frac{g_{m3} + g_{m4}}{sC_2} i \quad (11)$$

$$i_{op} - i_{on} = \frac{g_{m3} + g_{m4}}{sC_2} (i_p - i_n) \quad (12)$$

식(11), (12)의 결과는 제안된 전류모드 적분기의 입출력 전류비를 나타내고 있는데 이 값은 적분기의 전류이득을 나타낸다. 기존 적분기인 그림 2의 경우를 살펴보면  $M_2$ 에서 얻어지는  $g_{m2}$ 와 캐피시터  $C$ 가 식(13)과 같이 입출력 전류비를 표현한다.

$$i_{op} - i_{on} = \frac{g_{m2}}{sC_2} (i_p - i_n) \quad (13)$$

각 적분기를 구성하는 트랜지스터를 같은 크기로 설계할 경우에 적분기들의 입출력 전류비, 즉 전류이득인 식(12)와 (13)를 비교하여 볼 때, 제안된 적분기의 전류이득이 약 2배에 가까운 값으로 얻어질 수 있음을 알 수 있다. 이러한 결과는 다음절에서 시뮬레이션으로 확인하여 본다.

제안된 적분기의 소신호 특성을 보다 자세하게 분석하기 위하여 그림 3(b)에서 무시하였던 출력 컨덕턴스( $g_{ds}$ )를 포함한 2차 소신호 등가회로를 그림 3(c)에 나타내었다. 이때 트랜지스터에서 얻어지는  $g_m$ 값들은 각각 같은 값으로 설계할 수 있으므로  $g_{m1} \sim g_{m8}$ 의 값을  $g_m$ 으로  $g_{ds1} \sim g_{ds8}$ 의 값을  $g_{ds}$ 로 설정하고 그림 3(c)에서 KCL을 적용하면 다음과 같은 식을 얻을 수 있다.

$$(2g_m + sC + 2C_{gd} + 2g_{ds})v = i + i_o \tag{14}$$

$$2(g_m - sC_{gd} - g_{ds})v = i_o \tag{15}$$

위식으로부터 입출력 전류식은 식(16)과 같이 정리된다.

$$i_o = A \frac{1 - \frac{s}{z_1}}{1 + \frac{s}{p_1}} i \tag{16}$$

여기서,

$$z_1 = \frac{g_m - g_{ds}}{C_{gd}} \tag{17}$$

$$p_1 = \frac{4g_{ds}}{C + 4C_{gd}} \tag{18}$$

이고, 적분기의 단위이득 주파수는 식(19)와 같다.

$$\omega_0 = 2 \frac{(g_m - g_{ds})}{C + 4C_{gd}} \tag{19}$$

이상과 같이 얻어진 식들로부터 본 논문에서 제안된 fully-differential 적분기의 여러 가지 특성을 살펴볼 수 있다. 이러한 결과를 바탕으로하여 다음절에서 그림 2의 기존 적분기의 특성결과를 시뮬레이션으로 비교분석하고 그밖에 개선된 특성에 관하여서도 살

펴본다.

### 3. 특성 결과 비교

#### 3.1 주파수 특성의 개선

그림 3의 설계된 fully-differential 적분기에 대한 소신호 해석의 결과를 그림 2의 기존의 fully-differential 적분기의 특성과 비교하여 표 1에 정리하였다.

표 1. 소신호 해석결과

Table 1. Small signal analysis results

Parameters	Type	Conventional integrator	Proposed integrator
Dominant pole( $p_1$ )		$2g_{ds} / (C + 4C_{gd})$	$4g_{ds} / (C + 4C_{gd})$
Zero ( $z_1$ )		$(g_m - g_{ds}) / 2C_{gd}$	$(g_m - g_{ds}) / C_{gd}$
Unity gain frequency( $\omega_0$ )		$(g_m - g_{ds}) / (C + 4C_{gd})$	$2(g_m - g_{ds}) / (C + 4C_{gd})$

소신호 해석에서 보인 것과 같이 극점 및 영점의 크기는 MOS의 트랜스컨덕턴스( $g_m$ ), 출력컨덕턴스( $g_{ds}$ )와 게이트-드레인에서 발생하는 기생캐패시턴스  $C_{gd}$  그리고 적분기에 삽입된 캐패시턴스  $C$ 에 의하여 결정된다. 표 1의 결과는 제안된 적분기의 극점 및 영점의 크기가 기존의 적분기의 값에 비하여 각각 두배의 값을 가지고 있음을 보여 준다. 또한 제안된 fully-differential 적분기의 단위이득 주파수의 크기 역시 기존의 fully-differential 적분기에 비하여 두배의 크기로 나타남을 알 수 있다. 이러한 결과를 SPICE로 확인하여 본 결과 거의 일치된 결과를 얻었으며 이를 그림 4에 나타내었다.

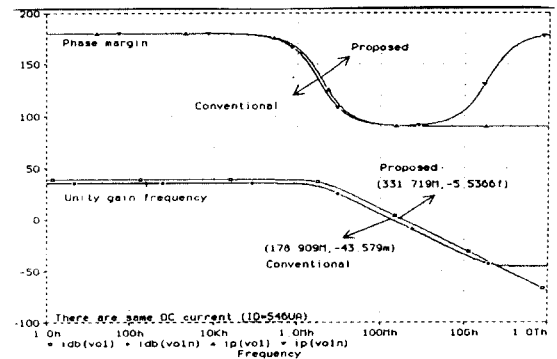


그림 4. 크기 및 위상특성 비교

Fig. 4 Comparison of magnitude and phase

### 3.2 전류이득의 증가

앞절에서 논의하였던 것처럼 제안된 fully-differential 적분기는 소신호 해석의 결과인 식(12)와 (13)을 통하여 전류이득에 있어서도 약 두배의 값으로 증가되었음을 알 수 있다. 이것은 제안된 적분기가 구조적으로 PMOS와 NMOS를 모두 신호경로에 위치하게 함으로써 전체적인 이득이 두 개의 MOS에서 발생하는  $g_m$ 들의 합으로 얻어지는데 기인하며 기존의 적분기의 경우는 NMOS에 의해서만 한 개의  $g_m$ 이 얻어지기 때문이다. 이러한 결과를 시뮬레이션을 조사하여 그림 5에 나타내었다. 그림 5(a)의 경우 각 적분기에 대한 AC 해석의 결과이고 그림 5(b)는 시간해

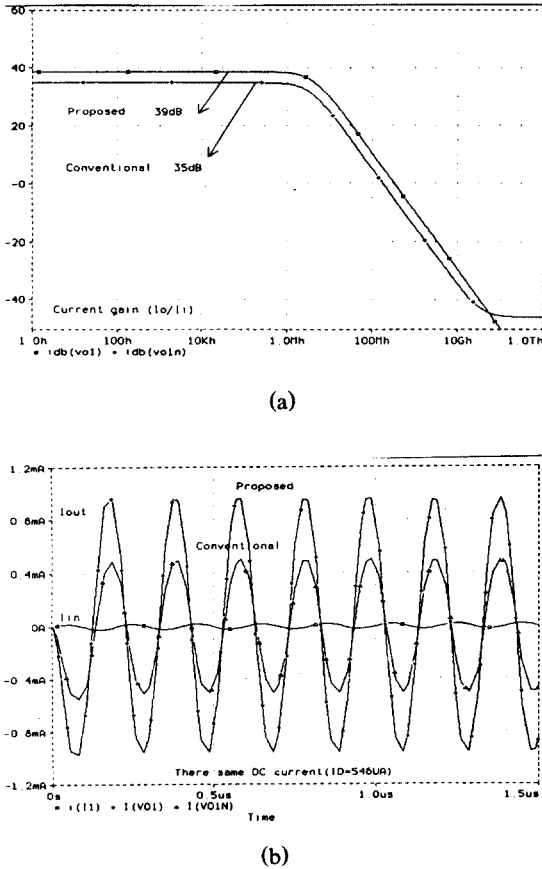


그림 5. 전류이득 특성의 비교 ( $I_{bias} = 546\mu A$ ),  
 (a) AC해석 (b) 시간해석  
 Fig. 5 Comparison of current gain ( $I_{bias} = 546\mu A$ ),  
 (a) AC analysis (b) Transient analysis

석의 결과이다. 분석된 시뮬레이션 결과는 두 개의 적분기의 바이어스 전류를 모두  $546\mu A$ 의 같은 크기로 설계하여 비교한 것이다. AC 해석의 경우 개선된 적분기의 전류이득이 약 4dB(1.8배) 만큼 큰 결과를 얻었다. 시간해석에서는 sin파 입력에 대한 각 적분기들의 출력 파형을 분석한 결과를 보이고 있는데 얻어진 출력 파형은 입력의 sin파형이 각 적분기를 거치면서 90도가 위상추이되어 cos파형으로 바뀌었으며 이때 제안된 적분기의 출력파형은 기존의 적분기의 출력파형에 비하여 약 2배의 크기로 스윙을 하고 있음을 보여주고 있다.

### 3.3 자기 바이어스 특성

제안된 적분기를 구성하고 있는 모든 MOS 트랜지스터는 포화영역에서 동작하며 이들을 구동하기 위한 DC 바이어스는 각 트랜지스터의 저항값( $\rho L/W$ )에 의하여 결정된다. 그림 6에서 DC 바이어스된 적분기를 나타내고 있다.

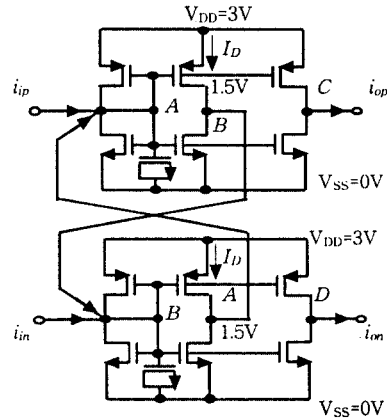


그림 6. DC 바이어스된 적분기  
 Fig. 6 DC biased integrator

그림에서 적분기는 3V의 단일공급전압을 가지므로  $V_{DD}$ 는 3V,  $V_{SS}$ 는 접지되었으며, 각 MOS가 포화영역에서 동작하도록 단자 A, B와 C는 1.5V로 바이어스되었다. 이때, 미리 설정된 적분기의 트랜스컨덕턴스( $g_m$ )와 적분 캐패시터(C)에 의하여 결정된 바이어스 전류( $I_D$ )를 얻음과 동시에 각 단자의 DC 전압을 1.5V가 설정되도록 PMOS와 NMOS의 크기(W/L)를 결정

하였다. 결과적으로 각 MOS의 드레인 단자인 A, B와 C, D에는 같은 크기의 전류가 흐르고, 또한 같은 DC 전압이 바이어스 되어 있다. 적분기의 안정적인 동작 특성을 얻기 위해서 바이어스 전류의 변화는 가능한 최소화 되어야 한다. 본 논문에서 제안한 적분기에서 어떠한 요인에 의하여 바이어스 전류가 변화하게 되는 경우를 생각해 본다. 회로를 구성하고 있는 모든 MOS의 게이트 단자 전압은 A와 B, 두 개의 단자로 연결되어 있고, 적분기의 동작특성과 관련된 MOS의 드레인 전류는 이들 두 개의 단자에 의하여 제어된다. 만약 입력측 A단자의 전압이 불필요하게 커지게 될 때 A단자에 연결된 모든 PMOS의 게이트-소오스 전압이 감소함으로써 이들의 드레인 전류들은 감소하게 되어 적분기의 트랜스컨덕턴스의 값이 줄어들게 된다. 그러나 이와 동시에 A단자에 연결된 모든 NMOS의 게이트-소오스 전압이 커지면 이들의 드레인 전류가 상승하여 트랜스컨덕턴스가 증가하게 되므로 적분기의 전체적인 트랜스컨덕턴스는 항상 일정한 값을 유지할 수 있게 된다. A단자와 크로스커플드 되어 있는 B단자의 경우도 같은 방법으로 생각할 수 있으며 출력측 C와 D단자의 경우는 A와 B단자와 같은 변화를 가지게 된다. 이러한 바이어스 특성은 적분기의 주파수 특성등의 안정화에 기여한다.

### III. 3V 연속시간 전류모드 필터 설계

이 장에서는 본 논문에서 제안한 fully-differential 전류모드 적분기의 응용회로로써 연속시간 전류모드 3차 능동 저역필터를 설계한다.

#### 1. 3V 연속시간 전류모드 저역필터 설계

필터의 설계 방법은 먼저 설정된 필터의 설계사양에 따라 필터함수 및 수동필터 회로를 선정하며, 수동회로의 SFG 및 블럭다이어그램을 작성하고 능동필터를 구성한다. 전류모드 능동필터의 설계사양을 표 2와 같이 설정하였다. 공급전압을 3V으로 설정하였으며, 필터함수는 3차 저역 체비세프 함수로 하였고, 필터구조는 제자형 복중단 LC 수동 회로망으로 하였는데 제자형 회로망은 수동회로를 능동회로로 변환과정에서 낮은 감도 특성을 유지할 수 있다.<sup>[6]</sup> 또한 전류모드 능동필터의 장점에 부합되도록 비교적 높은 차단주

표 2. 전류모드 3차 능동필터의 설계명세 조건

Table 2. Specification of the current-mode third order active filter

Filter function	Third-order Lowpass, Chebyshev
Passive filter type	LC ladder doubly terminated
Passband ripple	0.1 dB
Stopband attenuation	> 40 dB
Cutoff frequency	150 MHz
Power supply voltage	3 V
Power dissipation	< 5 mW/pole

파수에 비하여 낮은 소비전력을 갖도록 설정하였다.

설정된 설계사양에 의하여 설계된 전류모드 3차 수동 저역필터는 그림 7과 같으며 표준화된 각각의 수동소자값은  $R_1=R_0=1\Omega$ ,  $C_1=C_3=1.4328F$ ,  $L_2=1.5937H$ 이다.

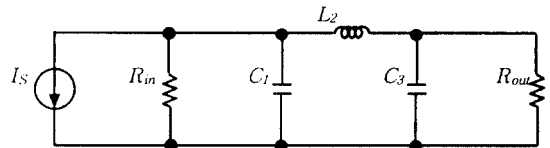


그림 7. 전류모드 3차 수동필터

Fig. 7 The current-mode third-order passive lowpass filter

그림 7의 전류모드 수동필터를 전류모드 능동회로로 변환하기 위한 신호흐름선도(SFG)는 그림 8과 같다. SFG의 작성시에 L과 C로 구성된 전류모드 수동필터의 각 소자에 흐르는 전류들은 식(20)~(22)로 표현되며 이 식들에 의하여 SFG가 구성된다.

$$I_1 = \frac{1}{SC_1} (I_S - I_1 - I_2) \tag{20}$$

$$I_2 = \frac{1}{SL_2} (I_1 - I_3) \tag{21}$$

$$I_3 = \frac{1}{SC_3} (I_2 - I_3) \tag{22}$$

그림 8의 SFG에서 적분항이 전류모드 적분기에 의하여 모의되고, 각 노드점 사이의 덧셈기는 전류모드 적분기의 입력단에서 전류의 합으로 모의되므로 전류모드 3차 능동필터는 그림 9의 블럭다이어그램과 같이 구성된다.

그림 9의 블럭다이어그램과 같이 3차 전류모드 능



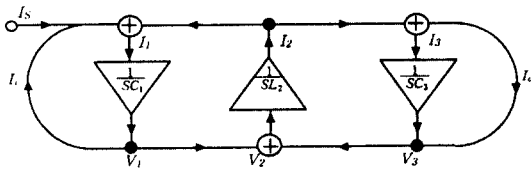


그림 8. 신호흐름선도  
Fig. 8 SFG(Signal flow graph)

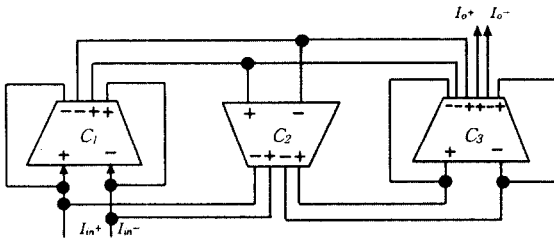


그림 9. 설계된 전류모드 3차 능동저역필터의 블록다이아그램  
Fig. 9 Block diagram of the current-mode third-order lowpass filter

동필터는 3개의 전류모드 적분기로 직접모의되며 전류모드 적분기 내부의 적분캐패시터의 값을 결정함으로써 설계가 완료된다.  $i$ 번째 전류모드 적분기의 적분 캐패시터  $C_i$ 는 식(23)로부터 구해진다.

$$C_i = \frac{g_m X_i}{\omega_{c0}} \quad (23)$$

식(23)에서  $g_m$ 은 전류모드 적분기의 트랜스컨덕턴스이며  $X_i$ 는  $i$ 번째 회로의 규준화(normalized)된 수동소자값이고  $\omega_{c0}$ 는 전류모드 능동필터의 차단주파수이다. 제안된 전류모드 적분기의  $g_m$ 값과 설정된 전류모드 필터의 차단주파수를 식(23)에 대입하여 얻어낸 적분 캐패시터  $C_i$ 를 표 3에 나타내었다.

표 3. 전류모드 적분기의 캐패시터 값  
Table 3. Capacitance of the current-mode integrators

Passive component ( $X_i$ )	Transconductance ( $g_m$ )	Cutoff frequency ( $\omega_c$ )	Capacitance ( $C_i$ )
$C_1 (= 1.4328 \text{ F})$	760 [u]	150 MHz	$C_1 (= 1.155 \text{ pF})$
$L_2 (= 1.5937 \text{ H})$	760 (u)	150 MHz	$C_2 (= 1.285 \text{ pF})$
$C_3 (= 1.4328 \text{ F})$	760 [u]	150 MHz	$C_3 (= 1.155 \text{ pF})$

## 2. 시뮬레이션 및 고찰

설계된 전류모드 3차 능동 저역필터의 주파수 특성은 그림 10과 같고, 시뮬레이션된 동작특성을 표 4에 나타내었다.

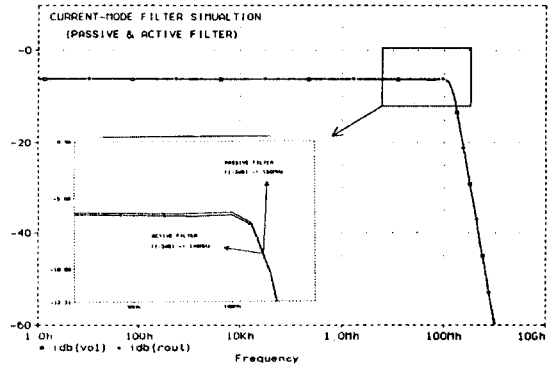


그림 10. 설계된 전류모드 필터의 주파수 응답  
Fig. 10 Frequency response of the designed current-mode filters

표 4. 설계된 3차 전류모드 능동필터의 시뮬레이션 결과  
Table 4. Simulation results of designed current-mode filter

Parameter	Specification	Simulation	
		Passive filter	Active filter
Power supply voltage	3 V	-	3 V
Passband ripple	0.1 dB	0.1 dB	0.11 dB
Stopband attenuation	> 40 dB	> 40 dB	> 40 dB
Cutoff frequency ( $f_{cut}$ )	150 MHz	150 MHz	148 MHz
Power dissipation	< 5mW/pole	-	< 4.3 mW/pole

수동소자가 이상적인 특성을 갖는다고 가정되는 경우에 수동필터의 시뮬레이션 결과는 주어진 설계사양에 일치한다. 설계된 능동필터의 경우는 체비세프 필터의 통과대역에서 발생하는 리플이 수동필터에 비하여 0.01dB 높은 값을 가졌으며 차단주파수는 설계사양에 비하여 2MHz가 적은 값으로 시뮬레이션 되었다. 이러한 결과는 수동-능동회로 변환과정에서의 오차 및 그밖에 능동필터가 가지는 비이상적인 파라메타에 의하여 기인된다. 이러한 오차는 최종적으로 설계가 완료된 후 전류튜닝등의 방법을 사용하여 줄일 수 있다. 설계된 전류모드 능동필터의 경우에도 내부 블록인 적분기의 전류값을 증가시키므로써 150MHz의 설계사양값에 도달하게 할 수 있다. 그밖에 필터의 차단대역 감쇄율 및 소비전력 특성등은 설계사양

에 도달하였다. 이러한 결과는 본 논문에서 제안한 전류모드 fully-differential 적분기가 전류모드 필터 설계에 이용할 수 있음을 확인하여 준다.

#### IV. 결 론

본 논문에서는 3V 아날로그-디지털 혼성집적회로에 이용될 수 있는 전류모드 능동필터의 기본 블록으로써 fully-differential 전류모드 적분기를 설계하였다. 소신호해석 및 시뮬레이션 결과로부터 설계된 CMOS 상보형 형태의 fully-differential 적분기는 기존의 NMOS 형 fully-differential 적분기의 특성에 비하여 다음과 같은 개선점을 얻어 낼 수 있었다. 비교된 두 적분기가 모두 fully-differential 구조로 구성되어 비우성 극점을 제거함으로써 위상차이 및 신호잡음에 의한 성능저하를 최소화한 상태에서, 제안된 적분기는 CMOS 상보형 트랜지스터에서 기존의 적분기에 비하여 약 두배의 트랜스컨덕턴스 값을 얻어낼 수 있었으며 증가된 트랜스컨덕턴스 값에 의하여 전류이득과 단위이득주파수가 증가되었다. 또한 적분기의 설계시에 각 트랜지스터들은 자기바이어스 되도록 함으로써 추가적인 바이어스 회로의 구성에 의한 회로크기의 증가를 피하여 상대적으로 적은 칩면적을 가진다. 이러한 결과는 소신호해석 및 SPICE 시뮬레이션으로 분석되었으며 분석된 결과를 기존의 fully-balanced 적분기와 비교하여 제시하였다. 또한 설계된 적분기의 응용회로로써 전류모드 3차 저역 능동필터를 설계하였으며 시뮬레이션 결과 148MHz의 차단주파수와 4.3mW/pole의 소비전력 특성을 나타내었다.

현재 제안된 전류모드 fully-differential 적분기 구조 및 능동필터를 이동통신용 IF 회로, 디스크 드라이브의 read-channel 시스템 등의 저전압 아날로그/디지털 혼성 집적회로 등에 응용될 수 있도록 하는 연구를 계속하고 있다.

#### 참 고 문 헌

1. T. S. Fiez, G. Liang, and D. J. Allstot, "Swiched-current circuit design issues," *IEEE J. Solid-State Circuits*, vol. 26, pp. 192-202, Mar. 1991.
2. J. B. Hughes, N. C. Bird, and I. C. Macbeth,

"Switched Currents A New Technique for analogue Sample-Date Signal Processing," in *Proc IEEE ISCAS*, pp. 1584-1587, May 1989.

3. S. S. Lee, R. H. Zele, and D. J. Allstot, "CMOS Continuous-Time Current-Mode Filters for High-Frequency Applications" *IEEE J. Solid-State Circuits*, pp. 323-329, 1993.
4. R. H. Zele, S. S. Lee, D. J. Allstot, and G. Liang. "A continuous-time current-mode integrator," *IEEE Trans. Circuits and Systems*, vol 38, pp. 1236-1238, Oct. 1991.
5. S. L. Smith, E. S-Sinencio, "3v High-Frequency Current-Mode Filter," in *Proc. IEEE ISCAS*, pp. 1459-1462. 1993.
6. R. H. Zele, S. S. Lee and D. J. Allstot, "A 3V-125 MHz CMOS Continuous-Time Filter" in *Proc. IEEE ISCAS*, pp. 1164-1167, 1993.
7. R. H. Zele, and D. J. Allstot, "Low-Power CMOS Continuous-Time Filter" *IEEE J. Solid-State Circuits*, vol 31, No. 2, Feb. 1996.
8. L. T. Bruton, "Low-sensitivity digital ladder filters," *IEEE Trans. Circuits and System*, vol. CAS-22, no. 3, pp. 168-176, Mar. 1975.



최 규 훈(Kyu-Hoon Choi) 정회원

1950年 7月 11日生

1974年 2月:광운대학교 공과대학  
전자공학과 공학사

1976年 2月:연세대학교 산업대학  
원 전자공학과 공학  
석사

1991年 2月:전북대학교 대학원 전

자공학과 공학박사

1981年 3月~현재:전주공업전문대학 전자과 교수

※주관심분야:신호처리 및 집적회로 설계



방 준 호(Jun-Ho Bang) 정회원

1966年 9月 28日生

1989年 2月:전북대학교 공과대학  
전기공학과 공학사

1991年 2月:전북대학교 대학원 전  
기공학과 공학석사

1996年 2月:전북대학교 대학원 전  
기공학과 공학박사

1996年 6月~현재: 전북대학교 전기전자회로합성연구소 연구원

※주관심분야: 아날로그 집적회로 등



조 성 익(Seong-Ik Cho) 정회원

1961年 2月 10日生

1987年 2月: 전북대학교 공과대학  
전기공학과 공학사

1989年 2月: 전북대학교 대학원 전  
기공학과 공학석사

1994年 2月: 전북대학교 대학원 전  
기공학과 공학박사

1996年 5月~현재: 현대전자 Memory 연구소 선임연구원

※주관심분야: 통신시스템, VLSI 설계 등