

DRAM을 사용한 가변 사이즈 영상 저장/재생 시스템 구현에 관한 연구

正會員 이 호 준*, 이 주 석**, 박 노 경***, 차 균 현*

A Study on the Implementation of Scalable Image Capture Processor using DRAM

Ho Jun Lee*, Joo Sock Lee**, Kno Kyung Park***, Kyun Hyon Tchah* *Regular Members*

※이 논문은 1995년도 정보통신부 대학기초연구 지원사업 연구비에 의하여 연구되었음.

요 약

영상을 캡처, 편집, 디스플레이하기 위해서는 화상 메모리(Frame memory)를 제어하는 것이 필요하다. 기존의 시스템에서는 전체 사이즈, 1/2 사이즈, 1/4 사이즈처럼 고정된 사이즈로 영상을 캡처한 반면에 본 논문에서 제작된 시스템은 사용자가 저장할 데이터의 사이즈를 정하는 가변 사이즈 개념을 도입하였다. 즉, 이 시스템은 사용자가 정한 데이터 크기에 따라서 게이팅 펄스를 발생시키고 입력된 영상 데이터를 게이팅하여 화상 메모리 대신에 4 M DRAM에 저장하게 된다. 그리고 저장된 데이터는 TV 모니터에 디스플레이된다.

먼저 "Philips TV Chipset"을 사용하여 소스로부터 영상을 얻어서 모니터에 주사하여 동작됨을 확인하였고, 가변 사이즈부와 DRAM 제어부는 3개의 ACTEL FPGA 칩 A1020B를 사용하여 설계하고 시뮬레이션을 수행한 후에 하드웨어를 제작, 실험하여 전체 시스템 동작을 검증하였다.

ABSTRACT

It is necessary to control the frame memory to capture, edit and display images. This paper presents the free-scale image capture processor size of which is user-defined, compared to the conventional image capture processor size of which is fixed 1/2, 1/4 and full size. User-defined scale data is fed into this system, which generates the

* 고려대학교 전자공학과 VLSI & CAD 연구실
 ** 용인공업전문대학 전자과
 *** 호서대학교 정보통신공학과
 論文番號: 96179-0614
 接受日字: 1996年 6月 14日

gating pulses and gates the inputted image data. This system also controls the 4M DRAM instead of frame memory. And stored gated image data are displayed on the TV monitor.

We designed the scalable image capture parts and DRAM controller with ACTEL FPGAs, simulated the circuits with Viewlogic and fusing ACTEL A1020B chips. We confirmed the whole operation with breadboard which composed of "Philips TV Chipset" and designed FPGA Chips.

I. 서 론

1960년대 초기에 서더랜드(Ivan Sutherland)라는 사람이 컴퓨터 그래픽을 CRT 모니터에 표현할 수 있는 방법을 찾아낸 이래 일반 TV나 VTR의 아날로그 영상을 디지털화하여 컴퓨터에서 처리할 수 있는 영상으로 변환하려는 노력은 끊임없이 계속되었고 앞으로도 계속될 것이다.

그리고 앞으로 다가오는 초고속 정보통신망에서 이러한 영상처리 기술이 멀티미디어의 핵심이 될 것이다. 전에는 영상처리 시스템이 고가였기 때문에 영상처리에 대한 연구는 특정의 연구 기관에 한정되어 있었지만 현재는 마이크로 프로세서나 반도체 메모리가 싼 가격에 생산되고 컴퓨터 사용이 일반화됨에 따라 영상처리는 누구에게나 관심의 대상이 되고 있다. 특히 컴퓨터에서 멀티미디어 정보를 누구나 쉽게 접근할 수 있고 이를 처리할 수 있는 방법들이 제시되고 있다. 그 중에서도 동화상 처리를 하기 위해 여러 소스로부터 영상을 받아 화상 메모리나 하드 디스크 등에 저장하는 전처리기가 기본으로 있어야 하는데, 이를 이미지 오버레이 보드(Image overlay board), 이미지 그래버(Image grabber) 혹은 캡처 보드(Capture board) 등 다양한 이름으로 불리우고 있다.[1]

이러한 기능으로서 PC add-in형태로 여러가지 제품이 상용화되고 있지만 근본적으로 "Philips TV Chipset +C&T, Trident, Aura vision"의 공식을 벗어나고 있지 못하고 있는 것이 국내 현실이다. 칩 자체를 수입에 의존하며, 이러한 칩을 사용하여 시스템을 구성하고 응용하고 있을 뿐이다. 그렇기 때문에 이러한 종류의 경쟁력 있는 칩을 개발하고 국산화하는 것이 향후 멀티미디어 산업을 위해서도 매우 중요하다.

본 논문에서는 이런 관점에서 경쟁력 있는 시스템을 구성하고 하드웨어로 제작하여 동작시켜 칩이 될 수 있는 방법을 제시하려 한다.

먼저 "Philips TV Chipset"을 사용하여 소스로부터 영상신호를 얻어서 모니터에 주사하여 동작됨을 확인하였고 그후에, 영상신호를 화상메모리(Frame memory)가 아닌 4M DRAM에 사용자가 정해준 사이즈만큼 저장하기 위해서 ACTEL FPGA Chip A1020B 3개를 이용하여 원하는 사이즈만큼 영상신호를 게이트하여 메모리에 저장하였다.

기존의 영상 오버레이 보드는 전체사이즈, 1/2사이즈, 1/4사이즈 등 고정된 사이즈로 영상을 캡처하는 반면에 본 논문에서는 사용자가 저장할 데이터의 사이즈를 정하는 가변사이즈의 개념을 처음 시도하였고 이 점에 중점을 두었다.

또 저장된 영상을 다시 PC 모니터에 디스플레이하기 위해서 TV 주사방식(Interlace scan)을 모니터 주사방식(Non-interlace scan)으로 변환을 해야 하는데, 본 논문에서는 기존의 라인 메모리를 사용하지 않고 같은 라인을 두 번 읽는 새로운 방법을 시도하였다.

본 논문의 구성은 다음과 같다. I 장 서론에 이어서 II 장에서는 "Philips TV Chipset"을 사용한 디지털 비디오 시스템을 설명하였고 III 장에서는 ACTEL FPGA Chip 3개를 사용하여 설계한 전체 시스템과 각 블럭별 설계 및 시뮬레이션에 대해서 설명하였다. 그리고 IV 장에서는 하드웨어로 제작한 전체 시스템의 동작과 실험 방법에 대해서 설명하였고 마지막으로 V 장에서는 결론을 내렸다.

II. 디지털 비디오 시스템

그림 2.1과 같이 "Philips TV Chipset"을 가지고 디지털 비디오 시스템을 구성하였으며 동작은 다음과 같다.[2][3]

영상 신호는 휘도(Y), 칼라(U/V), 동기신호로 구성된 복합 영상 신호가 튜너에 의해 입력되거나 다른 비디오 소스(VCR, LDP, TV ...)로부터 입력된다. 이

것을 각각의 휘도, 칼라, 동기신호로 분리하여 처리하게 되는데 동기 신호는 여러가지 기준 신호를 만드는데 사용되고 분리된 휘도, 칼라신호는 각각의 신호처리를 거쳐 A/D 변환기에 의해 디지털 8 bits 데이터로 변환된다.(SAA7110) 디지털로 변환된 휘도, 칼라신호는 인코딩되어 Y와 R-Y, B-Y 신호로 된다.(SAA7164) 이 신호가 RGB 매트릭스 회로에 의해 아날로그 RGB 각각의 신호로 변환되어 RGB 모니터에 주사된다.(TDA4686)

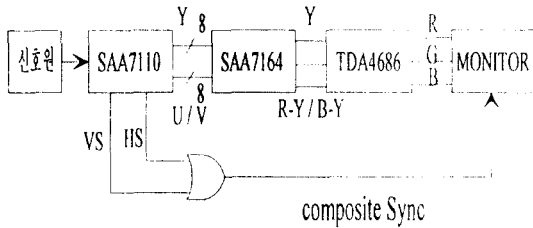


그림 2.1 디지털 비디오 시스템 구성도
Fig. 2.1 Digital video system block diagram

III. 설계 및 시뮬레이션

• 하드웨어 설계 사양

본 시스템에서는 VCR로부터 NTSC 복합 영상 신호를 입력받아 CCIR601 규격의 YUV 4:2:2 포맷의 디지털 신호로 변환되는데(SAA7110 사용), 이것을 사용자가 정해진 크기만큼 DRAM(256K×16)에 저장했다가 다시 읽어들이어 모니터 화면에 주사하게 된다.[4] 하드웨어 설계 사양은 다음과 같다.

- ① 사용자가 정해 준 크기만큼 데이터를 저장하기 위한 가변 사이즈 개념이 가능해야 한다.
- ② 메모리는 DRAM을 사용하고 확장을 할 수 있도록 유연한 설계가 되어야 한다.
- ③ CCIR601 포맷의 신호를 입력으로 하며 최종 출력은 아날로그 RGB신호(Interlaced RGB composite video signal)이다.
- ④ 저장 가능한 최대 사이즈는 640×240×16bit (Full size)이며 최소 사이즈는 사용자에 의하여 정해진다.
- ⑤ 가변 사이즈 제어부, 메모리 제어부 설계는 하드웨어를 고려하여 ACTEL FPGA를 사용한다.

• 가변 사이즈 방법

본 논문에서 중점을 둔 가변 사이즈 기능이 가능하도록 하기 위하여 다음과 같은 방법들을 고려하였으며 데이터 게이팅 방법을 선택하였다.

① A/D 컨버터 클럭 제어 방법

사용자가 정해진 사이즈만큼 데이터를 얻기 위해 데이터를 게이팅하는데 A/D 컨버터의 클럭을 게이팅하여 원하는 크기만큼을 취하여 메모리에 저장한다.

② 고정사이즈 저장과 줌에 의한 가변 사이즈 방법

1/2 혹은 1/4로 고정된 사이즈로 저장하고 메모리에서 읽어낼 때 디지털 줌을 한다. 이때 줌을 하기 위한 하드웨어(IC)가 필요하거나 소프트웨어적으로 하여야 하며 화질의 열화를 감수해야 한다.

③ 데이터 게이팅 방법

A/D 컨버터의 고정된 클럭을 사용하고 대신에 제어부에서 A/D 출력을 그대로 입력받아 원하는 사이즈만큼을 게이팅하는데, 사이즈에 따라 게이팅에 의한 데이터를 취할때 적절한 LPF를 통과시킨다.

본 논문에서는 ③의 데이터 게이팅 방법을 택하여 사이즈에 따른 화질을 고려하여 LPF의 정도를 선택할 수 있도록 하였다.

• 전체 시스템 구성

전체 시스템의 구성은 그림 3.1과 같다.

ACT1은 사용자가 모니터상에서 클릭한 정보에 따라 수평, 수직 방향으로 게이팅할 데이터를 계산한 후, 수평, 수직 방향으로 각각 게이팅 펄스가 'H'인 구간, 'L'인 구간을 정하여 전체 게이팅 펄스를 만든다. ACT2는 입력된 게이팅 펄스에 따라 4:2:2 포맷의 16 bit YUV

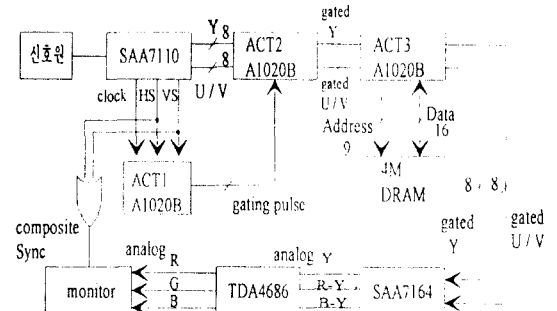


그림 3.1 전체 시스템 구성도
Fig. 3.1 System block diagram

신호를 적절히 LPF한 후 게이팅하여 ACT3로 넘겨준다. 이때 게이팅 정도에 따라 LPF의 정도를 제어한다. ACT3는 ACT2로부터 받은 데이터를 4M DRAM (256K×16)에 저장하고 읽기 동작을 하기 위한 Y/UV 데이터와 어드레스와 메모리 제어신호를 출력하며 Y/UV 데이터는 SAA7164에 입력된다.[5][6][7][8]

전체 시스템의 각 블럭별 설계내용은 다음과 같다.

3.1 ACT1 게이팅 펄스 발생부

영상의 획득 방법은 그림 3.2의 순서도에 따른다. 입력 윈도우의 좌표는 프로그램 가능하며, 전화면 또는 부분화면의 입력이 가능하고 영상의 입력 처리 과정은 입력 영상신호의 수평, 수직 동기 신호와 블랭크 신호에 동기되어 획득된다. 영상의 축소는 입력 과정에서 입력 영상의 데이터에 대하여 이루어지며 축소된 영상이 메모리에 저장된다.[10][11][12]

그림 3.3은 ACT1 게이팅 펄스 발생부의 블럭도이다. 먼저 사용자로부터 수평, 수직쪽 게이팅 'H'와 'L' 데이터 A[7:0], B[7:0], C[7:0] D[7:0]를 각각 입력받

는다. 수평동기(HS)가 끝나는 부분에서 데이터 로드 신호가 발생되어 데이터 A[7:0]가 수평 카운터 ①에 입력된다. 카운트는 먼저 게이팅 'H'구간을 카운터 ①에 의해서 카운트를 시작하고 끝나면 카운터 ①은 클리어되고 카운터 ②는 데이터 B[7:0]를 로드하여 게이팅 'L'구간을 카운트한다. 그리고 카운트가 끝나면 클리어되어 로드신호가 카운터 ①에 입력되어 같은 동작을 번갈아 수행하여 수평게이팅 펄스를 발생시킨다.

수직동기(VS)가 끝나는 부분에서도 데이터 로드 신호가 발생되어 데이터 C[7:0], D[7:0]가 수직 카운터 ③과 ④에 입력된다. 카운트는 먼저 게이팅 'H'구간을 카운터 ③에 의해서 시작하고, 끝나면 카운터 ③은 데이터를 로드하고 클리어된다. 카운터 ④는 게이팅 'L'구간을 카운트한다. 카운트가 끝나면 데이터를 로드하고 클리어하며 이와같은 동작을 번갈아 수행하여 수직게이팅 펄스를 발생시키고 최종적으로 ⑤에서 수평게이팅 펄스와 합쳐져 클럭을 게이팅하여 게이팅 클럭을 출력한다.

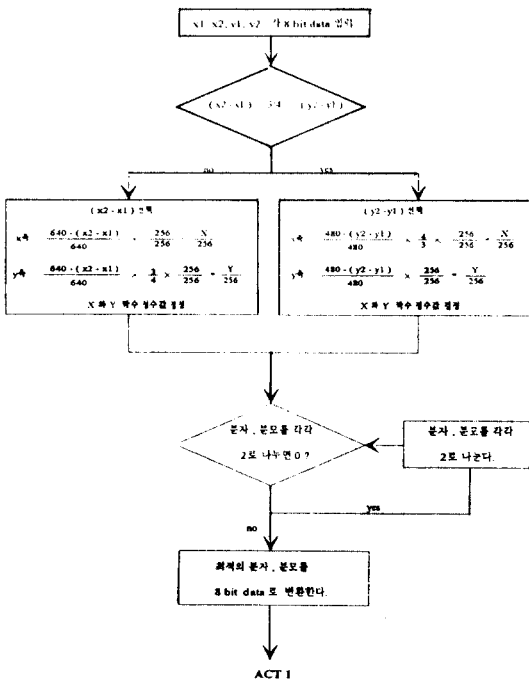


그림 3.2 입력 데이터 순서도
Fig. 3.2 Input data flow chart

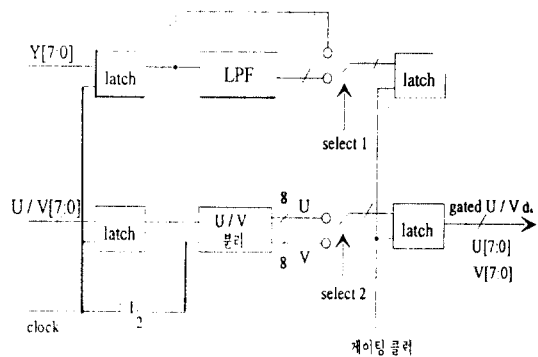


그림 3.3 ACT1 구성도
Fig. 3.3 ACT1 block diagram

3.2 ACT2 데이터 게이팅부

3.2.1 YUV 형식

일반적으로 컴퓨터 그래픽의 칼라 영상은 RGB 형식으로 표현한다. 그러나 디지털 영상을 표현하는 방법에는 RGB외에도 YUV의 형식이 있다. RGB는 칼라를 구성하는 성분인 R, G, B의 데이터로 칼라를 표현하지만 YUV형식은 하나의 휘도성분인 Y와 두개의 색상성분인 U와 V로 표현하는 방법이다. 이 YUV

는 RGB보다 메모리를 효율적으로 사용할 수 있다. 예를 들어 640×480의 영상을 16비트 RGB로 표현하면 $65536(2^{16} = 65536)$ 칼라를 표현할 수 있고, 614KB ($640 \times 480 \times 16/8 = 614400$)의 메모리를 소요하게 된다. 그러나 같은 영상을 YUV로 표현하면 768KB($640 \times 480 \times 20/8 = 768000$)의 메모리로 1백만 칼라를 표현할 수 있다. 그런 이유로 컴퓨터 그래픽에서 사용하는 그래픽 전용 컴퓨터나 워크스테이션에는 그래픽의 표현형태를 YUV로 지원하고 있다. RGB 영상이나 YUV 영상이나 디지털 영상이기 때문에 상호간에 변환이 가능하다. 그래서 본 논문에서는 메모리의 효율적인 이용을 위해서 RGB대신에 YUV 형식을 사용했다.

RGB영상을 YUV영상으로 변환하는 식은 다음과 같다.

$$R = Y + 1.375 \times V \quad (1)$$

$$G = Y - 0.703125 \times V - 0.34375 \times U \quad (2)$$

$$B = Y + 1.373475 \times U \quad (3)$$

3.2.2 ACT2 데이터 게이팅부 설계

SAA7110로부터의 4:2:2 포맷의 YUV신호를 입력받아 Y 신호는 LPF①과 원래의 신호를 사이즈에 따라 절환하여 게이팅 펄스에 의해 선택하고, UV신호는 1/2 분주한 클럭을 가지고 먼저 U 신호를 클럭의 상승부에서 V 신호는 하강부에서 각각 래치하여 분리한다. 그리고 다시 원래의 클럭 상승부에서 각각 래치하고 최종적으로 게이팅 펄스에 의해 게이팅하

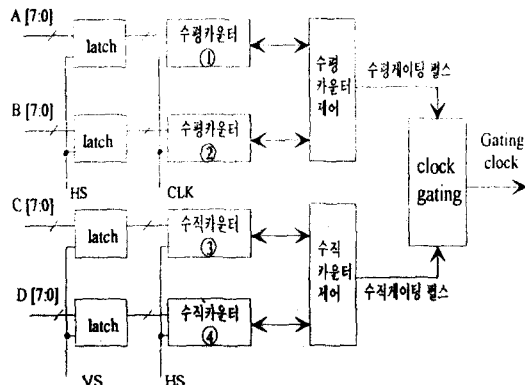


그림 34 ACT2 구성도
Fig. 3.4 ACT2 block diagram

여 출력한다.

3.3 ACT3 DRAM제어부

3.3.1 화상 메모리

영상처리기술을 크게 추진시킨 원동력은 대용량 메모리와 고속 A-D 컨버터의 보급이다. 이것들을 쉽게 이용할 수 있게 됨으로써 영상처리의 디지털화가 가능해지고 손쉽게 영상을 처리할 수 있게 되었다.

아날로그 신호인 NTSC 복합영상신호는 일단 디지털 신호로 변환되어 기억되지만, A-D 변환용의 샘플링 주파수는 이론적으로는 영상신호의 최고 주파수의 2배 이상의 주파수가 되어야만 한다.(Nyquist 이론)

그래서 NTSC 신호의 변환을 실행하려면 보통은 색부반송파 주파수의 3배, 또는 4배의 주파수로 샘플링한다. 샘플링된 데이터는 A-D변환해서 디지털 신호로서 메모리에 기입한다. 그 후 필요로 하는 타이밍에서 판독하고 D-A변환함으로써 아날로그 신호로 복원하는 것이다.

여기서 메모리 측에 요구되는 성능을 생각해 본다. 칼라 텔레비전 신호로서 NTSC 신호를 예로 들어보면 색부반송파주파수 fsc는 3.579545MHz이다. 따라서 샘플링 레이트를 그 3배로 할 경우, 메모리 측의 처리스피드(사이클 시간)는

$$1/(3579545 \text{ Hz} \times 3) \approx 93.1 \text{ (ns)} \quad (4)$$

가 된다.

또 영상신호 1필드(1화면)분의 기억을 생각할 경우에 필요해지는 메모리의 양은 양자화 비트 수를 16비트로 하면,

$$\frac{525}{2} \times \frac{455}{2} \times 3 \times 16 = 2,866,500 \text{ (bits)} \quad (5)$$

가 된다.

마찬가지로 샘플링 레이트를 색부반송파 주파수의 4배로 할 경우에 대해서도 계산한 결과를 표 3.1에 든다.

이와 같이 화상메모리는 일반적으로 대용량이면서 93.1(ns), 69.8(ns)이나 되는 고속의 메모리 사이클 시간을 동시에 만족시키지 않으면 안된다.

필드 메모리는 어드레스 포인터를 내장하고 있으므로 외부에 어드레스 발생회로가 필요하지 않고 듀

얼포트(Dual-Port)로 되어 있기 때문에 쓰기/읽기가 독립적이고 동시에 비동기로 실행할 수가 있어 사용하기 편리하나 전력소비가 많고, 가격이 비싸다는 단점이 있으며, 고속의 바이폴라 RAM을 사용하면 처리 스피드에 대해서는 충분하나 대용량화에서는 비경제적일 뿐만 아니라 소비전력도 크고, 주열열(Joule heat)에 의한 문제가 일어날 수 있다.

따라서 대용량이면서 저전력인 기존의 범용 DRAM을 사용할 수밖에 없지만, 고속의 메모리 사이클 시간을 실현한다는 것은 간단하지만은 않다. 그래서 메모리를 복수 개 동시 액세스하고, 그 병렬데이터를 직렬데이터로 변환하는 병렬-직렬 변환 처리를 하고 외관상의 사이클 시간을 빠르게 하는 일을 생각할 수 있다. 그러나, 여기에는 응용상에서 복잡한 타이밍을 만들어 주어야 한다.

본 논문에서는 고가격의 필드 메모리 대신에 값이싼 범용 DRAM을 화상 메모리로 사용하였고, 어드레스 발생회로를 제어하여 같은 라인을 두 번 읽어 들임으로써 라인 메모리 없이 풀 사이즈의 영상을 나타낼 수 있도록 하였다.

DRAM의 페이지 모드 사이클은 비디오 RAM(화상 메모리)처럼 연속된 어드레스를 반복해서 액세스하는 경우 등에 편리하며, 리드 사이클을 반복하는 것보다도 액세스의 반복시간은 짧게 할 수 있고 소비전력도 작게 할 수 있다. 단, 그 반복횟수는 RAS "L" 펄스폭의 최대값을 넘지 않도록 주의할 필요가 있다.

표 3.1 화상 메모리에 요구되는 처리 스피드와 용량
Table 3.1 Required process speed and capacity of image memory

샘플링 레이트	메모리 사이클 시간	용량(비트수)
3fsc	93.1 ns	2,866,500 비트(358KB)
4fsc	69.8 ns	3,822,000 비트(478KB)

3.3.2 ACT3 DRAM 제어부 설계

라이트(WRITE)경우에는 게이트된 HS인 GHS와 게이트된 클럭인 GCLK가 선택되고 리드(READ) 경우에는 수평 동기 신호인 HS와 메인 클럭 CLK가 선택돼서 카운터에 입력되어 어드레스를 발생시킨다. 10 bit 로우(row) 어드레스 카운터는 선택기인 MUX1

에 의해 \overline{W} 신호에 따라서 데이터를 리드할 때는 같은 라인을 두 번씩 읽기 위해서 [9:1] bits를 선택하고 데이터를 라이트할 때는 [8:0] bits를 선택하여 9 bit 어드레스를 만든다. ODD 필드일 때는 메모리에 라이트를 하고 EVEN 필드일 때는 메모리로부터 리드하게 되어 있다. 선택기 MUX2에서는 로우 어드레스와 칼럼(column)어드레스를 다중화하여 메모리에 보낸다.

Fast page mode에서는 RAS 신호가 액티브인 동안에 CAS 신호를 액티브, 비액티브하여 수평 주사선한 라인의 데이터를 얻을 수 있다.

타이밍 발생회로에서는 ODD/EVEN, 수직 동기 신호(VS), HS/GHS, CLK/GCLK 신호를 입력받아 RAS, CAS, \overline{W} , OE 등 메모리 제어 신호를 발생시킨다. 데이터 버퍼는 양방향 버퍼(bidirectional buffer)를 사용해서 \overline{W} 신호가 'L'일때는 16 bit Y/UV 데이터가 메모리에 저장되고 'H'일때는 메모리로부터 읽어 내서 SAA7164로 보낸다.

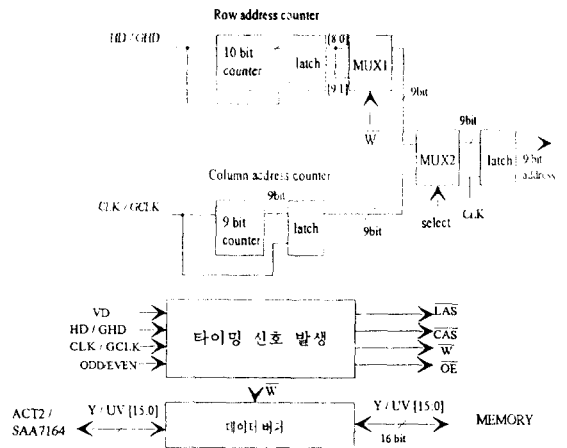


그림 3.5 ACT3 구성도.
Fig. 3.5 ACT3 block diagram

3.4 시뮬레이션 결과

회로는 ACTEL FPGA중 A1020B 칩을 사용하여 설계하였고 Viewlogic으로 시뮬레이션을 수행하였다. ACT1, 2, 3 각각의 설계된 회로를 A1020B에 배치 배선하였고 타이밍 딜레이(delay) 데이터를 이용(back-annotation)하여 재 시뮬레이션하여 동작을 확인한 후

최종적으로 A1020B 칩에 프로그램하여 제작하였다. 최종 시뮬레이션 결과는 다음과 같다.

그림 3.6은 게이팅 펄스 발생부의 시뮬레이션 결과이다. VD는 수직동기 신호를 나타내고 GHD와 GCLK는 각각 수평동기 신호와 메인 클럭을 게이팅한 것을 보여주고 있다.

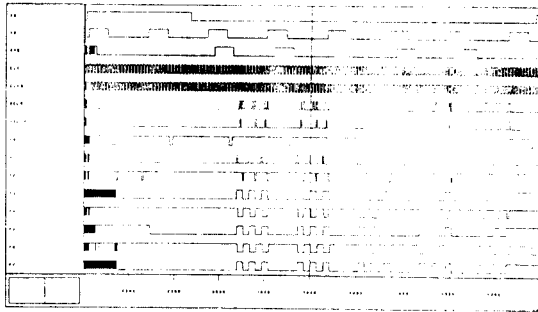


그림 3.6 ACT1 시뮬레이션
Fig. 3.6 ACT1 simulation

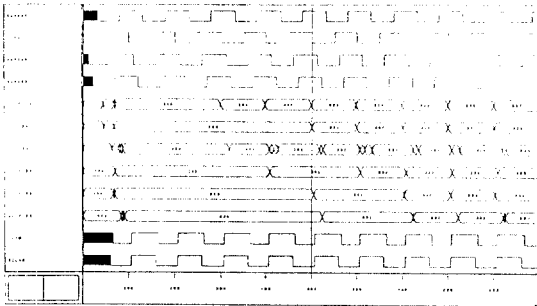


그림 3.7 ACT2 시뮬레이션
Fig. 3.7 ACT2 simulation

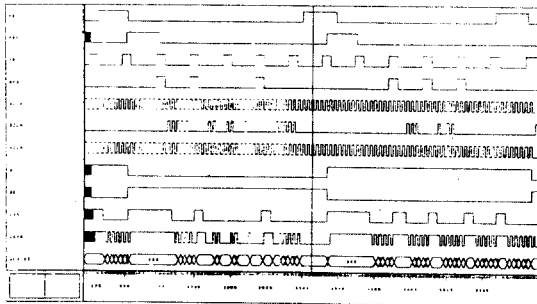


그림 3.8 ACT3 시뮬레이션
Fig. 3.8 ACT3 simulation

그림 3.7은 데이터 게이팅부의 시뮬레이션 결과인데, j[7:0]와 py[7:0]는 LPF한 결과를 보여주고 있다.

그림 3.8은 DRAM 제어부의 시뮬레이션 결과이다. 라이트 동작때는 GHD와 GCLK, 리드 동작때는 HD와 MCLK를 가지고 LAS와 LCAS와 같은 메모리 스트로브(strobe) 신호를 만든다.

IV. 하드웨어 제작 및 평가

하드웨어 제작 및 평가는 다음과 같은 순서로 하였다.

먼저 "Philips TV Chipset"만으로 구성된 디지털 비디오 시스템을 그림 2.1과 같이 구성하였다. SAA7110, SAA7164, TDA4686은 I²C 버스에 의해서 동작되므로 초기 데이터를 EPROM에 기록하여 power on시 각각의 IC에 초기 데이터를 주도록 하였다. 동작은 비디오로부터 신호를 입력받아 RGB 출력과 SAA7164의 Y출력을 TV수상기에 주사하여 확인하였다.

다음 ACT1과 ACT2를 연결하여 ACT2의 게이팅된 출력을 SAA7164에 연결하여 게이팅 입력데이터 A[7:0], B[7:0], C[7:0], D[7:0]에 따라 화면상에서의 동작을 보고 확인하였다. 수직, 수평 게이팅 데이터는 흑레벨로 보이고, 입력 데이터에 의해 가변됨을 확인하였다.

마지막으로 ACT3과 4M DRAM을 연결하여 SAA7110의 필드구분신호를 이용하여 ODD필드시는 YUV 데이터를 DRAM에 저장하고, EVEN필드시 기록된 YUV신호를 한 라인을 두번 읽어 SAA7164에 주어 화면을 관찰함으로써 동작을 확인할 수 있었다.

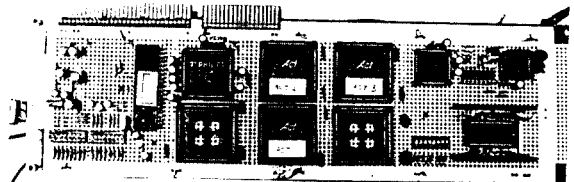


그림 4.1 테스트 보드
Fig. 4.1 Test board

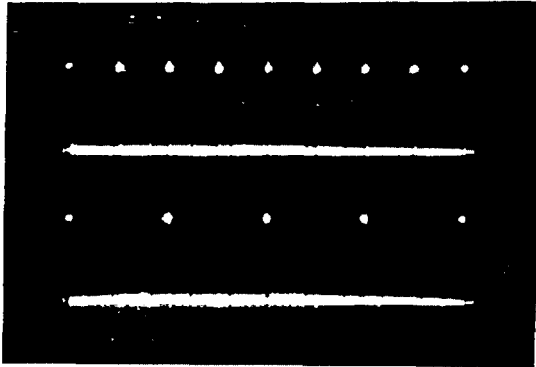


그림 4.2 게이팅된 HS
Fig. 4.2 Gated HS

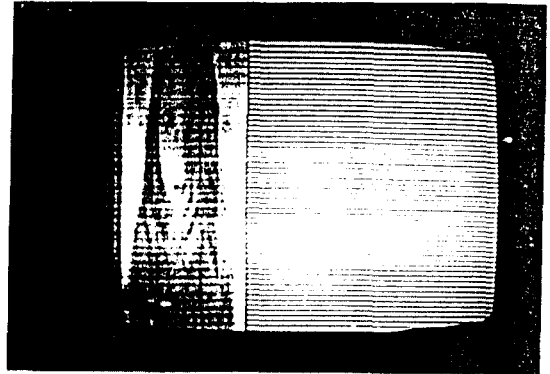


그림 4.5 수평 가변 화상
Fig. 4.5 Horizontal scalable image

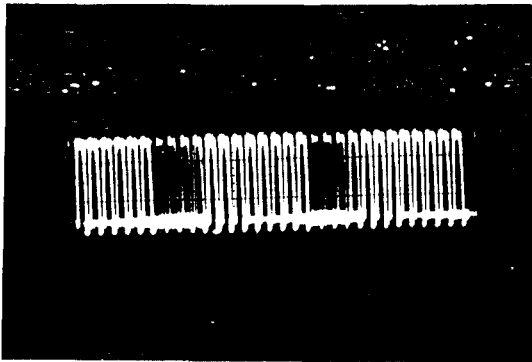


그림 4.3 게이팅된 GCLK
Fig. 4.3 Gated GCLK



그림 4.4 수직 가변 화상
Fig. 4.4 Vertical scalable image

그림 4.1은 전체 시스템을 구성한 테스트 보드의 사진이다. IC 패키지가 PLCC 형이므로 소켓을 이용하고, 배선을 하였다.

그림 4.2은 수직 방향으로 1/2 사이즈의 영상을 저장할 수 있는 게이팅된 HS를 나타내고 있는데, 두개 중에 하나의 HS가 게이팅되는 것을 알 수 있다. 그리고 그림 4.3은 수평 방향으로 2/3 사이즈의 영상을 저장할 수 있는 게이팅된 GCLK를 나타내고 있다.

그림 4.4는 수직으로 1/2배 사이즈의 화상이고 그림 4.5는 수평으로 1/3배 사이즈의 화상이다.

V. 결 론

컴퓨터 시스템과 주변기기의 성능은 빠르게 발전하고 있으며 특히 개인용 컴퓨터에서 멀티미디어의 정보를 손쉽게 접근할 수 있고 이를 가공할 수 있는 솔루션이 제시되고 있으며, 그 중에서도 동화상 처리를 하기 위한 PC 화상처리 분야에 관련하여 국내에서는 몇가지 솔루션을 제공하고 있다. 그러나 "Philips TV Chipset + C&T, Trident, Aura Vision Controller Chipset"의 공식을 벗어나지 못하고 있으며 극히 제한적인 기능만을 지원하고 있다. 따라서 더이상 외국 제품을 그대로 도입, 모방해서는 빠르게 변화하고 있는 멀티미디어 특히 새롭게 각광을 받고 있는 디지털 화상처리 분야에서 국제적인 경쟁력을 가질 수 없게 되며, 기술 종속이나 기술 사대주의에 빠질 가능성이 있다. 또한 외국 선진 업체는 세계 표준화를 위해서

많은 노력을 경주하고 있지만 국내 업체는 외국 선진 업체들의 이러한 경쟁과는 동떨어져 있는 것이 현실이다.[13]

그래서 본 논문에서는 위와 같은 고품질의 영상 서비스를 제공할 수 있는 시스템 구현의 기본 기술 확보 차원에서 동영상 신호를 디지털화하여 사용자가 정의해 준 사이즈만큼 DRAM에 저장하여 이를 다시 읽어 모니터에 주사하는 가변 사이즈 이미지 저장 및 재생에 관한 효율적인 방법을 제시하였고, ACTEL FPGA를 이용하여 하드웨어를 제작하고 실험하여 검증하였다.

제작된 시스템은 게이팅 펄스를 발생시켜 소스로부터 화상 데이터를 원하는 사이즈만큼 선택하여 메모리에 저장하고 모니터에 주사하는 가변 사이즈 개념이 가능하도록 하였으며 메모리는 일반적인 화상 메모리대신 값이 싸고 전력 소모가 적은 DRAM의 fast page mode를 사용하였고, 어드레스 발생 카운터를 제어하여 하나의 라인을 두 번씩 읽어내는 새로운 방법을 이용하여 별도의 라인메모리 없이 비휘주사 방식에서 모니터 주사 방식인 순차 주사 방식이 가능하도록 하였다.

따라서 향후 멀티미디어의 기반 기술이 되는 화상 데이터의 캡처 및 저장 처리 분야에 기여할 수 있고 경쟁력 있는 IC개발의 핵심요소가 될 수 있다.

참 고 문 헌

1. 장기혁 편역, "영상처리 시스템의 기초와 설계 제작", 도서출판 세운, 1986.
2. Philips "Desktop Video Data Handbook", 1995.
3. 오재광 저, "PC 인터페이스 제작과 실제", 크라운 출판사, 1995.
4. CCIR Recommendation 601-2, "Encoding Parameters of Digital Television for Studios", 1982.
5. Herbert Alrutz, Hans-Jurgen Desor, Peter Flamm, Veikko Summa and Echart Wagner, "A Single Chip Multistandard Video Encoder", IEEE Trans. Consumer Electronics, Vol. 39, No. 3, August 1993.
6. A. H. M. van Roermund et. al.: "A General-Purpose Programmable Video Signal Processor", IEEE Trans. on Consumer Electronics, Vol. 35, No. 3,

Aug. 1989.

7. P. A. Ruetz: "The Architectures and Design of a 20 MHz Real-Time DSP Chip Set", IEEE J. of Solid-State Circuits, Vol. 24, No. 2, April 1989.
8. Ulrich Schmidt, Knut Caesar and Thomas Himmel: "Data-Driven Array Processor For Video Signal Processing", IEEE Trans. on Consumer Electronics, Vol. 36, No. 3, Aug. 1990.
9. David Gillies, and Dietrich Westerkamp: "Motion Adaptive Field Rate Upconversion Algorithms For 900 Lines/100 Hz/2:1 Displays", IEEE Trans. on Consumer Electronics, Vol. 36, No. 2, May. 1990.
10. Tatsuro Abe, and Tetsuo Yamada: "400K Pixel Full Frame Reading Out FIT-CCD Color Pick up System", IEEE Trans. on Consumer Electronics, Vol. 36, No. 4, Nov 1990.
11. M. Burkert, and G. Scheffler: "IC Set For A Picture-In-Picture System With On-Chip Memory", IEEE Trans. on Consumer Electronics, Vol. 36, No. 1, Feb 1990.
12. Abha Singh and V. Michael Bove: "Multidimensional Quantizers for Scalable Video Compression", IEEE Journal on SAC, Vol. 11, No. 1, Jan 1993.
13. 황인준 "VHDL을 이용한 멀티미디어용 비디오 이미지 콘트롤러의 설계", 고려대학교 전자공학과 석사 학위 논문, Dec. 1994.

차 균 현(Kyun Hyon Tchah) 정희원
 1965년 2월: 서울대학교 전기공학과(공학사)
 1967년 6월: Univ. of Illinois(공학석사)
 1972년 6월: 서울대학교 전자공학과(공학박사)
 1978년 3월~현재: 고려대학교 전자공학과 교수
 ※주관심분야: VLSI, 통신

박 노 경(Noh Kyung Park) 정희원
 1984년 2월: 고려대학교 전자공학과(공학사)
 1986년 2월: 고려대학교 전자공학과(공학석사)
 1990년 2월: 고려대학교 전자공학과(공학박사)
 1988년 8월~현재: 호서대학교 정보통신공학과 부교수
 ※주관심분야: 영상신호처리 ASIC 설계, 회로 및 시스템 설계



이 주 석(Joo Sock Lee) 정회원

1983년 2월:서강대학교 전자공학과(공학사)

1985년 8월:고려대학교 전자공학과(공학석사)

1985년 11월~1995년 2월:LG반도체, LG 전자 근무

1995년 3월~현재:고려대학교 전

자공학과(박사과정)

1997년 3월~현재:용인공업전문대학 전자과 전임강사

※주관심분야:영상신호처리 ASIC 설계, 회로 및 시스템 설계



이 호 준(Ho Joon Lee) 정회원

1994년 2월:고려대학교 전자공학과(공학사)

1996년 8월:고려대학교 전자공학과(공학석사)

1996년 7월~현재:LG반도체 JAVA 설계 Gr. 연구원

※주관심분야:마이크로 프로세

서 설계, 영상 신호처리 ASIC 설계