

## $\Sigma\Delta$ 변환기 후단 처리용 고선형 저전력 연속시간 필터의 설계

正會員 홍 국 태, 정 현 택\*\*, 손 한 응\*\*, 염 왕 섭\*\*, 정 강 민\*\*\*

### A Design of High-Linearity Low-Power Continuous-Time Filter for Post-Processing of $\Sigma\Delta$ Converters

Kuk-Tae Hong\*, Hyun-Taeg Jung\*\*, Han-Woong Son\*\*, Wang-Seup Yeum\*\*,  
and Kang-Min Chung\*\*\* *Regular Members*

※본 연구는 (주)삼성전자의 산학협동 지원과제로 수행되었음.

#### 요 약

본 연구에서는 CDP 단일 칩에서  $\Sigma\Delta$  D/A 변환기 출력인 PDM 또는 PWM 신호를 처리하여 데이터 재구성을 수행하는 3.3V 단일전압 구동 고성능 연속시간 필터를 설계하였다. 고선형성 및 주어진 필터 설계사양을 만족시키기 위한 액티브 RC 필터의 구조 및 차수에 대하여 논의한다. OP-AMP의 설계에 있어서는, 적절한 왜곡을 인정하는 구조를 바탕으로 새로운 전류검출 회로를 채택하여 면적을 줄이며, 입력단에 새로운 바이어스 회로를 채택하여 DC 경로의 개수를 줄임으로서 전력면에서 이득을 얻도록 하였다. 설계된 필터는  $\Sigma\Delta$  변조기 후단에서 전체 시스템 성능을 저하시키지 않으면서 데이터 재구성 및 스무싱 동작을 수행한다.

#### ABSTRACT

This paper introduces a monolithic chip 3.3V high-performance continuous-time filter used in a CDP that can reconstruct the PDM or PWM signal output of a  $\Sigma\Delta$  D/A converter. We also mentioned an active RC filter structure and filter order satisfying high-linearity and the design specification. In designing the OP-AMP, using a structure that accepts some distortion we could reduce the chip area, and reducing the DC path using a new bias

\*LG 종합기술원 이노베이션센터  
\*\*삼성전자(주) 시스템 LSI 본부  
\*\*\*성균관대학교 전기·전자· 제어공학부  
論文番號: 96335-1029  
接受日字: 1996年 10月 29日

circuit gave us better power performance. The designed  $\Sigma\Delta$  D/A converter post-processing filter does its smoothing operations and reconstructs the data without reducing the performance of the system.

## I. 소개

A/D(Analog-to-Digital) 및 D/A(Digital-to-Analog) 변환기의 전후 신호처리를 위하여는 아날로그 형태인 어라이어싱 방지 필터 및 데이터 재구성 필터(또는 스무싱 필터)가 요구된다. 변환기 전후단에 사용되는 이러한 형태의 필터들은 관련된 디지털 신호처리 프로세서의 성능 저하 요인으로 작용해서는 안된다. 이를 위하여 현재 비디오 주파수 프로세서에 대해서는 40~50 dB, 통신용 프로세서는 60~75 dB, 오디오 주파수 프로세서에 대해서는 약 90~100 dB의 동적범위와 선형성이 함께 보장되어야 한다.

본 논문에서 개발하려는 아날로그 필터는 디지털 오디오 분야 응용, 특히 CDP(Compact Disk Player) 단일칩에서  $\Sigma\Delta$  D/A 변환기 출력인 PDM(Pulse Density Modulation) 또는 PWM(Pulse Width Modulation) 신호를 처리하여 데이터 재구성을 수행하는 3.3V 단일 전압 구동 고성능 연속시간 필터를 설계하는 것이 목적이다.

## II. 연속시간 필터의 설계

### 2.1 과표본화 $\Sigma\Delta$ D/A 변환 기법

최근 단채널(short-channel) CMOS 공정으로 충분한 속도성능을 지원하는 환경하에서  $\Sigma\Delta$  기법<sup>[1]</sup>은 고분해능이 요구되는 응용분야에서 널리 사용되고 있다.

그림 1에 일반적인  $\Sigma\Delta$  D/A 변환기의 블록 도를 보였다. 하나의 디지털  $\Sigma\Delta$  변조기에 의해 1 비트 열(stream)이 생성되고, 반면에 잡음의 필터링은 아날로그 부분에서 행해진다. 과표본화 변환기의 출력에서 아날로그 필터는 주로 변조기에 의해 야기된 대역외(out-of-band) 양자화 잡음을 제거한다.

과표본화 변환기는 비교적 간단한 필터들로 이러한 동작을 수행할 수 있다. 예를 들면, 2차  $\Sigma\Delta$  변조기의 경우에는, 잡음 스펙트럼이 옥타브당 약 12 dB로 상승하고, 신호 대역 근처 주파수들에서 이 잡음은 적은 양이 된다. 옥타브당 12 dB 하강하는 LPF 특성

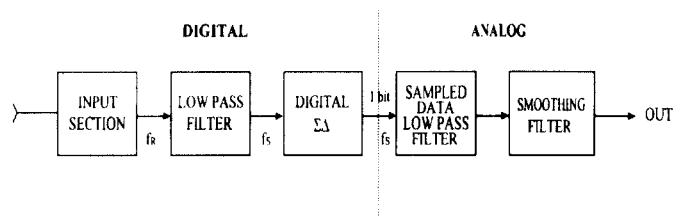


그림 1. 일반적인 과표본화 D/A 변환기의 블록 다이어그램

을 이용하여 원하는 사양을 만족시킬 수 있다<sup>[1,2]</sup>. 그러나, 고차 변조기가 사용될 때는 더 복잡한 필터가 필요하다. 어떤 경우에는 이러한 후단처리 필터에서 요구되는 선형성과 작은 하모닉 왜곡 성능을 얻기가 힘들고, 특별한 설계 기법들이 사용되어야만 한다.

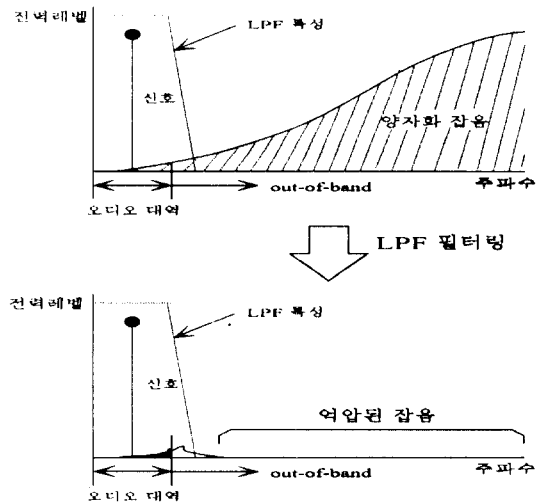


그림 2. 아날로그 포스트 필터에 의한 잡음 필터링

본 논문에서는 MASH(multi-stage noise shaping) 3차  $\Sigma\Delta$  변조기의 출력인 PDM 또는 PWM 신호에 포함된 고주파 잡음을 제거하고 원하는 아날로그 신호를 얻기 위한 후단 아날로그 저역통과 필터를 설계하는 것이 그 목적이다. 오디오 응용 프로세서에 적용

되는 형태이므로 고성형성이 요구되며, 휴대용 기기인 CDP 내에 채용되므로 저전력 특성이 요구된다. 설계하고자 하는 아날로그 필터의 주요 설계사양을 표 1에 요약하였다.

표 1. 아날로그 후단처리 필터 설계 사양

| -설계 사양-                 |                      |
|-------------------------|----------------------|
| ① POWER SUPPLY VOLTAGE: | 3.3 V 단일전원           |
| ② SNR:                  | 100 dB 이상            |
| ③ PASSBAND RIPPLE:      | ±0.5 dB (0~20 kHz)   |
| ④ THD:                  | 0.00315% (-90 dB) 이하 |
| ⑤ DYNAMIC RANGE:        | 92 dB                |
| ⑥ POWER DISSIPATION:    | 50 mW                |
| ⑦ LPF -3 dB FREQUENCY:  | 28 kHz               |
| ⑧ TECH:                 | CMOS 0.65m 공정        |
| ⑨ CHIP SIZE:            | 1500 m * 1500m 이내    |

## 2.2 연속시간 필터의 구조

연속시간 필터는 액티브 RC 필터, MOSFET-C 필터, 스위치드 커패시터 필터 등으로 구현된다. 스위치드 커패시터 필터는 스위치의 ON/OFF에 의하여 저항과 동가적인 성질을 실현한다. 즉, 시간을 구획하여 신호를 샘플링한다. 이 구조의 필터는 대단히 높은 슬루율(slew-rate)을 가지는 OP-AMP가 요구되며, 복잡하고, 또한 비교적 낮은 입력 동작 주파수로 제한된다.

MOSFET-C 필터는 전압가변 저항을 사용하거나<sup>1)</sup>, 보정이 가능한 트랜스컨덕터를 사용하여 주파수 응답 변화를 보정<sup>2)</sup>하였다. 그러나, 이러한 구조들은 하모닉 잡음을 발생시킨다. 짝수차 하모닉들을 부분적으로 상쇄시키는 선형기술들은 비이상적인 특성과 디바이스 부정합 때문에 제한되어지기 때문에 왜곡 레벨은 -65 dB 이상이다. 그리하여 이러한 형태의 필터는 기생 커패시터에 둔감한 장점을 지니지만, 고성형성이 요구되는 오디오 프로세서와 관련된 연속시간 필터는 대부분 off-chip 형태로 설계된다.

액티브 RC 필터는 수동 소자이외에 증폭작용이 있는 능동소자(OP-AMP)를 이용하여 구성되는 연속시간 필터의 한 유형이다. 이러한 형태의 필터는 간단하고, 특히 OP-AMP의 출력을 그대로 필터 출력으로 하면 저임피던스의 출력이 얻어지므로, 부하의 값

을 고려하지 않고 필터를 간단히 설계할 수 있다. 다만, 필터의 동작 주파수가 사용된 OP-AMP의 동작 주파수 범위에 따라 결정되지만, 본 논문에서 요구되는 오디오 대역 주파수를 처리하는데는 충분하다. 액티브 RC 필터의 대표적인 유형으로는, Sallen & Key형<sup>3)</sup>, Friend형<sup>4)</sup>, 다중귀환형<sup>5)</sup>, 바이쿼드형<sup>6)</sup>,<sup>7)</sup> 등이 있다.

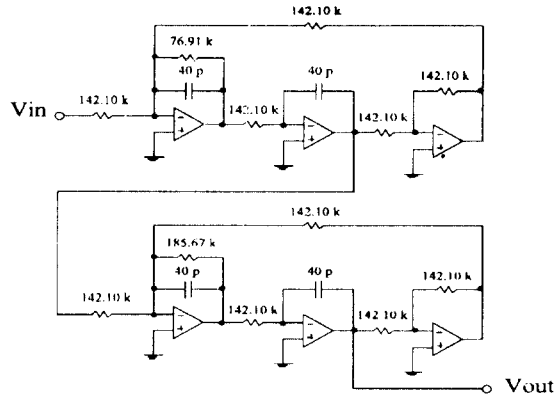
액티브 RC 필터를 집적하는 경우, 온도, 노화, 공정의존성등에 의하여 발생할 수 있는 수동소자 절대값 변동은 필터 성능에 영향을 미칠 수 있다. 이를 보상하기 위해서는 on-chip 자동 보정(tuning)회로가 요구되며, 이에 대한 최근의 작업은 참고문헌 [10, 11] 등에서 찾을 수 있다.

다양한 물리적인 요소들, 즉, 기생 및 분포 커패시턴스, 직렬 저항, 전압의존 커패시턴스와 저항, OP-AMP 비이상성 등이 액티브 RC 필터 성능에 영향을 줄 수 있다. 필터 구조에 있어서 가상접지에 연결되지 않는 OP-AMP 입력 연결부는 큰 동상모드(common mode) 입력전압으로 인하여 내부적으로 발생하는 왜곡을 초래할 수도 있다. 즉, 가상접지 OP-AMP 입력을 가지면 큰 공통모드 신호들에 기인하는 왜곡 가능성을 제거할 수 있고, 이것들은 쉽게 차동 구조로 확장되어 잔류(residual) 저 레벨 짝수차 왜곡 성분들을 상쇄할 수도 있다.

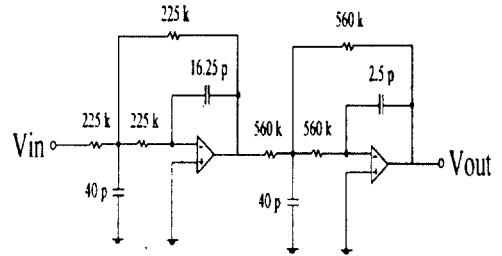
또 하나의 고려되어야 될 사항으로는 모든 집적회로에 적용되는 면적 및 전력소비를 들 수 있다. 이상의 조건으로부터, 고성형 응용에 적합한 두 가지 형태의 액티브 RC 필터, 즉, 다중귀환형 필터 및 바이쿼드형 필터를 선택하였다. 두 구조 모두 기생 커패시턴스에 둔감한 회로로서 모든 OP-AMP들의 한쪽 입력은 가상접지에 연결되어 다른 형태들에 비해 신호의 선형성을 보장해 준다.

## 2.3 직렬접속 고차구조 필터

본 연구에서는 버터워스 특성(Q=0.707)을 가지는 4차 LPF를 택함으로써 주어진 설계사양에서의 통과대역 리플을 최소화하였다. 직렬로 접속된 각 2차 필터는 전체 필터가 버터워스 특성을 얻기 위하여 서로 다른 Q 값을 가지도록 설계한다. 그림 3에 바이쿼드형 4차 필터와 다중귀환형 4차 필터의 각 소자 값을 나타내었다. 그림 4(a)에서는 설계된 4차 필터의 주파



(a) 바이쿼드형 LPF



(b) 다중귀환형 LPF

그림 3. 4차 버터워스 LPF

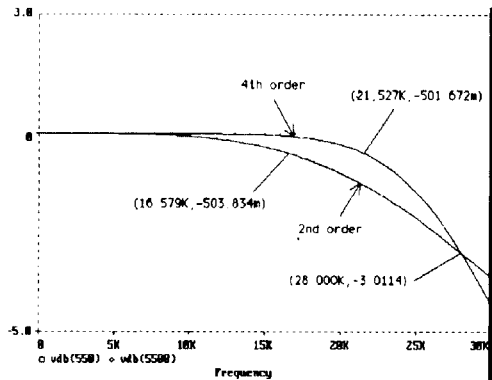
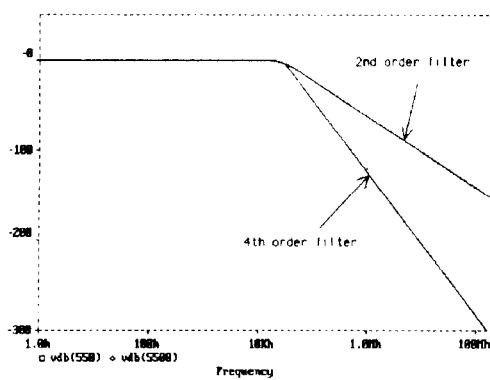


그림 4. 2차 및 4차 LPF의 주파수 응답 및 통과대역 감쇄

수 응답을 2차의 경우와 비교하였으며,  $-3$  dB 주파수 및  $-0.5$  dB에서의 주파수를 표시하고 있다. 2차 필터의 경우에는 약 16.5 kHz 에서  $-0.5$  dB의 통과대역 감쇄가 일어나지만, 4차 필터는 20kHz에서 약  $-0.3$  dB 만의 통과대역 감쇄가 나타나므로, 주어진 설계 조건을 만족한다.

또 하나의 고차 필터로의 확장을 요구하는 요인은 필터 자체의 기능에 따른 것이다. 본 논문에서 설계하려는 필터의 목적은 앞에서 언급한 바와 같이  $\Sigma\Delta$  변조기에 의해 야기된 대역외 양자화 잡음을 제거하

는 것이다.  $z$ -영역(domain)에서,  $\Sigma\Delta$  변조기 출력  $y(t)$ 의  $z$  변환,  $Y(z)$ 는 변조기의 차수,  $n$ 에 따라 다음과 같이 일반화하여 나타낼 수 있다.

$$Y(z) = \frac{1}{k_n \cdot z^n} \cdot X(z) + \frac{(z-1)^n}{z^n} \cdot E(z) \quad (1)$$

여기서  $X(z)$ 와  $E(z)$ 는 입력  $x(t)$  및 양자화 오차  $e(t)$ 의  $z$  변환이며,  $k_n$  항은 변조기의 평균이득이다. 식(1)에 의거하면, 잡음 스펙트럼은 변조기의 차수,  $n$ 에 따라 서로 다른 잡음 전달 함수를 가진다.

신호주파수 20 kHz, OSR(Over-Sampling Ratio)를 64로 설정하여, 변조기 차수에 따른 잡음 전달 함수를 그림 5에 나타내었다. 1차  $\Sigma\Delta$  변조기의 경우에는, 잡음 스펙트럼이 옥타브당 약 6 dB로 상승하고, 2차 변조기에 대해서는 약 12 dB, 3차 변조기에 대해서는 약 18 dB로 상승한다. 이러한 잡음성분에 대하여 1, 2, 3차 변조기에 각각 옥타브당 -6, -12, -18 dB로 하강하는 후단 아날로그 저역통과 필터를 사용하면 원하는 특성을 얻을 수 있다. 본 연구에서는 3차 변조기 후단에 사용되므로, 옥타브당 -18 dB 이상의 저지대역 감쇄가 요구된다. 2차 필터만을 사용할 경우에는 그림 6에서 알 수 있듯이 옥타브당 약 -9.3 dB의 저지대역 감쇄를 얻을 수 있으므로, 충분히 양자화 잡음을 억압할 수 없다. 4차 필터를 사용할 경우에

는 옥타브당 -21 dB의 저지대역 감쇄를 얻을 수 있고, 효과적으로 잡음을 억압하므로, 고차 필터를 사용하여야 하는 또 하나의 이유가 된다.

2.4 PWM, PDM 신호에 대한 필터 전단 처리부의 설계  
패시브 스무싱 필터는 고주파의 입력신호를 고주파의 입력 신호를 저역통과 필터링하는데 있어서, 그 필터의 앞단에 사용하여 원하는 차단주파수보다 2~3배 높은 주파수에서 신호를 차단하는 완만한 필터링 동작을 수행한다. 만약 D/A 변환기의 출력인 PWM이나 PDM 신호를 그대로 앞에서 설계한 액티브 LPF에 인가할 경우, 실제 PWM, PDM 신호주파수는 약 3 MHz 정도이므로 전체 회로의 성능을 좌우하는 OP-AMP는 고주파의 PWM, PDM 신호를 처리하기 위하여 상당히 높은 슬루율이 요구된다. 그리하여, 본 논문에서는 72 kHz의 차단 주파수를 가지는 1차 패시브 필터(C=45 pF, R=45 kΩ)를 액티브 필터 앞단에 삽입한다.

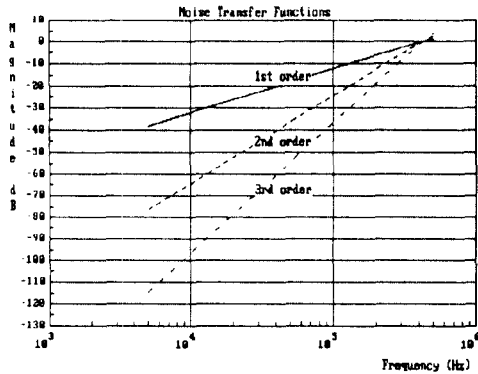


그림 5. 변조기 차수에 따른 잡음 전달함수

### III. 저전력 저전압 OP-AMP의 설계

아날로그 필터구조의 성능은 핵심부품인 OP-AMP에 의해 좌우된다. 필터성능 보장을 위하여 OP-AMP에 요구되는 사항은 다음 몇 가지로 나누어 볼 수 있다.

먼저, 휴대용 CDP에 탑재되는 형태이므로 저전력 저전압 특성이 요구된다. 액티브 필터 구조에서 소비 전력의 대부분은 능동소자인 OP-AMP가 소비한다. OP-AMP의 소비전력을 낮추기 위해서는 동작전압이 낮아야 하고, 전차동(fully differential) 구조보다는 단일종단(single-ended) 구조이어야 하며, 전체 회로에서 DC 경로의 개수는 최소화하여야 한다. 그리하여, 단일종단 구조의 OP-AMP를 선택하고, 전체 전력을 줄이기 위해서 입력단 바이어스 회로의 정밀도와 복잡도를 낮추어 구현하였다.

둘째로, 3.3V 단일전원으로 구현되어야 하고, PDM 및 PWM 신호를 처리하기 위해서는 입력단에서의 동작범위가  $V_{dd} \sim V_{ss}$ 인 구조를 사용하여야 한다. 이러한 저전압 동작을 보장하기 위하여 입력단을 rail-to-rail 구조<sup>[2, 13]</sup>를 사용하며, 출력단은 고이득, 저전력 특성 및 동작범위를 크게 하기 위하여 class-AB 인 push-pull 구조<sup>[14]</sup>를 사용한다.

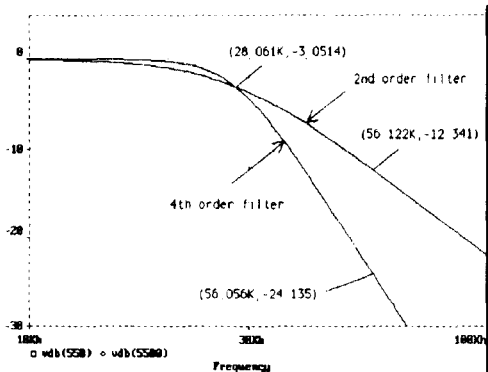


그림 6. 2, 4차 LPF의 저지대역 감쇄

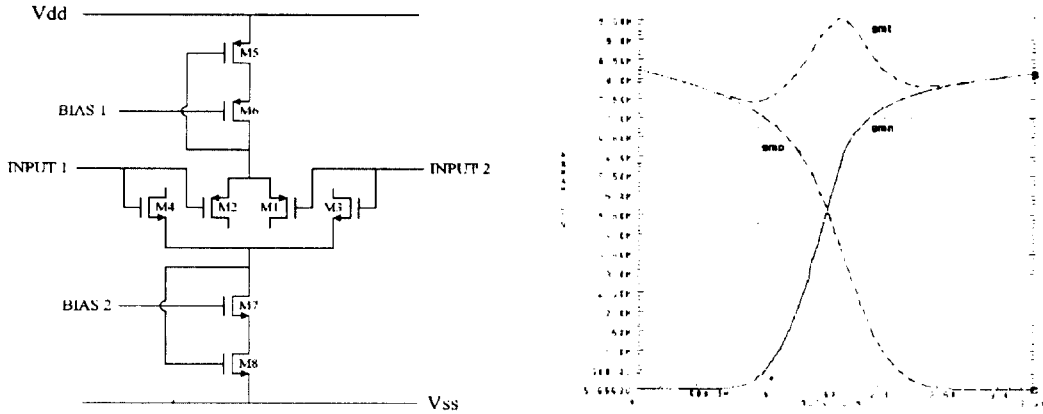


그림 7. 제안하는 입력단: <보상회로 1> 구현 및 트랜스컨덕턴스

마지막으로, 고선형성이 요구되는 오디오용으로 설계되기 때문에, 아주 낮은 왜곡과 잡음을 가져야 한다. 일반적인 CDP 오디오용 OP-AMP의 왜곡 및 잡음레벨은 -90 dB 이하이다. rail-to-rail 입력단 구조에서 발생하는 이득의 변화는 신호의 왜곡을 증가시키므로, 고선형성을 보장하기 위하여 입력단 보상회로를 추가하며 또한, 전체 OP-AMP의 단을 최소로 구성하였다.

3.1 rail-to-rail 입력단: <보상회로 1>

rail-to-rail 구조에서 전체 트랜스컨덕턴스의 변화율을 줄일 수 있다면, 그에 따른 신호의 왜곡도 감소시킬 수 있다. 그림 7은 제안하는 첫 번째 보상회로로

서 입력단의 동작전압(임계전압)을 변화시켜 트랜스컨덕턴스의 변화를 감소시킨다.

구성방법 및 동작원리는 다음과 같다. 일반적인 rail-to-rail 입력단과 비교할 때, M5(p-채널) 및 M8(n-채널)이 추가되었다. 각 채널 입력단의 동작전압은 다음과 같이 설정된다.

n 채널단:  $M7$ 의  $V_{DS} + M3$ (or  $M4$ )의  $V_{GS} + M8$ 의  $V_{DS}$

p 채널단:  $M6$ 의  $V_{DS} + M1$ (or  $M2$ )의  $V_{GS} + M5$ 의  $V_{DS}$

결과적으로, 각 채널 입력단의 동작전압은 M8(또는 M5)트랜지스터의 드레인-소스간 전압만큼(약 0.5 V) 상승한다. 그리하여, M5 및 M8이 추가되지 않은 경

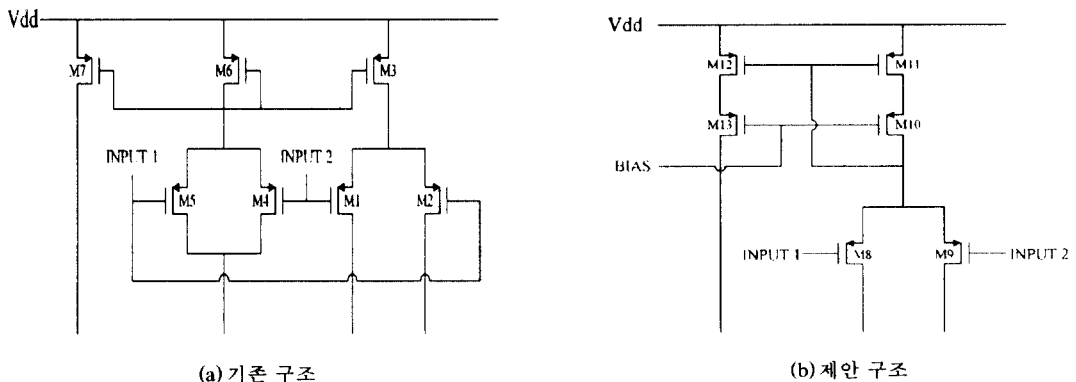


그림 8. 전류 검출을 위한 모니터링 회로

우의 전체 트랜스컨덕턴스 변화를 100%라 하면, 제안된 경우에는 25%로 감소되고 신호의 왜곡을 감소시킬 수 있다. 그림 7에 이러한 기법을 사용한 입력단의 트랜스컨덕턴스를 도시하였다.

### 3.2 전류 검출회로

일반적으로 트랜스컨덕턴스의 변동율을 작게 하기 위해서 n 또는 p 입력단 중 한쪽에 흐르는 전류를 참조하여 다른 쪽에 흐르는 전류를 제어한다. 본 논문에서는 전체회로에서 이러한 전류 검출회로가 차지하는 면적과 소비전력을 감소시키는 회로를 제시한다. 그림 8에 기존의 검출회로<sup>11)</sup>와 제안된 검출회로를 도시하였다.

기존의 회로에서는 M3에 흐르는 전류를 측정하기 위해 입력 트랜지스터 M1, M2와 동일한 큰 크기 (약  $L=2u, W=500u$ )의 M4, M5 및 M6, M7이 추가된다.

제안된 회로에서는 M11, M12, M13 이 추가되며 M11에 흐르는 전류는 M12에 복사되어 검출되므로, 큰 크기의 트랜지스터를 사용할 필요가 없고,  $V_{da}$ 에서  $V_{ss}$ 에 이르는 하나의 DC 경로를 제거할 수 있다. 이 회로에서 사용된 M10, M11은 앞에서 제안한 (보상회로 1) 방식을 적용한 것이다:

### 3.3 제안하는 입력단 : <보상회로 2>

본 논문에 제안된 전류 검출회로는 기본적으로 n-채널 입력단에 흐르는 전류를 검출하여 p-채널에

흐르는 전류를 제어하는 방법을 사용한다. 트랜스컨덕턴스의 변화를 최소화 하기 위해서는 부가적인 회로가 요구되며, 이에 따라 소비전력 및 면적에서 불이익을 가지게 된다. 본 논문에서는 오디오 응용 사양에 적합한 범위 내에서 트랜스컨덕턴스의 변화를 수용하였다. 그림 9에 제안하는 입력단 바이어스 회로를 도시하였다.

n-채널에 흐르는 전류를 복사하여 M2에 흐르는 전류를  $I_n$ 이라 하고 M4에 흐르는 전류를  $I_p$ 라고 하자. 그러면, M6에 흐르는 전류를  $I_t/a$ 라고 하면 다음과 같이 정의할 수 있다.

$$I_t/a = M2에 흐르는 전류 + M4에 흐르는 전류 = I_n + I_p \quad (2)$$

이 회로에서의 트랜스컨덕턴스는 다음과 같이 표현된다.

$$g_{mT} = \sqrt{2k_p a I_p} + \sqrt{2k_n I_n} \text{ where, } k = \frac{\mu C_{ox}}{2} \frac{W}{L} \quad (3)$$

$k_n$ 과  $k_p$ 가 같다고 가정하면,

$$g_{mT} = \sqrt{2k} (\sqrt{a I_p} + \sqrt{I_n}) \quad (4)$$

식(3)을 식(5)에 대입하면 다음과 같다.

$$g_{mT} = \sqrt{2k} (\sqrt{I_t - a I_n} + \sqrt{I_n}) \quad (5)$$

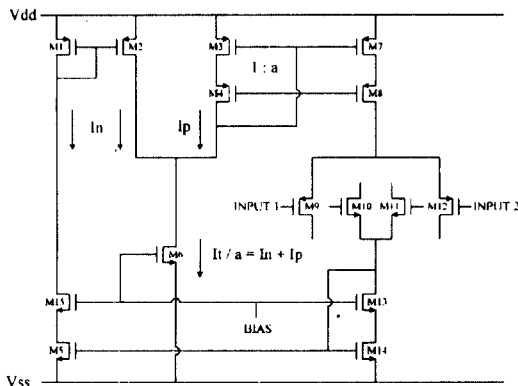


그림 9. 제안한 입력단 : <보상회로 2>

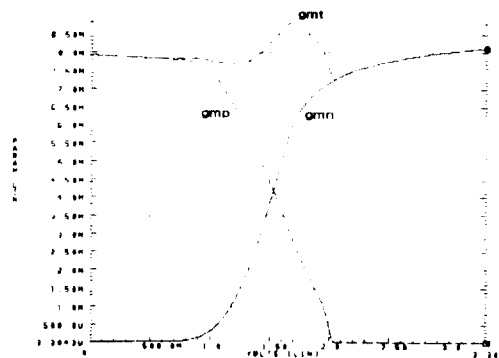


그림 10. <보상회로 2>의 트랜스컨덕턴스

식(5)에서  $a$  값의 변화에 따른  $g_{mT}$ 의 변화를 살펴 보면,  $g_{mT}$ 의 변화가 제일 작은  $a$  값은 1.7로서 그때의 변화율은 14%로 가장 작다.

그림 10는  $a$  값이 1.7 일때의 트랜스컨덕턴스를 도시하였다.

3.4 OP-AMP의 제원

제안된 구조의 성능 검증을 위하여 1 kHz, 5 kHz, 10 kHz, 20 kHz의 1.4 Vpp 3 주기 정현파를 인가한 후 FFT 를 수행하여 상대적인 THD를 비교 측정하였다. 여기서, 1 kHz는 다른 OP-AMP들과의 THD를 비교하는 기준이 되는 주파수이고, 20 kHz는 최대 가청 주파수이다. 측정된 결과치는 표 2와 같다. 여기서

표 2. OP-AMP THD 비교

| 주파수    | 이상적인 연산증폭기  | <보상회로 1>    | <보상회로 2>    |
|--------|-------------|-------------|-------------|
| 1 kHz  | -130.473 dB | -124.433 dB | -125.218 dB |
| 5 kHz  | -130.473 dB | -122.201 dB | -123.435 dB |
| 10 kHz | -130.473 dB | -108.780 dB | -117.827 dB |
| 20 kHz | -130.473 dB | -94.824 dB  | -104.461 dB |

이상적인 연산증폭기항은 모의실험상에서 연산증폭기가 하나의 이상적인 전압제어 전압원으로 고려되어 계산된 값이다.

제안된 구조를 이용한 연산증폭기의 전체 회로도 를 그림 11에 제시하고, 주요 제원을 표 3에 나타내었다.

표 3. 설계된 OP-AMP 의 제원

|                      |                                |
|----------------------|--------------------------------|
| DC 이득                | 99 dB                          |
| 위상 여유                | 80도                            |
| 단위 이득 대역폭            | 1 MHz                          |
| THD (@1kHz, 1.4 Vpp) | -125 dB                        |
| 입력 범위                | Vss~Vdd                        |
| 출력 범위                | Vss + 40 mV~Vdd - 50 mV        |
| CMRR                 | 124 dB                         |
| PSRR                 | 84 dB (+), 100 dB(-)           |
| Slew Rate            | 1.5 V/ $\mu$ s                 |
| 소비 전력                | 2 mW 이하                        |
| Output Load          | CL = 50 pF, RL = 10 k $\Omega$ |

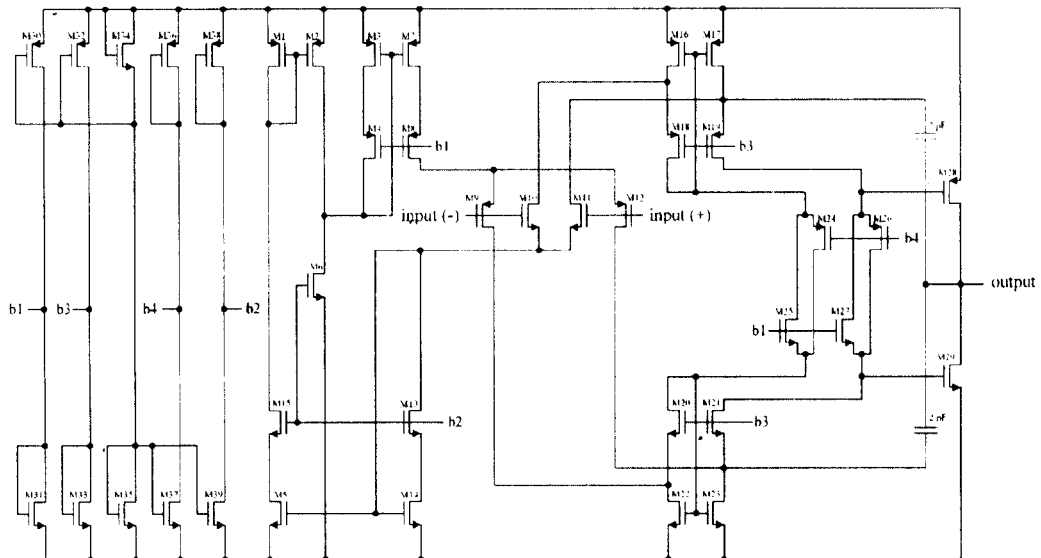


그림 11. 설계된 OP-AMP 전체 회로도



#### IV. 필터 성능 평가

##### 4.1 정현파 신호 입력

3 주기의 정현파 신호에 대하여 차수, 입력 주파수, 입력 진폭에 따른 성능을 비교하였다. 각 필터의 출력 측에는 10 k $\Omega$ , 10 pF의 부하 성분이 연결되어 있다.

4차 필터의 경우, 22 kHz 이하의 주파수 신호에 대하여 -90 dB 이하의 THD가 유지된다. 액티브 필터의 동작가능 입력진폭은 OP-AMP의 동작가능 입력진폭과 일치하며, 이 한계는 바이쿼드형의 경우 2.9 V, 다중귀환형의 경우 3.0 V까지 -90 dB 이하의 THD가 보장되었다.

##### 4.2 PWM 신호 입력

DAC의 출력 신호인 23 주기의 PWM 신호 데이터 중 6 주기를 취하여 모의실험을 행하였다. 이 PWM 신호는 약 1 kHz의 신호성분을 포함하고 있다. 그림 13은 4차 필터의 FFT 해석결과이다.

#### V. 결론

본 논문에서는 CDP 단일 칩에서  $\Sigma\Delta$  D/A 변환기 출력인 PDM 또는 PWM 신호를 처리하여 데이터 재구성을 수행하는 3.3 V 단일전압 구동 고성능 연속시간 필터를 설계하였다. 오디오 주파수 응용을 위한

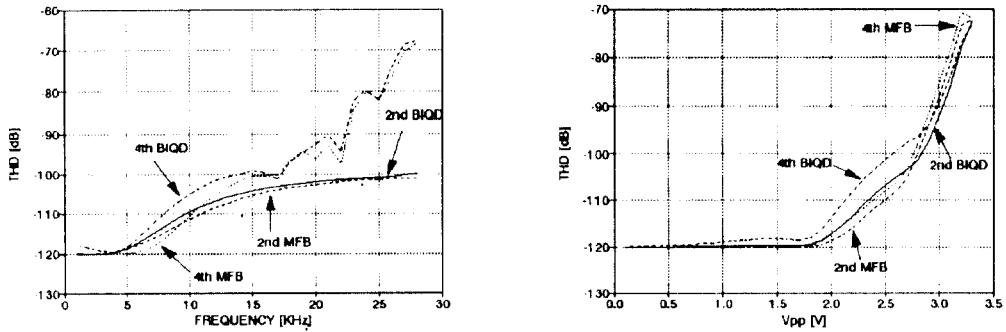
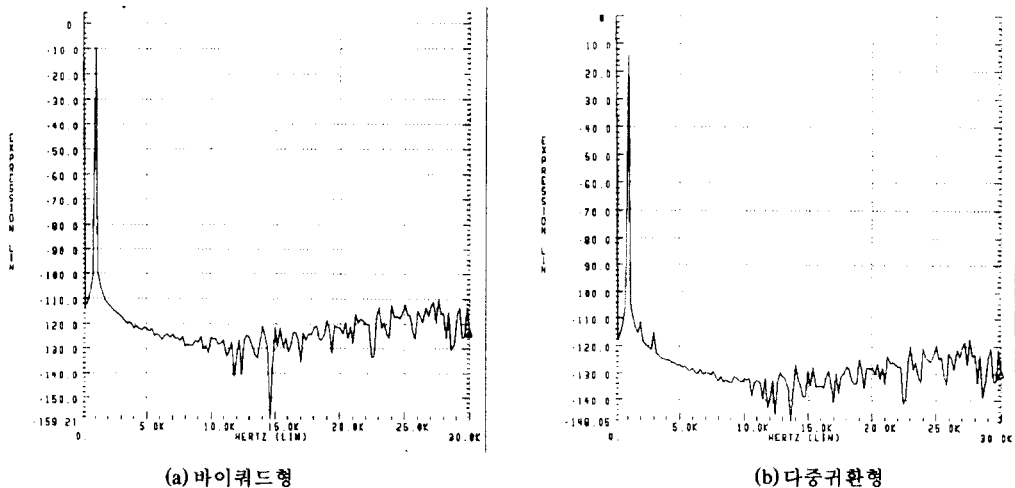


그림 12. 입력 주파수 (1.4 V<sub>pp</sub>) 및 입력 진폭(1 kHz) 변화에 따른 THD 변화



(a) 바이쿼드형

(b) 다중귀환형

그림 13. 4차 필터 출력 파형 및 FFT 해석 결과

표 4. PWM 6 주기 입력 신호에 대한 THD 측정 결과

| 형태    |                    | THD                       |
|-------|--------------------|---------------------------|
| 바이쿼드형 | FT (. four option) | 1.8534 m%<br>(-94.64 dB)  |
|       | FFT (.fft option)  | 1.2354 m%<br>(-98.16 dB)  |
| 다중귀환형 | FT (. four option) | 1.1370 m%<br>(-98.88 dB)  |
|       | FFT (.fft option)  | 0.9862 m%<br>(-100.12 dB) |

기존의 OP-AMP 구조들은, 저전압 구동의 경우 이를 위하여 많은 전력 및 면적 소비를 요구한다. 본 연구에서는 적절한 왜곡을 인정하는 구조를 바탕으로 새로운 전류검출 회로를 채택하여 면적을 줄이며, 입력단에 새로운 바이어스 회로를 채택하여 DC 경로의 개수를 줄임으로서 전력면에서 이득을 얻도록 하였다. 고선형성을 얻기 위한 액티브 RC 필터의 구조에서는 가상접지를 사용하는 구조를 택하여야 한다. 그리하여, 본 논문에서는 바이쿼드형 및 다중귀환형 필터구조를 택하였으며,  $\Sigma\Delta$  변조기 후단에서 전체 시스템 성능을 저하시키지 않으면서 데이터 재구성 및 스무싱 동작을 수행함을 보였다. 표 5에 설계된 4차 필터들의 주요제원을 보였다.

표 5. 설계된 4차 필터의 주요제원

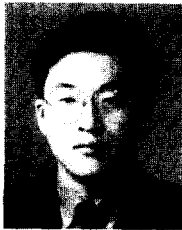
|                          | 바이쿼드형                       | 다중귀환형                       |
|--------------------------|-----------------------------|-----------------------------|
| 공급전압(3.3V 단일전원)          | ○                           | ○                           |
| 필터특성                     | 4차 버터워스                     | 4차 버터워스                     |
| LPF -3 dB 주파수            | 28 kHz                      | 28 kHz                      |
| 통과대역 -0.5 dB 감쇄 주파수      | 21.5 kHz                    | 21.5 kHz                    |
| 저지대역 감쇄                  | -21 dB/octave               | -21 dB/octave               |
| THD(@ 1 kHz 1.4-Vpp 정현파) | -118 dB                     | -120 dB                     |
| THD(@ 1 kHz PWM)         | -98 dB                      | -100 dB                     |
| SNR(@ ac 1V)             | -113 dB                     | -111 dB                     |
| DR                       | 123 dB                      | 121 dB                      |
| 전력 소비                    | 13.4 mW                     | 4.7 mW                      |
| 칩 면적                     | 1042 × 1042 $\mu\text{m}^2$ | 1146 × 1146 $\mu\text{m}^2$ |
| 공정                       | 0.65 $\mu\text{m}$ CMOS     | 0.65 $\mu\text{m}$ CMOS     |

참 고 문 헌

1. J. Candy and G. Temes, Oversampling delta-sigma data converters-Theory, Design, and Simulation. New York:IEEE Press, 1992.
2. F. Eynde and W. Sansen, Analog interfaces for digital signal processing systems. Boston, Dordrecht and London:Kluwer Academic Publishers, 1993.
3. Satoshi Sakurai et al. "A MOSFET-C variable equalizer circuit with simple on-chip automatic tuning," IEEE J. Solid-State Circuits, vol. 27, pp. 927-933, June 1992.
4. J. Martinez, M. Steyaert, W. Sansen, "A 10.7MHz 68-dB SNR CMOS continuous-time filter with on-chip automatic tuning," IEEE J. Solid-State Circuits, vol. 27, pp. 1843-1853, Dec. 1992.
5. R. Sallen and E. Key, "A practical method of designing RC active filters," IRE Trans. Circuit Theory, pp. 74-85, Mar. 1955.
6. J. Friend, "A single operational-amplifier biquadratic filter section," in IEEE ISCT Dig. Tech. Papers, p. 189, 1970.
7. A. Holt, J. Sewell, "Active RC filters employing a single operational amplifier to obtain biquadratic responses," Proc. IEE, vol 112, pp. 2227-2234, 1965.
8. L. Thomas, "The biquad:Pt. 1-Some practical design considerations," IEEE Trans. Circuit Theory, vol. CT-18, pp. 350-357, Mar. 1971.
9. L. Thomas, "The biquad:Pt. 2-A multipurpose active filtering system," IEEE Trans. Circuit Theory, vol. CT-18, pp. 358-361, Mar. 1971.
10. A. Durham, W. Redman-White, "High-linearity continuous-time filter in 5-V VLSI CMOS," IEEE J. Solid-State Circuits, vol. 27, pp. 1270-1276, Sept. 1992.
11. 홍국태 외, "집적된 수동 소자 변동에 의한 RC 시상수 자동 보정 기법," 한국센서학회지, 제6권, 제 2호, pp. 115-122, 1997.
12. S. Sakurai and M. Ismail, "Low-voltage CMOS operational amplifiers-Theory, Design and Imple-

mentation," Massachusetts: Kluwer Academic Publishers, 1995.

13. W. Wu et al. "Digital-compatible high-performance operational amplifier with rail-to-rail input and output ranges," IEEE J. Solid-State Circuits, vol. 29, pp. 63-66, Jan. 1994.
14. J. Botma, R. Wassenaar, and R. Wiegerink, "A low-voltage CMOS op amp with a rail-to-rail constant-gm input stage and a class AB rail-to-rail output stage," in Proc. IEEE Int. Symp. Circuits and Systems, pp. 1314-1317, 1991.
15. S. Sakurai and M. Ismail, "Constant transconductance bias circuit and method," U. S. Patent pending, filed August 25, 1993.



**홍 국 태(Kuk-Tae Hong)** 정회원  
 1992년: 성균관대학교 전자공학과 졸업(학사)  
 1994년: 성균관대학교 대학원 전자공학과 졸업(공학석사)  
 1997년: 성균관대학교 대학원 전자공학과 졸업(공학박사)  
 1997년~현재: LG 종합기술원 이

노베이션센터 선임연구원

※주관심분야: 아날로그 및 혼합모드 IC 설계



**정 현 택(Hyun-Taeg Jung)** 정회원  
 1995년: 성균관대학교 전자공학과 졸업(학사)  
 1997년: 성균관대학교 대학원 전자공학과 졸업(공학석사)  
 1997년~현재: (주)삼성전자 시스템 LSI 본부 연구원  
 ※주관심분야: 저전력 아날로그 IC 설계



**손 한 웅(Han-Woong Son)** 정회원  
 1991년: 고려대학교 전자공학과 졸업(학사)  
 1993년: 고려대학교 대학원 전자공학과 졸업(공학석사)  
 1993년~현재: (주)삼성전자 시스템 LSI 본부 전임연구원  
 ※주관심분야: Audio CODEC



**염 왕 섭(Wang-Seup Yeum)** 정회원  
 1990년: 영남대학교 전자공학과 졸업(학사)  
 1990년~현재: (주)삼성전자 시스템 LSI 본부 전임연구원  
 ※주관심분야: Audio CODEC



**정 강 민(Kang-Min Chung)** 정회원  
 1971년: 서울대학교 전기공학과 졸업(학사)  
 1976년: 美 텍사스주립대학 전기공학과 졸업(공학석사)  
 1979년: 美 텍사스주립대학 전기공학과 졸업(공학박사)  
 1979년~1983년: 美 AT&T Bell Lab. 연구원

1983년~1985년: 美 Sperry Computer System 고문  
 1985년~현재: 성균관대학교 전기·전자·제어공학부 교수

※관심분야: 저전력 고속 A/D 및 D/A 변환기, Analog VLSI 설계