

# 복제 V-I 변환기를 이용한 3.3V 30mW 200MHz CMOS 업 컨버전 믹서

正會員 權 鍾 祈\*, 金 旭\*, 吳 昌 竣\*, 李 鍾 烈\*,  
宋 元 哲\*, 金 景 洙\*

## A 3.3V 30mW 200MHz CMOS Upconversion Mixer using Replica Transconductance

Jong-Kee Kwon\*, Ook Kim\*, Chang-Jun Oh\*, Jong-Ryul Lee\*,  
Won-Chul Song\*, Kyung-Soo Kim\* *Regular Members*

### 요 약

Code Division Multiple Access(CDMA) 통신방식을 채택한 휴대용 이동전화기의 중간주파수(intermediate frequency: IF) 아날로그 IC의 송신부를 구성하고 있는 저전력 선형특성을 지닌 CMOS 업 컨버전 믹서(upconversion mixer)의 설계, 제작 및 특성 측정에 대해 기술하였다. 업 컨버전 믹서의 구조는 복제 V-I 변환기를 사용하여 그 선형성을 확장한 형태의 회로기술을 채택하였다. 설계된 업 컨버전 믹서는 0.8 $\mu$ m N-well CMOS 2-poly/2-metal 공정기술을 사용하여 IC로 구현하였으며 그 크기는 0.53mm x 0.92mm이다. 소비전력은 3.3V 공급전원과 130MHz Local Oscillation(LO) 클럭이 인가되었을 때 30mW이다. 출력의 1dB compression 특성은 2-tone 입력신호가 인가되고 25 $\Omega$  부하를 가질 때에 -28dBm이다.

### ABSTRACT

In this paper, the power efficient linear upconversion mixer which is a functional circuit in transmit path of intermediate frequency(IF) part of Code Division Multiple (CDMA) cellular phone was explained. In generally, the low CMOS devices limits the implementation of upconversion mixer especially for lower loads. Using replica transconductor, the linear range is extended up to the limit. This circuit was implemented using 0.8 $\mu$ m N-well CMOS technology with 2-poly/2-metal. The active area of chip is 0.53mm X 0.92mm. The power consumption is 30mW with 3.3V supply voltage. The 1dB compression characteristics is -27.3dB with 25 $\Omega$  load and being applied by 2-tone input signal. The mixer operates properly above 200MHz.

\*한국전자통신연구원 반도체연구단  
論文番號: 97170-0517  
接受日字: 1997年 5月 17日

## I. 서 론

최근의 아날로그 집적회로 분야는 회로를 구성하고 있는 소자의 동작전압이  $\pm 5V$  양전원에서  $5V$  또는  $3V$ 이하의 단일 전원으로 바뀌어 가고 있고, 공정기술 또한 종래의 바이폴라 소자에서 BiCMOS 또는 CMOS 소자를 많이 사용하는 경향을 보이고 있다. 특히, 저전압/저전력의 CMOS 소자는 바이폴라 소자에 비해 일반적으로 고집적도, 저가 및 디지털 회로와의 양립성 등 그 장점을 보이고 있다.

휴대용 이동전화기는 근래에 이러한 CMOS 집적회로 기술을 이용함으로써 그 크기와 소비전력이 작아져 사용되는 배터리 수명은 길어지게 되었다. 실제로, 디지털 통신방식의 일반화에 따라 회로 구현상 종래의 많은 아날로그부분이 디지털화되었고, 신호 주파수의 인터페이스부분인 송수신부만 좋은 선형특성, 넓은 다이내믹 영역(dynamic range), 양호한 온도 특성 및 3~5V 근방의 보다 작은 공급전원특성 등으로 동작하는 CMOS 아날로그 회로기술이 채택되고 있다[1]. 휴대용 이동전화기 및 개인 통신 서비스(personal communication service: PCS)에서 송신부의 주요 기능 블럭인 IF 업 컨버전 믹서는 한 대역의 주파수를 다른 대역으로 변환시키는 역할을 하는데, 고주파 동작영역에서 그 출력이 저 임피던스성 부하를 구동해야 하는 요구조건이 필수적이다. 이를 위해 종래에는 소자의 동작 속도가 빠르고 트랜스컨덕턴스(transconductance: gm)가 큰 바이폴라 소자[4]나 MES-FET 소자 등을 사용하였다. 실제, 바이폴라 소자를 사용한 업 컨버전 믹서의 경우, 수 십  $\Omega$  정도의 부하를 수백 MHz 대까지 구동해야 한다. 이 영역을 만족하기 위해서는 출력 트랜스컨덕턴스로 주어지는 에미터 폴로워(emitter follower)를 많이 사용하였다[2]. 이 경우 최저의 왜곡(distortion)특성을 가지며 수 십  $\Omega$  정도 크기의 부하를 구동하기 위해서는 이 출력 임피던스가 낮아야 한다. 또한, 에미터 폴로워 단에서 요구되는 전류의 크기는 그 소비 전력이 수 십 mW 이상이 되도록 흘러야 된다. 최근에 와서는 집적도 및 저 소비전력특성에 유리한 CMOS 소자를 사용하여 저전력화를 피하고 있다. 하지만 CMOS 소자는 동작 속도 및 트랜스컨덕턴스가 다른 소자와 비교하여 상대적으로 낮다. 따라서, 고속 영역에서 원하는 형태의

주파수의 동작 및 선형성을 가진 믹서를 구현하기가 쉽지 않으며, 오히려 이로 인해 전력소모가 증가하게 된다. 즉, 높은 주파수에서 동작하는 믹서는 낮은 트랜스컨덕턴스를 갖는 CMOS 소자를 사용하면 전력소모가 크고 별도의 부가 부품을 사용해야 낮은 출력 임피던스를 갖는 부하에 대하여 원하는 형태의 주파수의 동작 및 선형성이 가능하다. 또 CMOS 소자는 같은 크기의 전류레벨에서 그 트랜스컨덕턴스의 크기가 바이폴라보다 작아서 왜곡현상(distortion)이 커질 수 있으므로 출력단에서 소오스 폴로워(source follower)를 사용하는 히는 것이 현실적이지 않다.

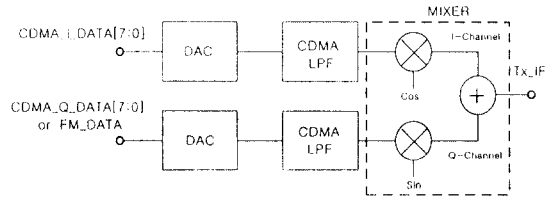


그림 1. CDMA IF IC의 송신부 블럭에서의 업 컨버전 믹서.  
Fig. 1. The upconversion mixer in the transmit block of CDMA IF IC.

본 논문에서는 CDMA 디지털 휴대전화기의 IF 아날로그 IC의 송신부를 구성하고 있는 업 컨버전 믹서의 구조와 회로에 대해 새로운 방법을 제안한 것이다. 즉, 복제 V-I 변환기 및 귀환(feedback)에 의한 업 컨버전 믹서의 선형성 개선 및 CMOS 회로구현을 그 내용으로 하고 있다. 이 구조는 바이폴라 소자나 MES-FET 소자에 비하여 상대적으로 속도가 낮은 CMOS 소자를 사용하더라도 성능 저하가 작은 장점을 갖고 있다.

본 논문의 구성은 제 II장에서 설계 제작된 업 컨버전 믹서의 구조 및 동작에 대해 설명하고, 제 III장에서 설계 제작된 IC에 대한 실험 결과를 기술하였으며, 제 IV장에서 결론을 맺었다.

## II. 구조 및 동작원리

종래의 믹서의 전형적인 예로는 그림 2와 같이 기본적인 차동구조를 토대로 한 길버트 곱셈기(Gilbert multiplier) 회로가 있는데, 이것은 트랜지스터의 비선

형 영역중에서 입력 전압이 작을 때 입력과 출력간의 관계가 선형적 관계를 갖는 것을 이용하는 구조[4]로서 출력단에 흐르는 전류는 (식1)과 같이 주어진다. 입력 전압  $V_1$ 과  $V_2$ 가 작을 경우에 (식2)와 같은 관계식이 된다. 즉, 출력 전류의 변화량,  $\Delta I$ 는

$$\Delta I = I_{EE} \tanh\left(\frac{V_1}{2V_T}\right) \cdot \tanh\left(\frac{V_2}{2V_T}\right) \quad (1)$$

$$\Delta I \approx I_{EE} \frac{V_1 \cdot V_2}{4 V_T^2} \quad (2)$$

여기서,  $V_T$ 는 트랜지스터의 문턱전압,  
 $V_1, V_2$ 는 입력신호,  
 $I_{EE}$ 는 전류원  
 이다.

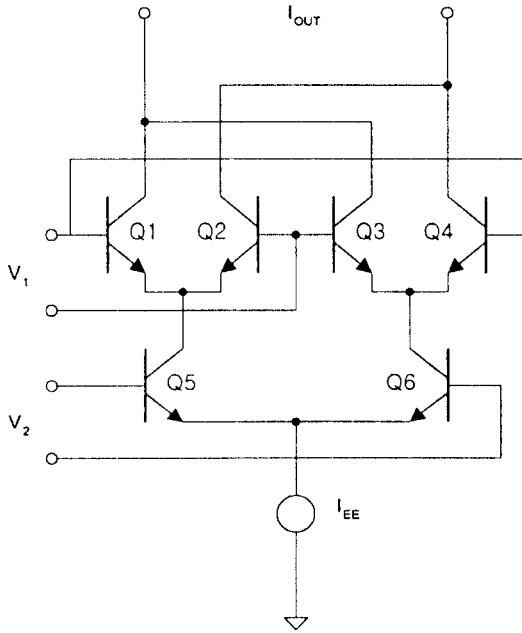


그림 2. Gilbert multiplier의 기본적 구조.  
 Fig 2. The Gilbert multiplier.

입력의 선형 범위를 넓히기 위해  $V_1$ 과  $V_2$ 를 pre-distortion 시키면 보다 넓은 입력 범위에서 선형적인 관계를 만족하게 된다. 이를 위하여 inverse hyperbolic tangent function[4]으로 구현하며, 이것을 통하여 선형화된 믹서를 구현하게 된다. 특히 주파수 변

조의 용도로 사용되는 곱셈기(multiplier)의 경우에는 local oscillation(LO)성분에 대해서는 비선형성을 갖게 되어도 되며, 그림의 길버트 곱셈기(Gilbert multiplier) 회로에서 상단에 위치한 트랜지스터를 구동하는 신호는 트랜지스터의 문턱 전압  $V_T$ 보다 큰 값을 가하여 높은 주파수로 입력 신호를 변조할 수 있다.

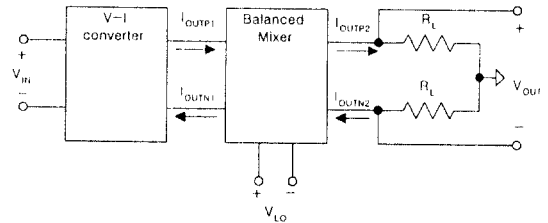


그림 3. 업 컨버전 믹서의 기본적 구조.  
 Fig 3. The upconversion multiplier.

본 논문의 믹서는 기본적인 길버트 곱셈기(Gilbert multiplier)에 기본을 두고 있다. 그러나 선형적인 전류원을 만드는 방법이 V-I 변환기를 사용하여 선형적으로 변환된 전류를 다이오드에 인가하여 필요한 전압을 얻는 것이 아니라 별도의 복제 증폭기(replica amplifier)를 사용하여 얻는 방법을 사용한 것이다. 복제 증폭기를 사용한 경우[5]가 이미 발표된 바 있는데 이것은 연산 증폭기(operational amplifier)의 유한 이득에 의한 오류(error) 성분을 복제 증폭기를 사용하여 상쇄하고 있으며, 이로 인해 높은 이득을 갖는 효과를 얻고 있다. 본 논문의 믹서에서도 오픈 룰(open loop)을 사용한 복제 증폭기를 사용하고 있지만, 유한 이득 보상을 목적으로 하지 않고 복제(replica) V-I 변환기를 따로 두어 단지 V-I 변환기의 구동 전압만을 얻기 위한 회로로 사용하는 구조이다. 복제 V-I 변환기와 평형 변조기(balanced modulator)로 구성된 믹서는 그림 3에서와 같이 입력 전압  $V_{IN}$ 은 입력에 비례하는 출력 전류를  $I_{OUTP1}$ ,  $I_{OUTP2}$ 를 발생시킨다. 이 전류는 평형 믹서(balanced mixer)를 통하여 변조된 전류로 바뀌고 이것이 출력단에 인가되어 출력 전압  $V_{OUT}$ 을 생성시킨다. 일반적으로 믹서 출력단은 별도의 버퍼를 연결하거나 저항 소자를 사용한다. 특히 높은 주파수의 출력이 필요한 경우 버퍼단이 고속으로 동작하여야 원하는 진폭과 선형성을 얻게 된

다. 그러나, 소자의 동작 속도에 비하여 요구되는 출력단의 주파수가 높은 경우 고속의 버퍼를 구현하기 어려우므로 저항을 연결하여 선형화된 전류출력을 이에 흐르게 하여 버퍼를 대신하도록 하게 할 수 있다. 이 경우 출력에 요구되는 출력 임피던스는 작은 값을 가져야 한다. 이 때 큰 진폭을 얻기 위해서 저항에 흐르는 전류의 양을 크게 해야 하므로 출력단에 전달되어야 하는 DC 전류가 매우 크다는 단점이 있다. 또한, 일반적으로 믹서의 비선형성 때문에 출력 진폭의 최대값을 사용하지 못하고 출력 진폭의 선형화된 작은 부분만을 사용해야 한다. 이에 의하여 별도의 전류가 더 필요하게 되어 전력소모는 증가하게 된다. 본 논문의 믹서는 출력단에 흐르는 전류를 최대한 선형화 하여 출력 진폭에 필요한 만큼의 전류만을 사용하더라도 고속 동작 영역에서 선형적인 동작이 가능하게 함으로써 저전력 특성을 갖도록 하였다.

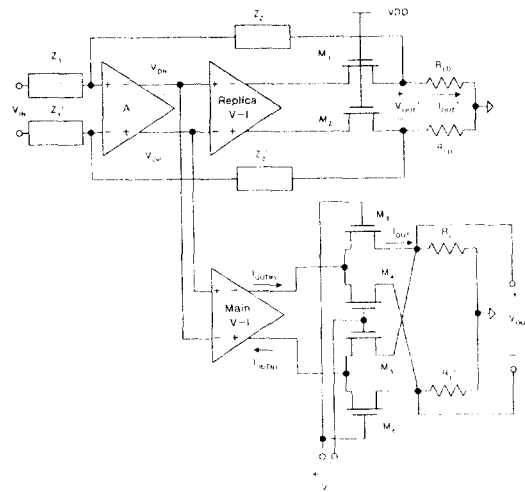


그림 4. 업 컨버전 믹서의 회로도.  
Fig 4. The schematic diagram of upconversion mixer.

그림 4는 본 논문에서 구현된 믹서의 회로이다. 그림에서 V-I 변환기는 저항과 증폭기 A 및 복제(replica) V-I 변환기와 주(main) V-I 변환기로 구성되어 있다. 평형 믹서는 스위치로 동작하는 nMOS 트랜지스터 M<sub>3</sub>, M<sub>4</sub>, M<sub>5</sub>, M<sub>6</sub>으로 이루어져 있다. 즉, 평형 믹서는 평형 형태(balanced type)를 이루고 있는 nMOS들로 구성된다. 내부 저항 R<sub>L</sub>은 믹서의 출력

부하로서 크기가 고정되어 있고 그 값은 50Ω이다. 출력단을 구동하는 믹서는 주 V-I 변환기이고 이 변환기를 구동하는 것은 증폭기 A이다. 증폭기 A가 구동하는 전압은 V<sub>DN</sub>, V<sub>DP</sub>로서 복제 V-I 변환기도 역시 구동한다. Z<sub>1</sub> 및 Z<sub>2</sub>로 구성된 귀환 루프(feedback loop)은 입력 전압 V<sub>IN</sub>과 출력전압 V<sub>OUT</sub> 사이의 전압 이득(voltage gain)을 결정하는데 출력단에 흐르는 전류를 직접 귀환하지 않고 복제 V-I 변환기의 출력 전류를 귀환하고 있다. 주 V-I 변환기와 복제 V-I 변환기는 구성하고 있는 트랜지스터의 형태 및 연결 상태는 동일하나, 단지 그 크기가 주 V-I 변환기가 복제 V-I 변환기에 비하여 N 배가 된다. 즉, 복제 V-I 변환기를 N 개 병렬로 연결하여 주 V-I 변환기를 구현할 수 있으며, 같은 입력 전압에 대하여 주 V-I 변환기의 출력 전류는 복제 V-I 변환기의 N 배가 되게 된다. 따라서 주 V-I 변환기의 출력 전류는 복제 V-I 변환기에 비해 하게 한다. 각 V-I 변환기의 구동 전압 V<sub>DN</sub>, V<sub>DP</sub>가 동일하기 때문에 M<sub>1</sub>, M<sub>2</sub>로 흐르는 전류는 주 V-I 변환기의 출력 전류의 1/N이 되게 된다. 출력 전류는 부하 저항 R<sub>L,D</sub>와 R<sub>L,D</sub>'을 통하여 흐르며, 이 부하 저항에 인가된 전압은 저항 소자 Z<sub>1</sub>, Z<sub>1</sub>', Z<sub>2</sub>, Z<sub>2</sub>'로 귀환되게 된다. 이 때, 증폭 소자의 증폭도 A가 충분히 큰 경우 귀환의 관계가 (식 3)과 같이 유지되게 한다.

즉, Z<sub>1</sub> ≈ Z<sub>1</sub>'이고 Z<sub>2</sub> ≈ Z<sub>2</sub>'일 때,

$$I_{OUT}' \approx \frac{Z_2}{Z_1} V_{IN} \quad (3)$$

이 된다.

이 때, 출력전류는 Z<sub>2</sub>, Z<sub>2</sub>' 저항의 영향을 무시할 경우

$$I_{OUT}' \approx \frac{V_{OVR}'}{2R_{LD}} \quad (4)$$

이 된다.

이 경우 V<sub>DP</sub>, V<sub>DN</sub>가 인가된 주 V-I 변환기의 경우도 출력전류는 N 배가 되므로 출력전류는

$$I_{OUT} \approx N \cdot I_{OUT}' = N \frac{Z_2}{2R_{LD}} V_{IN} \quad (5)$$

이고, 출력전압은

$$V_{OUT} \approx R_L \cdot I_{OUT} = N \frac{Z_1 Z_2}{2R_{LD} Z_1} V_{IN} \quad (6)$$

이다.

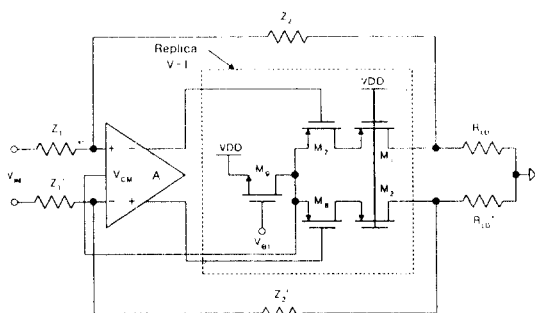


그림 5. 복제 V-I 변환기의 회로도.  
Fig 5. The schematic diagram of replica V-I converter.

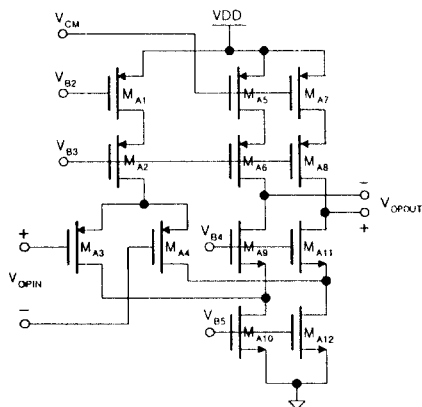


그림 6. 증폭기 A의 회로도.  
Fig 6. The schematic diagram of amplifier A.

그림 5는 복제 V-I 변환기와 증폭기 A의 회로도이다. V-I 변환기는 MOS 트랜지스터를 사용하여 단순히 소오스(source)가 상호 연결된 형태의 소오스 커플드 페어(source coupled pair)를 사용하였다. 선형성을 증대시키기 위해 상호 연결된 두 트랜지스터의 소오스 사이에 별도의 degeneration 저항을 사용하였다. 구동 전압  $V_{DN}$ 과  $V_{DP}$ 를 생성하는 증폭기 A는 차동구조를 사용하였다. 증폭기 A의 회로도도 그림 6과 같다. 입력단을 구성하는 트랜지스터  $M_{A3}$ ,  $M_{A4}$ 는 연산 증폭기 입력단의 전압  $V_{OPIN}$ 을 증폭하여 출력단으로 전달하는 역할을 하며 안정도를 보장하기 위해서는 출력단의 커패시턴스가 큰 값을 가져야 한다. 이를

위해 연산증폭기의 출력단에는 복제 및 주 V-I 변환기를 구성하고 있는 트랜지스터  $M_7$ ,  $M_8$ 의 게이트(gate)가 연결되어 있으므로 출력단의 커패시턴스는 큰 값을 가지며 결과적으로 안정된 주파수 특성을 갖는다. 차동 증폭기 A는 그 특성상 출력의 공통모드(common mode)를 안정화시킬 수 있는 부가 회로인 공통모드 귀환(common mode feedback : CMFB)이 필요하다. 이 공통모드 귀환 회로의 출력은 V-I 변환기를 구성하는 트랜지스터  $M_9$ 의 드레인(drain) 전압을 사용하는데  $M_9$ 의 출력 전압은 입력 전압에 상관없이 일정한 값을 가지게 되어  $V_{DD}$ 에서 출력단으로 흐르는 전류가 일정한 값을 가지도록 하는 역할을 한다.

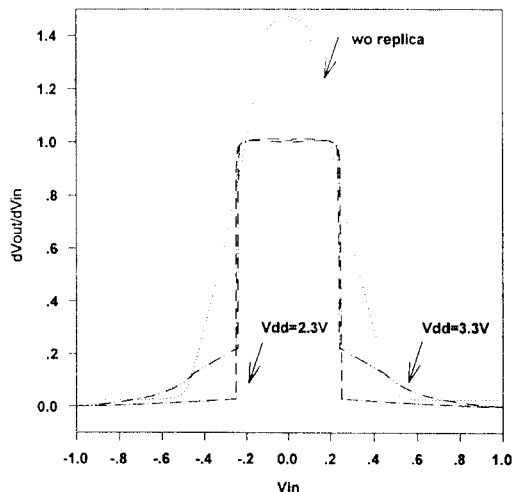


그림 7. 입력신호 레벨에 대한 전압이득의 시뮬레이션 결과.  
Fig 7. The simulation result of the voltage gain vs input signal level.

그림 7은 입력 신호의 크기에 대한 전압 이득을 시뮬레이션한 결과를 보이고 있다. 그림에서 보는 바와 같이 복제 V-I 변환기가 없는 경우는  $-0.15V$ 에서  $+0.15V$ 의 좁은 입력 범위에서 전압 이득의 모양이 불룩한 형태를 보이고 있다. 또 입력 레벨이 구성하고 있는 한 트랜지스터가 컷-오프(cut-off)되는 크기가 되면 전압 이득은 급격히 떨어지게 된다. 또한 작은 입력 크기의 범위에서도 이득의 특성은 편평하지 않은 특성을 보이고 있다. 따라서 입력 레벨이 커짐에 따라 왜곡(distortion)은 증가하게 되고 gm 값은 감소

하게 된다. 이 결과는 그림 5의 트랜지스터  $M_8$  및  $M_9$ 의 게이트-소오스 전압 강하의 크기를 크게 하여 낮은 전원전압에서 믹서의 정상적인 동작이 어렵게 된다. 반면 본 논문의 회로 구성은 귀환 룬이 트랜지스터  $M_8$  및  $M_9$ 가 다 같이 온(ON) 상태를 유지하는 한 전압이득은 거의 일정한 특성을 나타내게 된다. 여기서 입력의 크기가 더욱 커진다면 트랜지스터  $M_8$  및  $M_9$  중의 한 트랜지스터가 컷-오프(cut-off) 되고 출력 전류는 더 이상 커지지 않는다. 왜냐하면 트랜지스터  $M_7$ 에 의해서 공급되는 전류가 일정한 출력 레벨을 유지시켜 주기 때문이다. 이 경우에 전압 이득은 거의 영(zero)으로 감소하게 된다. 이것은 출력 전압이 일정하다는 것을 의미한다. 이 구조는 하나의 트랜지스터에 홀러 들어가는 기준(reference) 전류의 전 영역에 대해 선형 영역을 확장하게 된다. 그림에 나타낸 바와 같이 V-I 변환기의 선형성  $dV_{OUT}/dV_{IN}$ 은 증폭기에 의하여 크게 개선되었음을 알 수 있다. 또한,  $V_{IN}$ 의 주파수가 비교적 낮은 값을 갖는 경우 이 증폭기의 주파수 특성은 그림 4에서의  $V_{LO}$  주파수까지의 높은 값을 가질 필요가 없으며, 단지  $V_{IN}$ 의 주파수에 상응하는 정도의 주파수 특성을 가지면 충분하기 때문에 결과적으로 증폭기의 크기와 소모전력도 작게 할 수 있다. 또한 그림 5에서 증폭기 A의 CMFB은  $M_7$ ,  $M_8$ 의 소오스와  $M_9$ 의 드레인이 연결되어 있는 점을 귀환시킴으로써 CMFB와 VDD단에서 일정한 전류가 흐르게 하는 작용을 동시에 수행하는 이점을 갖게 된다.

결론적으로 믹서의 구동 전압  $V_{DP}$ 와  $V_{DN}$ 은 구성하고 있는 모든 트랜지스터의 동작이 포화(saturation) 영역에 있게 하고 CMFB는 각 트랜지스터의 드레인 전압을 일정하게 한다. 따라서 출력전류  $I_{OUT}$ 는 입력 전압  $V_{IN}$ 과 공급 전원  $V_{DD}$ 의 변화에 관계없이 일정한 크기를 유지하게 된다. 출력 전압의 최대 진폭 크기는 (식 6)을 다시 표현하면 (식 7)로 나타난다.

$$V_{OUT, p-p} = I_{OUT} R_L \quad (7)$$

증폭기 A는 입력단 커패시턴스, 복제 V-I 변환기의 입력 커패시턴스 및 주 V-I 변환기의 입력 커패시턴스로 구성된 커패시턴스 부하만을 구동한다. 따라서 증폭기의 dominant pole은 증폭기 A의 트랜스컨덕턴스

값과 입력단의 부하 커패시턴인 복제 V-I 변환기와 주 V-I 변환기에 의해 결정된다. 또 복제 V-I 변환기에 의해 만들어지는 non-dominant pole은 dominant pole의 크기보다 훨씬 크게 되어 믹서 전체 귀환 룬은 안정하게 된다. 본 논문의 믹서의 전체 전압 이득  $A_V$ 는 (식 6)으로부터 다음의 (식 8)로 표현된다.

$$A_V = N \frac{R_L Z_2}{2R_{LD} Z_1} \quad (8)$$

여기서, N는 복제 V-I 변환기 과 주 V-I 변환기 크기의 비이다.

### III. 제작 및 실험

실계된 입 컨버전 믹서는  $0.8\mu\text{m}$  N-well CMOS 2-poly/2-metal 공정기술에 의해 제작되었다. 그림 8은 제작된 칩(chip) 사진이다. Active area의 크기는  $0.53\text{mm} \times 0.92\text{mm}$ 이다. 그림 9는 믹서에 2-tone 입력 신호를 인가했을 때의 출력 신호를 오실로스코프로 본 것이다. 그림에서 위에 위치한 파형은 입력신호이고 아래의 파형은 변조된 출력 신호이다. 300MHz 및 400MHz의 2-tone 입력 신호를 인가했을 때에 믹서의 출력 스펙트럼은 그림 10에 나타내었다. 이 때에 출력 부하 저항은 약  $8\Omega$ 으로서 낮은 임피던스 부하에서도 왜곡이 되지 않은 양호한 출력 파형을 보이고 있다. LO leakage는 비교적 큰 편인데, 이것은 칩 외부에서 인가된 클럭(clock) 신호의 느린 변화와 대칭 구조에 기인된 결과라 생각된다. 이 leakage는 내부의

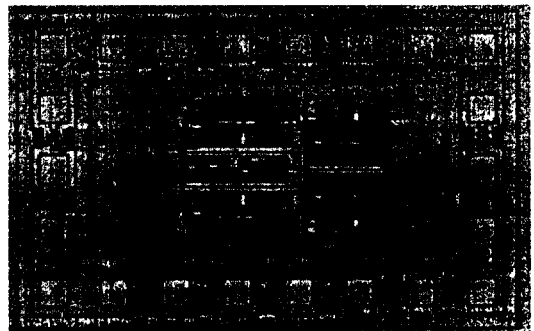


그림 8. 칩 사진.  
Fig 8. The micrograph of the mixer.

클럭 발생기(clock generator)를 사용하고 양특성 및 음특성 기술기의 균형이 양호하며 짧은 상승특성 및 하강특성 시간(rise/fall time)의 클럭 신호를 사용하면 더욱 개선되리라 분석된다. 그림 11은 2-tone 입력에 대한 출력 파워(power) 스펙트럼 및 Inter-Modulation(IM)항을 나타내고 있다. 출력이 포화되었을 때 IM항은 급격히 증가하는 특성을 보이고 있으며, 이것은 출력이 포화되었다는 것을 의미하게 된다. 소모전력은 3.3V 공급전원을 인가하고 입력신호가 130 MHz일 때에 30mW 정도이다.

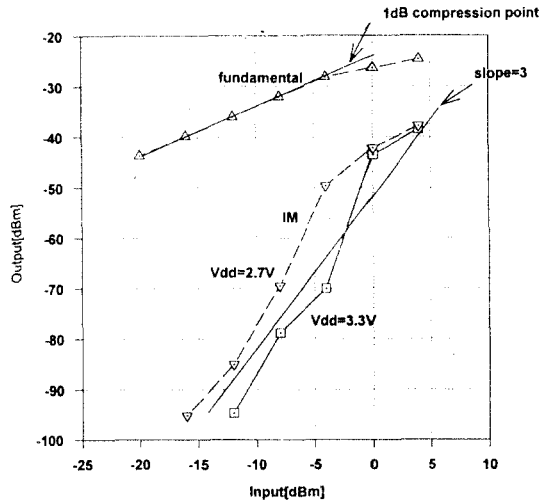


그림 11. 출력 파워 스펙트럼 (기본파 및 IM항).  
Fig 11. The output power spectrum of fundamental and IM terms.

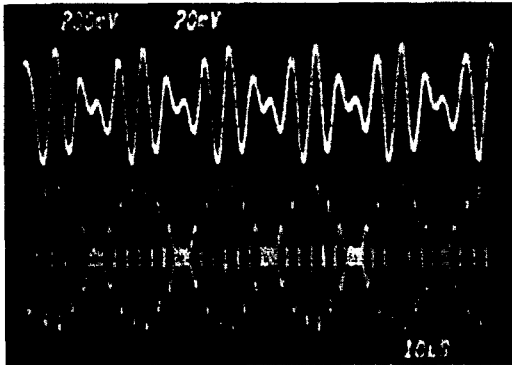


그림 9. 측정된 신호파형.  
Fig 9. The measured mixer output.

#### IV. 결론

Code Division Multiple Access(CDMA) 휴대전화기의 송신부 IF 단에 응용되는 고속 및 저전력 업 컨버전의 새로운 구조를 결정하고 이에 대한 회로 동작 원리를 분석하고 회로 설계를 하였다. 본 논문의 믹서는 전압 귀환을 별도의 복제 V-I 변환기를 통하여 수행하므로 전원 전압으로부터 V-I 변환기의 구동단에 걸리는 전압이 더 작아져도 선형동작을 보장하게 된다. 즉, 복제 V-I 변환기로 별도의 선형성을 얻게 되며 낮은 전압에서도 동작할 수 있는 전체 믹서를 구현하였다. 표 1은 설계 제작된 업 컨버전 믹서에 대한 요약이다.

표 1. 업 컨버전 믹서의 요약.  
Table 1. The summary of Tx mixer.

item	value
Technology	0.8um CMOS with 2-poly/metal
Power Consumption	30mW(3.3V, 130MHz LO)
Chip Size	0.53mm x 0.92mm
Output 1dB Compression	-28dBm (2-tone input, 250hm load)

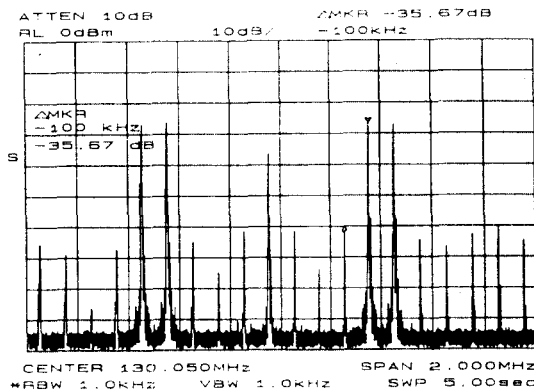
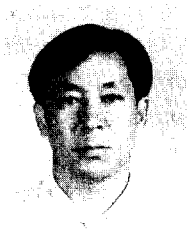


그림 10. 출력 스펙트럼(400kHz 및 500kHz 에서 130MHz 까지 업 컨버전).  
Fig 10. The output spectrum of 400kHz and 500kHz signal upconverted into 130MHz.

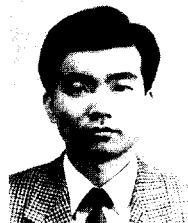
참 고 문 헌

1. Jan Crols and Michel S. J. Steyaert, A 1.5GHz Highly Linear CMOS Downconversion Mixer, IEEE J. Solid-State Circuits, vol. 30, no. 7, pp. 736-742, July 1995.
2. Trudy Stetzler, et al., A 2.7V to 4.5V Single-Chip GSM Transceiver RF Integrated Circuit, ISSCC Digest of Technical Papers, pp. 150-151, Feb., 1995.
3. Ahmadreza Rofougaram, et. al., A 900MHz CMOS LC-Oscillator with Quadrature Outputs, ISSCC Digest of Technical Papers, pp. 392-393, Feb., 1996.
4. Paul R. Gray, Meyer Analysis and Design of Analog Integrated Circuit, US Wiley & Sons.
5. Paul C. Yu, and Hae-Seung Lee, A High-Swing 2-V CMOS Operational Amplifier with Replica-Amp Gain Enhancement, IEEE J. Solid State Circuits, vol. 28, no. 12, pp. 1265-1272, Dec. 1993.



**權 鍾 祈(Jong-Kee Kwon)** 정회원  
 1981년 2월: 영남대학교 전자공학과(학사)  
 1983년 2월: 영남대학교 대학원 전자공학과(석사)  
 1984년 5월~현재: 한국전자통신연구원 집적회로연구부 고속회로연구실 선임연구원

※주관심분야: 저전압/저전력 아날로그 집적회로



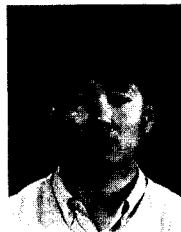
**金 旭(Ook Kim)** 정회원  
 1986년 2월: 서울대학교 전자공학과(학사)  
 1988년 2월: 서울대학교 대학원 전자공학과(석사)  
 1994년 2월: 서울대학교 대학원 전자공학과(박사)  
 1994년 3월~현재: 한국전자통신연구원 집적회로연구부 고속회로연구실 선임연구원

※주관심분야: 아날로그 집적회로 및 저전력/저잡음 회로



**吳 昌 竣(Chang-Jun Oh)** 정회원  
 1982년 2월: 경북대학교 전자공학과(학사)  
 1991년 8월: 전북대학교 대학원 전자공학과(석사)  
 1982년 3월~현재: 한국전자통신연구원 집적회로연구부 고속회로연구실 선임연구원

※주관심분야: 고속 data converter, 저전력/저잡음회로



**李 鍾 烈(Jong-Ryul Lee)** 정회원  
 1988년 2월: 중앙대학교 전자공학과(학사)  
 1990년 2월: 중앙대학교 대학원 전자공학과(석사)  
 1990년 3월~현재: 한국전자통신연구원 집적회로연구부 고속회로연구실 연구원

※주관심분야: 주파수 합성기, 저잡음회로, RF 회로



**宋 元 哲(Won-Chul Song)** 정회원  
 1977년 2월: 서울대학교 전기공학과(학사)  
 1981년 2월: KAIST 전기 및 전자공학과(석사)  
 1981년 2월~현재: 한국전자통신연구원 책임연구원 고속회로연구실장

※주관심분야: 저전력 아날로그 회로, RF회로



**金 景 洙(Kyung-Soo Kim)** 정회원  
 1977년 2월: 서강대학교 전자공학과  
 1977년 2월~현재: 한국전자통신연구원 책임연구원 집적회로연구부장

※주관심분야: 집적회로설계