

다중경로 ATM 스위치에서의 간격조절기에 관한 연구

正會員 이 상 미*, 정 윤 찬**, 김 휘 동***

A Study on Spacing Controller for Multi-Path ATM Switches

Sang Mi Lee*, Younchan Jung**, Heedong Kim*** *Regular Members*

요 약

초고속, 대용량의 스위칭 구조를 설계하려면 반도체 기술의 한계를 극복하기 위하여 내부적으로 다중경로 특성이 있는 구조를 사용할 수 밖에 없고, 이로 인하여 다중경로 스위칭 구조하에서의 셀 순서 바뀔 현상에 대비한 대책이 필요하다. 이 논문에서는 다중경로 스위치 입력 단에 CAM을 이용한 셀 간격조절기를 두고, 동일회선이면서 인접하는 두 셀들 간의 간격이 최소치의 적정 간격보다 작을 경우에만 최소한의 적정간격을 만들어주는 예방적 순서방지 대책을 갖는 스위치 구조를 제시한다. 그리고 제안한 구조의 셀 지연 시간을 분석하기 위하여 CAM_{search} 와 $CAM_{spacing}$ 에 의한 셀 간격조절기를 모델링하고, 이 분석모델을 이용하여 이 조절기 안에서 발생하는 평균 지연 슬롯 수를 계산한다. 분석 결과는 트래픽 부하 ρ 가 0.7이고 간선의 회선수가 1024이며, 간격조절기가 $T_{min} = 200$ 정도에서 동작한다면 제시한 방식에서는 10~20개 슬롯 시간 정도만 셀 시간 지연이 일어난다는 것을 확인하였다. 동일한 조건에서 기존의 지연시간 균등화 방법에 의하면 약 200 셀 슬롯의 시간지연이 일어난다는 것을 고려할 때, 여기서 제시한 간격조절기를 갖는 다중경로 스위치는 지연시간 균등화 장치를 갖는 스위치 보다 $\frac{1}{10}$ 로 셀 지연시간을 줄일 수 있었다.

ABSTRACT

Multipath architecture concepts are capable of accommodating ATM switches design for the implementation of a switching system with high-speed and large capacity. However, the multipath architecture inevitably encounters out-of-sequence problems. Therefore we need a method to overcome the out-of-sequence phenomenon. We propose a spacing controller with CAM located in switch input ports, which causes a predetermined minimum space to be left between two adjacent cells only having less space than the minimum space in the same channel. We model the proposed cell spacing controller realized by CAM_{search} and $CAM_{spacing}$ and analyze the cell delay performance in the

* 한국전자통신연구원 정보통신표준연구센터

** 가톨릭대학교 이공대학 컴퓨터통신학과

*** 한국의국어대학 정보통신과

論文番號: 97310-0904

接受日字: 1997年 9月 4日

controller. As a result, we found that selecting a minimum space of 200 cell slots would be proper for preventing the out-of-sequence problem and causes 10~20 cell time delays. And we have shown that by using the proposed spacing controller, the average nodal delay is about one-tenth of the delay on multipath switches with the delay equalization scheme considering the delay equalization approaches causes 200 cell delays under above conditions.

I. 서 론

최근의 ATM 교환시스템을 구성하는 핵심인 스위칭 구조에 관한 연구는 초고속의 간선과 공용화를 대비한 1000 회선급 이상의 간선을 교환하여야 하는 초고속, 대용량 ATM 교환의 문제를 최근의 반도체 기술로 해결하는 방법 연구에 집중되어 있다. 벌써 광이 도입된 전송선로 문제와는 달리, 셀의 교환과 버퍼링을 위해서는 셀 자료구조의 해석과 셀 저장이 초고속으로 가능해야 하기 때문에 광처리 기술이 성숙되기 전까지는 ATM 스위칭 문제는 반도체 기술에 의해 구현될 수밖에 없다. 그러나 B-ISDN의 공용 통신망 시대에 필요로 하는 처리 속도와 용량을 만족하는 스위칭 구조는 현재 반도체 기술의 한계로 인하여 용이하게 구현하는 것이 쉽지 않다.

ATM 교환의 고유 특징인 큐잉을 해결할 버퍼의 성능 면에서 우수성이 입증된 공통 메모리형의 경우를 살펴보면, 반도체 기술의 한계를 결정하는 두 가지 주요 요소로는 집적도가 좋은 CMOS 또는 BiCMOS의 메모리 사이클시간 한계와 회로 구현 시에 발생하는 칩의 LSI Integration, 즉 집적도의 한계치 문제이다[1], [2]. 예를 들어 2.4 Gbps 라인 속도를 갖고 용량이 8×8, 즉 8개의 입·출력 라인을 갖는 19.2 Gbps 처리량(throughput)의 스위치는 버퍼메모리의 구현에 필요한 총 Gate 수가 1 Bit를 구현하는데 8 Gates가 필요하다고 가정할 때 약 600 K Gates 정도가 필요하다. 현재의 기술이 0.3μ 기술로 약 1000 K Gates 까지 집적도가 있는 칩을 만들 수 있다고 볼 때, 8×8 이상의 용량의 스위칭 구조는 단일 칩으로 구현할 수가 없다. 다음으로 스위칭시에 버퍼 메모리에 큐잉시키기 위한 Read/Write 사이클은 1초에 19.2×2 (Read/Write) G Bits 만큼의 셀 정보를 처리해야 한다. 이는 기존 반도체 기술의 메모리 액세스 시간을 고려할 때, 수 비트-병렬 처리방법을 사용하여 버퍼에 Read/Write 할 수밖에 없다. 이러한 구조 설계상의 기술에 의하여 반도체 기술의 메모리 액세스 한계 속도와 칩 집

적도의 한계가 극복될 수 있다.

그런데 최대로 할 수 있는 비트-병렬방법은 이론상으로는 셀의 크기인 424 비트까지 가능하다고 하더라도 그 이상의 내부처리 대역폭을 요구하는 스위칭 구조는 이 방법도 한계가 있다. 이 한계를 뛰어 넘으려면 셀-병렬 방법을 사용할 수 있다. 그림 1과 같이 스위칭 입력 단에 셀 분배기를 두고 입력 라인의 셀들을 주기적으로 라운드-로빈 식으로 각 스위치 면에 뿌려주는 방법이다. 각 스위치 면이 Γ 비트의 병렬처리를 하고 있고 만약 L 개의 병렬면을 갖는 L 셀-병렬 구조에서는 총 병렬도가 $L \times \Gamma$ 가 되어 반도체 기술의 한계속도를 극복할 수 있다. 이러한 다중경로에 의한 한계기술 극복 구조는 어떤 입력으로부터 출발하여 스위칭 과정을 거쳐 특정 출력으로 향하는 동일 회선에 속한 셀들 간에도 순서 바뀔 현상이 일어날 수 있다. 그 이유는 동일한 호(Call)의 셀들이지만 셀 분배기를 거쳐 서로 다른 스위치 면으로 들어간 셀들은 서로 각각 다른 독립적인 큐잉 지연이 각 스위치 면

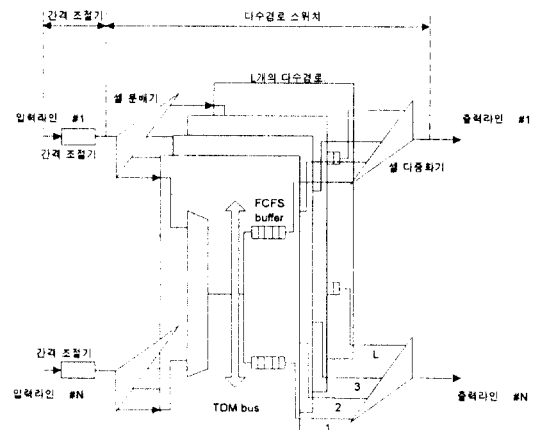


그림 1. 간격조절기를 갖는 다중경로 ATM 스위치 구조 모델
Fig. 1 Architecture model of Multipath ATM switches with spacing controllers.

에서 일어나기 때문이다[3]. 이로 인하여 셀 들이 다중화기를 거쳐 출력 라인으로 나올 때면 같은 호의 셀들 간에도 순서가 바뀔 수가 있다.

이와 같은 순서 바뀔 현상은 다중경로 특성이 있는 대용량 스위치에서도 발생한다. B-ISDN의 공용 서비스가 시작될 시기에는 155 Mbps 라인 속도를 갖고 용량이 1024×1024 이상의 ATM 교환 시스템이 필요해진다. 시스템 총 처리량이 약 160 Gbps 정도 이상의 스위치를 설계하는 방법은 효율적인 공간분할식으로 단위 스위치를 잘 배치하여 확장해 나갈 수밖에 없다. 여기에서 효율적인 공간분할식이란 인터콘넥션 라인이나 크로스포인트의 숫자가 가급적이면 작아야 하고, 내부 크로스포인트 간의 셀 경로 라우팅 제어가 용이해야하며, 크로스포인트를 형성하는 단위 스위치는 동일한 것이어야 하고, 가급적이면 단위 스위치는 단일 칩으로 구현 가능한 것이 좋다 [4], [5]. BMSR(Banyan Multipath Self Routing) 구조에서 보드 레벨로 구현되는 64×64 스위치의 예를 그림 2에 나타내었다[6]. 셀들이 이 스위치 보드를 통과할 때 이 보드는 논리적으로 2×2 스위칭 역할을 한다. 예를 들어 그림에서 오른쪽 쪽 위의 32개 출력 그룹으로 스위칭되는 셀들은 이 32개 라인의 어떤 곳으로 통과해도 좋으므로 여러개의 스위칭 보드를 통과한

동일 회선에 속한 셀들은 다중경로 특성이 있는 것이다. 이 다수 경로 특징을 잘 이용하면 트래픽이 적절히 분산되는 것에 의해서 버퍼링 성능은 좋아지나 역시 하나의 호의 흐름측면에서 볼 때, 처음 입력라인에서 들어간 셀 흐름이 최종 출력 라인을 빠져나올 때, 앞 뒤 셀 순서가 반드시 일치된다는 보장이 없다. 그림 1이나 그림 2에서의 공통점은 반도체 기술의 한계를 극복하기 위하여 내부적으로 다중경로 특성이 있는 구조를 사용할 수밖에 없고 이로 인하여 작은 확률이지만 셀 순서바뀔 현상을 피할 수 없다는 점이다.

II. 본 론

1. 셀 순서바뀔현상의 방지 구조

앞에서 초고속 대용량의 스위칭 구조를 설계하려면 병렬처리 개념을 구조설계에 도입해야만 하고 이로 인한 반대 급부로 셀 순서 바뀔 현상이 야기됨을 설명하였다. 여기서 병렬처리 수준 또는 다중경로 수를 크게 할 수록 순서 바뀔 현상이 높아지는 것을 논문 [6], [7]에서 정량적으로 분석하였다. 이 섹션에서는 이 현상을 극복하기 위하여 기존에 제안된 셀 순서바뀔현상 방지 구조를 우선 알아보고 다음으로 간격조절기에 의한 예방적 방법을 제안한다. 다음부터 언급되는 셀 슬롯시간의 개념은 동기적으로 동작하는 ATM 교환기에서 하나의 셀이 입력되는 시간 간격을 1 슬롯 시간으로 보고 있다.

처음으로 스위치 구조 설계에서 제시된 셀 순서 일치방법은 스위칭 지연시간 균등화 방법이다[3]. 이 방법은 스위치에 입력되는 모든 셀들에게 도착 현재 시각의 꼬리표를 달아주고, 각 셀들이 스위칭 버퍼를 통과하여 출력라인으로 나왔을 때 이 시간 꼬리표를 검사하여 모든 셀들이 스위치를 통과했을 때 일정한 지연시간, 즉 T_{const} 의 시간 지연을 갖도록 강제적으로 만들어 주는 방법이다. 리시퀀싱 버퍼를 모든 출력단에 두고서 출력단에 도착한 셀의 꼬리표를 검사하여 스위칭 시간 지연 T_{sw} 을 알아내어 셀을 리시퀀싱 버퍼에서 T_{rew} 만큼 강제적으로 더 기다리게 했다가 출력으로 내보낸다. 이렇게 하여 모든 셀들이 $T_{sw} + T_{res} = T_{const}$ 의 관계가 성립하게 만들어 준다. 이 방법은 여러 개의 입력 라인으로부터 동일한 시각에도 착한 셀들이 특정한 하나의 출력 라인으로 가려고 할

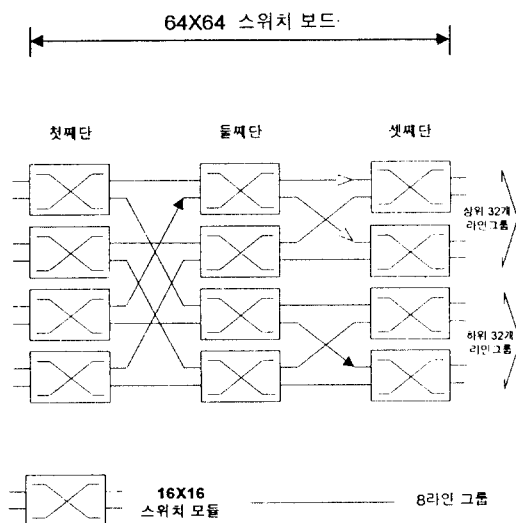


그림 2. 다중경로가 있는 공간 분할 방식 스위치
Fig. 2 Multipath space-division switches.

때, 똑 같은 지연시간을 갖게 만드는 것이 원칙적으로 불가능하다. 또한 이 때의 리시퀀싱버퍼의 동작특성에 의한 요구용량에 따른 정확한 분석이 없을 뿐 아니라 시간 꼬리표를 이용하는 방법의 구현측면의 복잡도 등을 고려할 때 좋은 방법이 아니다[7].

기존에 제시된 두 번째 방법은 셀 간격조절기를 이용한 예방적 방법이다[7]. 지연 시간 균등화에 의한 셀 리시퀀싱 방법은 셀 순서바뀔현상이 피할 수 없는 것이라는 사실에만 너무 집착하여, 일어난 결과의 재처리 방법을 제시한데 비추어 셀 간격조절 방법은 순서 바뀔 현상이 일어나는 원인과 과정을 잘 분석하면 적절한 전 단계의 조치에 의하여 시간꼬리표 같은 것을 사용하지 않아도 순서 바뀔 현상을 피할 수 있다는 아이디어에서 제시되었다. 순서바뀔현상에 영향을 주는 파라메타들을 수학적으로 철저히 분석하여 적정 조건을 만들어 주면, 이 현상이 허용할 수 있는 성능범위 안에 들어올 수 있는가를 확인할 수 있기 때문에 이 방법제시가 가능했다. 그러나 이 예방적 방법이 여러 측면의 장점을 가지고 있지만, 입력 측에 들어오는 셀들의 흐름 속에서 동일 호에서 발생한 셀들이 T_{min} 시간 간격 안에 연속하여 들어오는 쌍이 있는가를 조사하려면 각 입력 포트에 그림 1과 같은 간격조절기(spacing controller)를 뒤야 한다. T_{min} 지연 버퍼에 동일한 VCI 값을 갖는 셀이 존재하면 스페이싱 프로세서는 뒤의 셀을 스페이싱 버퍼에 집어넣어 동일 VCI를 갖는 셀의 앞뒤 간격은 항상 T_{min} 이상이 되게 하는 방법이다. 이 지연 버퍼 때문에 모든 셀들은 어떤 경우에도 스위치에 입력되면 T_{min} 만큼의 시간 지연은 피할 수 없게 되었다[6].

이 논문에서 제시하는 구조는 스위치 입력 단에 셀 간격조절기를 두는 방법은 [6]에서 제시한 방법과 동일한 예방적 방법이다. 그러나 다음 섹션에서 설명할 이 논문 고유의 아이디어는 스위치에 입력되는 모든 셀들이 위에서 언급한 T_{min} 시간의 지연을 겪지 않아도 되게 셀 간격조절기를 설계했다는 점이다. 즉 동일한 호에서 발생하여 입력되는 두 개의 인접 셀 간의 간격이 T_{adj} 이라면 $T_{adj} \leq T_{min}$ 인 상황에서만 뒤에 들어오는 셀을 ($T_{min} - T_{adj}$) 시간만큼 스페이싱 버퍼에서 지연시킨 후에 스위치로 넘기고, 만약 $T_{adj} > T_{min}$ 인 경우에는 뒤에 들어오는 셀을 지연시키지 않고 바로 스위치로 들여보낸다. 동일 호이며 인접한

두 셀간의 간격 T_{adj} 을 조사하기 위해서 CAM(Content Addressable Memory)를 사용한다.

2. CAM을 이용한 셀 간격조절기의 설계 및 동작 원리

셀 간격 조절기는 두 가지 종류의 CAM으로 구성된다. 하나는 인접 셀 간의 간격인 T_{adj} 의 값을 조사하는 기능을 수행하는 CAM_{search} (조사용 CAM)과 이때 여기서 조사된 T_{adj} 값이 $T_{adj} \leq T_{min}$ 인 경우에 뒤에 들어오는 셀을 ($T_{min} - T_{adj}$) 시간만큼 지연 저장시키기 위한 CAM_{spacing} (스페이싱 버퍼용 CAM)으로 구성된다.

우선 CAM_{search}는 그림 3과 같이 각 엔트리마다 ADDR, CNTR 및 TIMER 필드를 포함하는 데이터 저장구조를 갖고 있다. 하나의 저장 엔트리는 특정 호(Call)즉 각 채널에 하나 씩 대응된다. ADDR 필드는 특정 호를 구분할 수 있는 셀의 VCI(Virtual Channel Identifier) 값이 기억되는 필드이고, CNTR 필드는 간격조절기에서 현재 지연시키고 있는 CAM_{spacing}에 저장된 같은 VCI에 속한 셀 숫자를 표시하는 필드인데, 만약 CNTR 값이 5라면 앞서간 셀과의 간격을 T_{min} 이상 띄우기 위해서 간격조절기의 CAM_{spacing}에는 현재 5개의 셀이 저장되어 있다는 것을 의미한다. 현재 이후로 동일 채널에 속한 셀들이 더 이상 들어오지 않는 경우에는 $5 \times T_{min}$ 슬롯 시간 이후에 CNTR이 0이 된다. 그리고 TIMER 필드는 어떤 하나의 엔트리가 CAM_{search}에 신규로 기억시켜진 순간 T_{min} 으로 입력되어 셀의 슬롯 시간이 1씩 경과할 때마다 1씩 감소하는 타이머 필드이다.

ADDR	CNTR	TIMER
1234	1	5
.	.	.
.	.	.
.	.	.
.	.	.

그림 3. CAM_{search}에서의 데이터 저장구조
Fig. 3 Memory data structure of CAM_{search}.

CAM_{search}에 특정 엔트리가 기억되거나 제거되는 과정은 다음과 같다. 어떤 셀이 간격조절기로 들어오면 그 셀의 VCI 값은 CAM_{search}의 어드레스 필드(ADDR)와의 매칭용 어드레스로 사용된다. 이때

CAM_{search}에서 매칭이 일어나지 않으면 현재 셀과 바로 앞서간 셀과의 간격이 T_{min} 이상이라는 것을 의미한다. 그러면 이 셀은 그대로 스위치 입력으로 보내지고, CAM_{search}에는 이 셀에 해당되는 하나의 엔트리가 기억된다. 이 엔트리의 ADDR에는 이 셀의 VCI 값이, CNTR에는 0이, 그리고 TIMER에는 T_{min} 값으로 기억되게 된다. 이 순간부터 이 엔트리의 TIMER 값은 매 셀 슬롯시간이 경과할 때마다 1씩 감소하게 되고, 결국 CNTR값과 TIMER 값이 모두 0 값으로 내부적으로 인식되면 이 엔트리는 CAM_{search}에서 자동으로 제거되게 된다.

만약 간격조절기로 들어온 셀이 CAM_{search}에서 매칭이 일어나면 현재 셀과 동일 VCI 값을 갖는 바로 앞서간 셀과의 간격이 T_{min} 보다 작다는 것을 의미한다. 이 경우 먼저 CAM_{search}에 있는 매칭된 어드레스의 엔트리 (ADDR, CNTR, TIMER) 값이 (ADDR, CNTR +1, TIMER) 값으로 바뀌어 다시 CAM_{search}에 저장된다. 그리고 이 셀은 스위치 입력으로 바로 보내지지 않고 일단 CAM_{search}로 보내져 저장된다. 그림 4와 같이 CAM_{spacing}에 기억시킬 엔트리 내용은 CAM_{search}에서 매칭되어 갱신된 세 가지 값과 셀의 정보(INFORM) 값, 즉 4가지 필드로 구성되는 (ADDR, CNTR, TIMER, INFORM) 값이다.

ADDR	CNTR	TIMER	INFORM
1234	1	5	101010111.....110

그림 4. CAM_{spacing}에 기억시킬 엔트리 데이터 구조
Fig. 4 Memory data structure of CAM_{spacing}.

CAM_{search}나 CAM_{spacing}의 TIMER 값이나 CNTR 값은 기억될 때의 초기 값에서 시작하여 시간이 t에서 다음 셀 슬롯 시간 t+1일 때의 변화 관계식은

$$TIMER(t+1) = MOD T_{min} \{ \{ TIMER(t) + T_{min} \times CNTR(t) \} - 1 \} \quad (1)$$

$$CNTR(t+1) =$$

$$INT \left[\frac{\{ TIMER(t) + T_{min} \times CNTR(t) \} - 1}{T_{min}} \right] \quad (2)$$

가 성립한다. 차이점은 CAM_{search}에서는 CNTR값과 TIMER 값이 모두 0이 되면 이 해당 엔트리는 CAM_{search}에서 제거가 되나, CAM_{spacing}에서는 CNTR값이 1인 상태에서 TIMER 값이 0이 되면 이 해당 엔트리는 CAM_{spacing}에서 제거가 됨과 동시에 INFORM 필드 곧 간격 조절기에 저장되었던 셀 정보가 스위치 입력 쪽으로 넘겨지게 된다. 여기서 CAM_{spacing}에는 같은 VCI 값을 갖는 엔트리가 여러개 있을 수가 있다.

지금까지 CAM과 적절한 제어회로로 설계된 간격 조절기의 기능과 동작 특성을 설명하였다.

3. 간격조절기에서의 셀 지연시간 분석

[7]에서 제시된 간격조절기에서는 항상 스위치에 입력되는 모든 셀은 일정량 T_{min} 만큼의 셀 시간 지연이 따라야 하는 구조였다. 그런데 이 논문에서 제시된 간격조절기 구조는 모든 셀에게 T_{min} 만큼의 시간 지연을 주지 않고 오직 앞선 셀과의 간격이 T_{min} 보다 작은 T_{adj} 인 경우에 뒤에 들어오는 셀을 ($T_{min} - T_{adj}$) 시간만큼 CAM_{spacing}에서 지연시킨 후에 스위치로 내보낸다. 이것은 간격조절기를 포함한 전체 스위칭 시스템에서의 셀 지연시간이 [7]에서 사용한 방법에서는 항상 T_{min} 슬롯 시간 이상이나, 본 논문에서 제시한 CAM을 이용한 간격조절기에서의 셀 지연 시간은 거의 무시될 수 있을 것이라는 직관을 입증하기 위하여 다음에 서술할 간격조절기 모델링에 의한 분석적 기법을 가지고 셀 지연시간을 정량적으로 분석하였다.

먼저 CAM_{search}에 있는 임의의 호(특정의 VCI 값을 갖는 채널)에 속하는 셀의 엔트리 (ADDR, CNTR, TIMER) 값 중에서 n 번째 슬롯 시간에서의 TIMER 값을 랜덤변수 $TIMER(n)$ 로 표시하고, CNTR 값을 랜덤변수 $CNTR(n)$ 로 표시한다. 여기서 랜덤변수 $C(n)$ 를 다음과 같이 정의한다.

$$C(n) = TIMER(n) + T_{min} \times CNTR(n) \quad (3)$$

그림 5는 이 스토캐스틱 프로세스 $C(n)$ 의 그림이다. 그림에서 C 의 값이 T_{min} 만큼 점프하는 슬롯이 특정 한 채널에 소속된 셀이 간격조절기에 도달하는 순간

이다. 이 순간을 시작으로 그림에서 C 의 값이 0에서 출발하여 T_{min} 으로 갔다가 바로 $T_{min}-1, T_{min}-2, \dots$ 이런 값으로 떨어지는 모양을 하고 있다가 어떤 시점에는 다시 T_{min} 양만큼 점프한다. C 의 값이 떨어지는 부분의 슬롯은 간격조절기로 특정 채널에 속한 셀이 들어오지 않고 있는 경우이다. C 의 값이 0에서 출발하여 T_{min} 으로 갔다가 바로 $T_{min}-1$ 로 바뀌는 시점은 CAMsearch에서 ADDR 매칭이 일어나지 않은 경우로, 현재 셀과 바로 앞서간 셀과의 간격이 T_{min} 이상이므로 이 셀은 그대로 스위치 입력으로 보내진다. C 의 값이 0이 아닌 상태에서 T_{min} 만큼 점프하는 슬롯은 하나의 셀이 간격조절기에 들어오나 현재 셀과 바로 앞서간 셀과의 간격이 T_{min} 미만이므로 이 셀은 그대로 스위치 입력으로 보내질 수 없고 CAMspacing에 보관되었다가 앞서간 셀과의 간격이 T_{min} 이 되는 순간에 스위치 입력으로 나가야 함을 의미하는 곳이다. 그림에서 C 의 값이 $(k \times T_{min} + 1), (k \times T_{min}), (k \times T_{min} - 1), \dots$ (단, $k=1, 2, 3, \dots$)으로 감소하는 모양을 하고 있는 곳에서는 C 의 값이 $(k \times T_{min})$ 에서 $(k \times T_{min} - 1)$ 로 바뀌는 순간에, CAMspacing에서 지연 목적으로 저장되고 있던 엔트리, 즉 (ADDR, CNTR, TIMER, INFORM) 값 중에서, CNTR값이 1이 되고 TIMER 값이 0이 되는 엔트리는 CAMspacing에서 제거가 됨과 동시에 INFORM 필드 (간격 조절기에 지연 저장된 셀 정보)가 스위치 입력 쪽으로 넘겨지게 되는 시점을 표시한다.

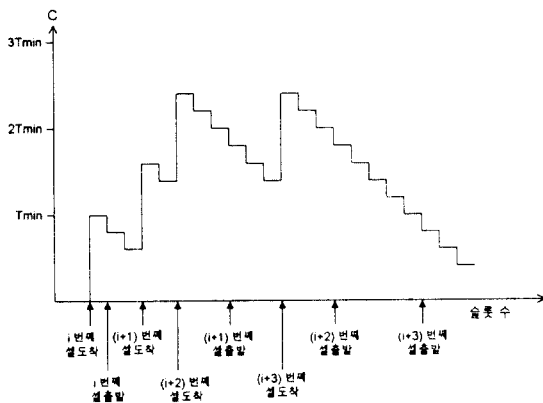


그림 5. 스토캐스틱 프로세스 $C(n) = \text{TIMER}(n) + T_{min} \times \text{CNTR}(n)$

Fig. 5 Stochastic process $C(n) = \text{TIMER}(n) + T_{min} \times \text{CNTR}(n)$

그림 5의 스토캐스틱 프로세스를 해석하기 위하여는 간격조절기에 도달하는 특정 채널에 속한 셀 흐름의 도착 프로세스를 정의해야 한다. [6]에 의하면 이 도착 프로세스를 무엇을 가정하느냐에 따라 성능분석 결과가 많이 달라질 수 있다. 그러나 만약 베르누올리 도착 프로세스를 가정하여 문제를 풀면 다른 프로세스를 가정할 때 보다 더욱 더 현실보다 혹독한 결과 (pessimistic bounds for a real traffic)를 낼 수 있다는 것이 입증되었으므로 이 논문에서는 도착 프로세스를 베르누올리 프로세스로 가정한다. 그러므로 만약 하나의 간선이 V_{ch} 개의 채널로 구성되고 간선의 이용효율이 ρ 이며 간선을 구성하는 모든 회선은 동일한 부하의 회선이라고 가정하면, 임의의 셀 슬롯에 특정 채널의 셀이 간격조절기에 도달할 확률 p 는 $\frac{\rho}{V_{ch}}$ 가 된다.

위와 같은 조건에서 위의 그림 5 프로세스는 마르코프체인으로 표현된다. 상태 공간이

$$\{0, 1, 2, 3, \dots, (T_{min}-1), (T_{min}), (T_{min}+1), \dots, k, \dots, l, \dots\} \quad (4)$$

이 되며, 인접 슬롯에서 상태가 k 에서 l 로 바뀌어질 확률을 $P_{k,l}$ 로 표시하면, 이 마르코프체인의 상태전이 매트릭스 E 는

$$E = |P_{k,l}|, k=0, 1, 2, 3, \dots, l=0, 1, 2, 3, \dots \quad (5)$$

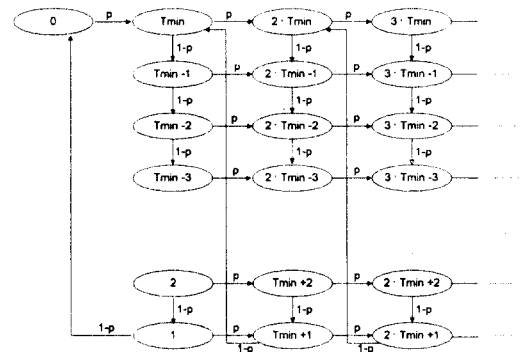


그림 6. 스토캐스틱 프로세스 $C(n)$ 의 상태전이 다이어그램
Fig. 6 State transition diagram of stochastic process $C(n)$.

로 표현된다. 그림 6은 상태전이 다이어그램을 나타내고 있으며, 화살표로 표시된 값이 상태전이 확률(One step state transition probability) $|P_{k, l}|$ 을 표시한다.

여기서 평온상태에서의 C 의 값 확률(steady state probability) 즉, $\lim_{n \rightarrow \infty} \text{Prob.}\{C(n)=m\}$ 을 π_m 으로 정의하면, $\Pi = (\pi_0, \pi_1, \pi_2, \pi_3, \dots)$ 의 열 (Row) 벡터 Π 는 다음 관계식

$$\Pi(I-E)=0, \Pi e=1 \quad (\text{단, } I\text{는 Identity Matrix이며 } e\text{는 Unity Column Vector}) \quad (6)$$

이다.

그런데 위에서는 상태 수를 무한개로 보았다. 실질적인 시스템에 있어서는 버퍼 개수도 유한하기도 하고, 상태 값이 어느 정도 이상이라는 것은 계속 인접 셀 간격이 T_{\min} 보다 작은 셀들이 연속적으로 들어오는 것을 뜻하나 이런 경우는 거의 생기지 않으므로 적당한 값에서 상태 값을 잘라서(truncation) 유한한 상태 수를 가지고 위 방정식을 푼다.

이와 같이 계산된 Π 값은 베르누올리 도착 패턴을 가정하여 얻은 값이다. 이 경우도 PASTA (Poisson Arrival Sees Time Average) 성질이 성립하므로 Π 값은 곧 어떤 셀이 간격조절기에 도착했을 때 CAM_{spacing} 에서 기다려야 하는 지연시간의 분포를 의미한다. 임의의 셀이 간격조절기에 도달하여 간격조절기 내의 CAM_{spacing} 에서 기다려야하는 지연시간을 확률변수 Q 로 표현하면 π_m 은 또한

$$\pi_m = \text{Prob.}\{Q=m\} \quad (7)$$

이다. 간격조절기에서의 평균지연시간 T_{ave} 는 $\sum_{m=0}^{\infty} m \pi_m$ 이 된다.

4. 간격조절기에 의한 지연시간 분석결과

우선 그림 1과 같은 구조에서 보여주는 다중경로의 수 L 은 일반적으로 어떤 목적지에 도달하기 위한 가능한 경로의 수와 같다. 이 때 순서 바뀔 확률은 다음에 열거하는 파라메타의 영향을 받는다. 파라메타들은 다중경로의 수 L , 가상회선의 수/간선 V_{ch} , 트래픽 부하 ρ , 및 T_{\min} 값 등이다. 먼저 다중경로에서의 순서

바뀔현상은 같은 호로부터 발생하여 오는 셀 스트림 안의 셀들에게만 일어날 수 있는 현상이다. 트링크의 셀 흐름 가운데 동일한 호에 속한 셀 스트림 즉, 하나의 가상회선의 셀 흐름도 역시 베르누올리 과정을 따라 도착하는 것으로 가정한다. 여기서 한 링크를 구성하는 가상회선 수를 V_{ch} 이라 하고 임의의 동일회선에 속한 셀 가운데 인접하는 두 셀 간의 도착시간 간격(인접 셀 즉, 앞의 α 셀과 뒤따르는 β 셀과의 간격 슬롯 수)을 확률변수 $T_{\alpha, \beta}$ 로 표현하면, $T_{\alpha, \beta}$ 의 분포특성은 다음 식과 같다.

$$P(T_{\alpha, \beta}=k) = \frac{\rho}{V_{ch}} \left(1 - \frac{\rho}{V_{ch}}\right)^{k-1}, \quad k=1, 2, 3, \dots \quad (8)$$

그런데 그림 1과 같이 간격 조절기를 사용하여 인접 셀 즉, 앞의 α 셀과 뒤따르는 β 셀과의 간격 슬롯 수를 최소한 T_{\min} 만큼은 되게 강제적으로 간격을 띄워 준다면 [7]에서 개발된 분석 모델에서 위 식은 다음과 같이 변형시켜 계산하면 된다.

$$P(T_{\alpha, \beta}=k) = \begin{cases} 0 & k=1, 2, 3, \dots, (T_{\min}-1) \\ \sum_{i=1}^{T_{\min}} \frac{\rho}{V_{ch}} \left(1 - \frac{\rho}{V_{ch}}\right)^{i-1}, & k=T_{\min} \\ \frac{\rho}{V_{ch}} \left(1 - \frac{\rho}{V_{ch}}\right)^{k-1}, & k=(T_{\min}+1), (T_{\min}+2), (T_{\min}+3), \dots \end{cases} \quad (9)$$

그림 7은 다수 경로수 $L=8$, 트래픽 부하 $\rho=0.7$, 스위치 용량이 32×32 로 고정했을 때의 T_{\min} 변화에 따른 순서 바뀔 확률을 간선당 가상회선 수 V_{ch} 를 변화시키면서 분석하였다.

여기서 다중경로의 수가 8 정도만 되어도 간격조절기에서 동일 회선 인접 셀 간의 간격을 약 200 셀 슬롯 정도는 벌여 놓아야만 순서 바뀔 확률이 약 10^{-9} 정도 이하로 떨어진다는 것을 알 수 있다. 이것은 만약 간격조절기를 [7]에서 제안한 방법이나 [3]에서 제안한 방식으로 설계할 경우에는 간선의 속도가 150 Mbps인 경우에 모든 셀들이 간격조절기에서 약 0.5 msec 이상의 시간 지연이 항상 동반된다는 사실이다. 모든 스위칭마다 0.5 msec 이상의 시간지연이 셀 순서 일치를 보장받기 위한 추가 부담이 된다는 것이다. 이 정도의 시간 지연이 추가된다면 실시간 트래픽 등은 통신망이 WAN 개념으로 확장될 경우에 노

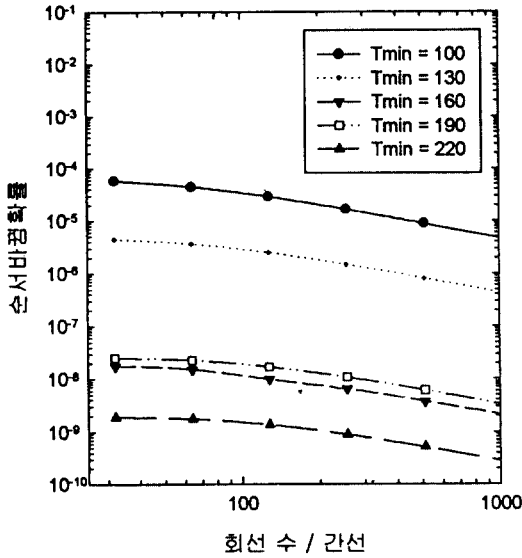


그림 7. T_{min} 변화에 따른 셀 순서 바뀔 확률
(파라메타 값 : 다중경로수 $L=8$, 용량 = 32×32 , 입력 트래픽 밀도 $\rho=0.7$)

Fig. 7 Out-of-sequence probabilities for different T_{min} .
(Parameter values : $L = 8$, switch size = 32×32 , $\rho = 0.7$)

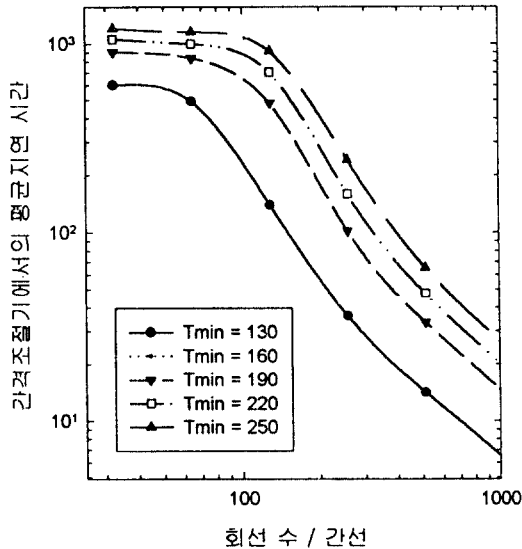


그림 8. T_{min} 변화에 따른 간격조절기안에서 발생하는 평균 지연 슬롯 수
(조건 : 입력 트래픽 밀도 $\rho=0.7$)

Fig. 8 Average cell delay in a spacing controller for different T_{min}
(Parameter value : $\rho = 0.7$)

드간의 HOP 수가 증가하면 통화성능에 문제가 있게 된다. 즉 [3]에서 제안한 것이나 [7]에서 제안한 방법은 실시간 트래픽을 고려하면 순서 바뀔을 방지하면서 통신망의 셀 시간지연 성능을 모두 만족하는 효율적인 구조가 되지 못한다는 것을 입증하는 결과이다. 그러므로 이 논문에서 같은 호이며 인접 셀 간의 간격을 최소한 200 셀 슬롯 정도는 유지시키면서도 평균 셀 시간 지연은 수 셀 슬롯 정도로 유지시키는 CAM을 이용하는 간격조절기 구조를 제시하였다.

그림 9는 이 논문에서 제시한 간격조절기를 이용할 때, 간격조절기 안에서 발생하는 평균 지연 슬롯 수를 앞에서 제시한 분석모델을 이용하여 계산하였다. 트래픽 부하 ρ 를 0.7로 고정했을 때의 T_{min} 변화에 따른 평균 지연 슬롯 수를 간선당 가상회선 수 V_{ch} 를 변화시켜가면서 분석하였다.

위의 두 가지 그림이 보여주는 사항은 간격조절기에서 동일 회선 인접 셀 간의 간격을 약 200 셀 슬롯 정도는 벌여 놓아야만 순서 바뀔 확률이 약 10^{-9} 정도 이하로 유지된다. [7]에서 제안한 방법이나 [3]에서

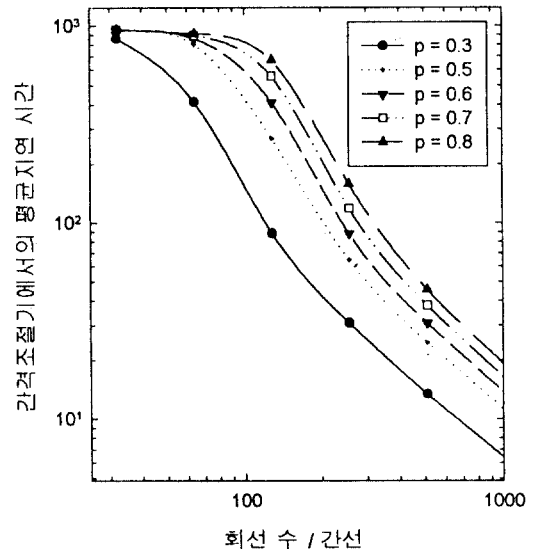


그림 9. 트래픽 부하 변화에 따른 간격조절기안에서 발생하는 평균 지연 슬롯 수
(파라메타 값 : $T_{min}=200$)

Fig. 9 Average cell delay in a spacing controller as traffic load varies.
(Parameter value : $T_{min} = 200$)

제한한 식으로 CAM을 이용한 간격조절기를 사용하지 않는다면 간격조절기에서 200 셀 슬롯 정도의 셀 지연이 있어야만 순서가 일치되는 성능이 유지된다. 그러나 그림 8에서 알 수 있는 것처럼 이 논문에서 제시하는 CAM을 이용하는 간격조절기를 사용하면 인접 셀 간의 간격을 최소한 200 셀 슬롯 정도는 유지시키면서도 평균 셀 시간 지연은 수 셀 슬롯 정도로 유지시키는 상당한 장점을 가진 구조이다. 그렇다고 해서 간격조절기의 구조 측면에서 복잡하지도 않고 고속 구현에 문제점도 없다.

그림 9는 CAM을 이용하는 간격조절기에서 트래픽 부하 ρ 의 변화에 따른 평균 지연 슬롯 수를 간선당 가상회선 수 V_{ch} 를 변화시켜가면서 분석하였다.

트래픽 부하 ρ 가 0.7이고 간선의 회선수가 1024 정도가 되고 간격조절기가 $T_{min} = 200$ 정도에서 동작한다면 간격조절기에서는 10~20개 슬롯 시간 정도만 셀 시간 지연이 일어난다.

다중경로 스위치 구조에서 순서바뀔 문제를 해결하는 기존의 방법은 다중경로 스위치의 입력단에 입력되는 모든 셀에는 입력 순간의 시간이 기록되고, 이 셀들이 다중경로 스위치를 거쳐 출력단에 도달하면 입력 때에 기록된 시간과 출력시의 시간을 비교하여 다중경로 스위치를 통과하면서 걸린 시간을 포함하여 셀의 총 지연을 T_{min} 이 되게, 즉 시간 지연 균등화가 되게 강제적으로 추가로 지연시킨다. 이렇게 해주면 스위칭에서의 시간 지연은 모든셀에게 균등하게 보이기 때문에 입력때의 셀 순서가 출력 때에도 일치하기 때문에 순서바뀔현상은 일어나지 않게 된다. 따라서 순서 바뀔 성능을 보장하기 위하여 [3]에서 제시하는 기존 방법으로는 200 슬롯 시간 정도의 셀 시간 지연이 일어난다는 반면에 이 논문이 제안하는 방법으로는 10~20개 슬롯 시간 정도만 셀 시간 지연이 일어나기 때문에 기존 방식 보다는 약 10배 이상 셀 지연시간을 줄일 수 있다는 것을 보여주고 있다.

III. 결 론

초고속, 대용량의 스위칭 구조를 설계하려면 반도체 기술의 한계를 극복하기 위하여 내부적으로 다중경로 특성이 있는 구조를 사용할 수밖에 없고, 이로 인하여 다중경로 스위칭 구조하에서의 셀 순서 바뀔

현상에 대비한 대책이 필요해졌다.

이 논문에서는 다중경로 스위치 입력단에 CAM을 이용한 셀 간격조절기를 두는 스위치 구조를 제시하였다. 그리고 제안한 간격조절 방식에 대한 셀 지연 시간을 분석하기 위하여 CAM_{search} 와 $CAM_{spacing}$ 의 동작을 모델링하였다. 이 분석모델을 이용하여 간격조절기 안에서 발생하는 평균 지연 슬롯 수를 계산하였다.

분석 결과는 트래픽 부하 ρ 가 0.7이고 간선의 회선수가 1024이며, 간격조절기가 $T_{min} = 200$ 정도에서 동작한다면 제시된 간격조절기에서는 10개에서 20개 슬롯 시간 정도만 셀 지연이 일어난다는 것을 확인하였다. 같은 순서 바뀔 성능을 보장하기 위하여 여기서 제시한 CAM을 이용한 셀 간격조절기를 사용하는 다중경로 ATM 스위치는 기존에 제시된 지연시간 균등화 방법에 기초한 순서바뀔방지 구조를 갖는 다중경로 스위치보다 $\frac{1}{10}$ 로 셀 지연시간을 줄일 수 있다는 결과를 얻었다.

참 고 문 헌

1. H. A. Kalvonjian and C. M. Melliar-Smith, "VLSI applications in switching systems current applications and trends in technology evolution", ISS'92 pp. 246-250, Oct. 1992.
2. M. Mizukami, Y. Satoh and Y. Nakano, "CMOS circuit technologies for digital communication systems", ISS'92 pp. 251-255, Oct. 1992.
3. H. A. Henrion, G. J. Eilenberger, "G. H. Petit, and P. H. Parmentier, A multipath self-routing switch", IEEE Commun. magazine, Vol. 31, No. 4, Apr. 1993.
4. T. R. Banniza, G. J. Eilenberger, B. Pauwels, and Y. Therasse, "Design and technology aspects of VLSI's for ATM switches", IEEE JSAC, vol. 9, pp. 1255-1264, Oct. 1991.
5. N. Miyaho and Y. Doi, "ATM switching system technologies", NTT R&D, Vol. 42, No. 3, pp. 283-296, Mar. 1993.
6. Y. C. Jung, C. K. Un, "Banyan multipath self-routing ATM switches with shared buffer type switch elements", IEEE Trans. Commun., Vol. 43

7. Y. C. Jung, C. K. Un, S. M. Ryu, and S. C. Lee, "Analysis of the out-of-sequence problem and the preventive schemes in a parallel switch architecture for high-speed ATM networks", IEE Proceedings Part I, Vol. 141, No. 1, Feb. 1994.



정 윤 찬(Youn Chan Jung)정회원
1980년 2월:경북대학교 전자공학과(공학사)
1991년 2월:KAIST 전기 및 전자공학과(공학석사)
1994년 8월:KAIST 전기 및 전자공학과(공학박사)
1980년 3월~1990년 2월:국방과

학연구소 선임연구원

1996년 3월~현재:가톨릭대학교 컴퓨터통신학과 조교수

※주관심분야: ATM 교환, IP & ATM Integration, 차기 인터넷 실시간 서비스 QoS, 기가라우터/ATM 교환 복합구조, 초고속 액세스 망 등



이 상 미(Sang Mi Lee) 정회원
1983년 2월:경북대학교 전자공학과 졸업(공학사)
1985년 2월:경북대학교 대학원 전자공학과 졸업(공학석사)
1990년 2월:경북대학교 대학원 전자공학과 졸업(공학박사)

1991년 3월~현재: 한국전자통신연구원 근무

※주관심분야: 영상신호처리, 영상정보검색, ATM망을 이용한 신호 전송