

CDMA/FM 이중모드 셀룰러 폰용 3.3 V 0.8 um CMOS 기저대역 아날로그 IC

正會員 吳 昌 竣*, 金 旭*, 權 鍾 祈*, 李 鍾 烈*,
宋 圭 相*, 宋 元 哲*, 金 景 洙*

3.3 V 0.8 um CMOS Baseband Analog IC for CDMA/FM Dual Mode Cellular Phone

Chang-Jun Oh*, Ook Kim*, Jong-Kee Kwon*, Jong-Ryul Lee*, Q-Sang Song*,
Won-Chul Song*, Kyung-Soo Kim* *Regular Members*

요 약

본 논문에서는 CDMA/FM 이중모드 셀룰러 폰용 3.3 V 0.8 um CMOS 기저대역 아날로그 IC 설계에 관하여 논한다. 본 IC는 CDMA/FM 이중모드 셀룰러 폰의 RF IC와 디지털 모뎀 사이의 인터페이스 역할을 수행한다. 낮은 출력 임피던스의 고 선형성 수신 믹서를 설계하기 위해 부하 저항 대신에 이중 게이트 믹서 코어(core) 회로를 사용하였으며, 저 전력의 고 선형성 송신 믹서를 설계하기 위해서는 복제 트랜스컨덕터를 사용하였다. 또한 수신부의 DC 오프셋 보정을 믹서단에서 행함으로써 CDMA/FM 모드 공용으로 오프셋 보정회로를 사용하게 하였고, 다음 단계 오는 필터의 선형영역을 넓힐 수 있게 하였으며, 오프셋 제어 신호에 의해 야기된 신호 대역 밖의 잡음이 필터에 의해 필터링될 수 있도록 하였다. 3.3 V에서 약 150-mW의 전력을 소비하며, 전체 칩 크기는 5.3×6.5 mm²이다.

ABSTRACT

In this paper, a CMOS baseband analog IC for CDMA/FM dual mode cellular phone is discussed. This IC bridges between RF IC and digital MODEM IC of the dual mode cellular phone. In order to design low power highly linear down-conversion mixer with low output impedance, we used a dual gate mixer core circuit instead of passive resistor as output load. We have designed a low power highly linear up-conversion mixer using replica transconductor. In this IC, an offset generated in the whole receive path is compensated at mixer stage. The major

*한국전자통신연구원 반도체연구단
論文番號: 97307-0903
接受日字: 1997年 9月 3日

benefits of this offset compensation scheme are as follows. First, the offset control circuitry can be shared between CDMA and FM path. Second, because the offsets are compensated at the filter-input stage, the effective filter linear range is increased. Finally the out of band noise injected into the offset control signals is filtered out by the LPF. The power consumption is 150-mW at 3.3 V supply and the chip size is 5.5 x 6.3 mm².

I. 서 론

코드분할 다중접속(Code Division Multiple Access: CDMA) 방식의 셀룰러 폰은 주파수 변조(FM)를 이용하는 기존의 AMPS(Advanced Mobile Phone Service) 방식에 근거한 아날로그 셀룰러 폰보다 훨씬 큰 채널 용량을 수용할 수 있는 장점을 가지고 있다. 미국의 TIA(Telecommunication Industry Association)는 기존의 아날로그 셀룰러 폰과 CDMA 방식의 디지털 셀룰러 폰을 동시에 사용할 수 있도록 하기 위하여 한 셀룰러 폰으로 상기 두 가지 통화가 가능한 CDMA/FM 이중 모드 셀룰러 폰에 대한 국제 표준인 IS(Interim Standard)-95를 제정하였다.

본 IC는 IS-95 표준안에 근거한 CDMA 및 AMPS 방식의 두 가지 통화 모드를 다 지원할 수 있는 기저대역 아날로그(Baseband Analog) IC로서 그림 1의 CDMA/AMPS 이중모드 셀룰러 폰의 블록 다이어그램에서 보는 바와 같이 RF(Radio Frequency) IC와 디지털 모뎀(MODEM) IC와의 인터페이스 역할을 한다. 즉, 수신 시에는 RF IC로부터 IF(Intermediate Frequency) 아날로그 신호를 받아 기저대역의 디지털 신호로 변환하여 디지털 모뎀 IC로 전달하며, 송신 시에는 디지털 모뎀 IC로부터 기저대역의 디지털 신호를 입력으로 받아 IF 대역의 아날로그 신호로 변환하여 RF IC로 전달해 주는 기능을 가지고 있다.

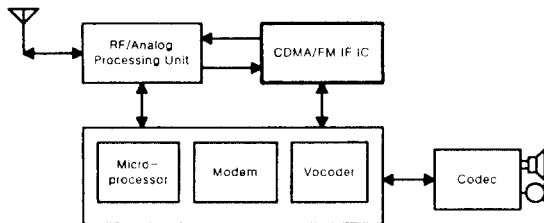


그림 1. CDMA/FM 이중모드 셀룰러 폰의 블록 다이어그램
Fig. 1 Block diagram of the CDMA/FM dual mode cellular phone

디지털 셀룰러 폰에 적용되는 IF 주파수는 100-MHz 이상이 되므로 이러한 기저대역 아날로그 IC의 낮은 소비전력 특성을 위해서는 좋은 특성의 공정 소자들이 요구되어 진다. 지금까지는 BiCMOS나 바이폴라 공정을 이용하여 이러한 기능을 가진 IC들이 실현되었다¹⁾. 그러나 BiCMOS는 공정 서비스를 제공하는 기관이 제한되어 있고 CMOS에 비해 제조 단가가 비싼 단점을 안고 있다. 그러므로 최근에는 새로운 개념의 회로 기술과 서브-마이크론 CMOS 공정기술을 이용한 통신용 IC에 대한 연구가 활발히 진행되고 있다²⁾. 그렇지만 CMOS로 이러한 통신용 IC들을 실현할 경우에 CMOS 소자의 낮은 트랜스컨덕턴스 특성으로 인해 소비 전력이 증대되는 결과를 초래하게 되고, 바이폴라 소자에 비하여 큰 오프셋(offset) 특성 때문에 원하지 않는 오프셋이 발생하게 되고 결과적으로 IC의 성능을 떨어뜨리게 되는 단점이 있다. 그러므로, CMOS 트랜지스터 IC의 소비 전력을 줄이고 좋은 성능을 보장하기 위해서는 CMOS에 적합한 최적의 시스템 아키텍처와 사용되는 고속 통신 회로 기술의 혁신이 요구된다.

II. 아키텍처

그림 2는 본 기저대역 아날로그 IC의 블록 다이어그램을 나타낸다. 그림 2에서 윗 부분은 수신부를 나타내며, 아랫 부분은 송신부를 나타낸다. 수신부는 CDMA/FM 모드 공용의 수신용 믹서, CDMA/FM LPF(Low Pass Filter), 및 CDMA/FM ADC(Analog-to-Digital Converter)로 구성되어 있으며, 앞서 언급한 바와 같이 수신된 IF 아날로그 신호를 기저대역의 디지털 신호로 변환하게 된다. 또한 송신부는 DAC(Digital-to-Analog Converter), LPF, 송신용 믹서 등으로 구성되며, 기저대역 디지털 신호를 IF 아날로그 신호로 변환하게 된다. 한편, 본 기저대역 아날로그 IC는 quadrature 클럭을 생성하기 위하여 VCO(Voltage

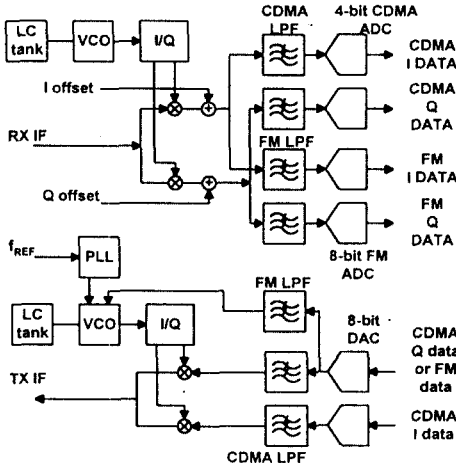


그림 2 기저대역 아날로그 IC의 블록 다이어그램
Fig. 2 Block diagram of the baseband analog IC

Controlled Oscillator)와 I/Q 클럭 제너레이터를 포함하며, 송신용 믹서에서 필요로 하는 IF 클럭 신호를 합성하기 위한 PLL(Phase Locked Loop) 블록도 포함하고 있다. 또한 본 IC는 통화, 통화대기, 및 power off 모드 등 각 모드에 따라 사용하지 않는 블록에 대해서는 바이어스 전류 공급을 차단함으로써 최적의 소비 전력 특성을 갖게 하였다.

1. 수신 믹서(Down-conversion Mixer)

수신 믹서에서의 중요한 두 가지 특성은 넓은 선형성(linearity)과 소비 전력이라고 할 수 있다. 수신 믹서에서 받아들인 CDMA 신호는 AMPS 셀룰러 스테이션으로부터 들어오는 큰 FM 신호와 공존하고 있으므로, 만일 믹서 특성이 충분한 선형성을 갖지 않으면 간섭 신호가 믹서를 포화시키게 되고 CDMA 수신 특성이 왜곡되게 된다. 그러므로 이 경우에 있어서 믹서의 선형성은 최적의 수신 동작을 위해서 필수적인 요소가 된다.

그림 3은 이중 게이트 CMOS 이중 평형(double balanced) 구조를 이용한 개념적인 수신 믹서의 회로 구성을 나타낸다. 믹서의 코어(core)는 트랜지스터 MN1-MN8로 구성된 부분이며, 선형 영역에서 동작하는 입력 트랜지스터 MN1-MN4가 선형성을 결정하게 된다. 그러나 이 회로구성에서는 트랜지스터 MN1-MN4의 출력 임피던스가 낮기 때문에 출력

노드 V_{out} 에서의 출력 임피던스가 낮아지게 된다. 이로 인해 출력의 선형성이 제한되며, 선형성을 높이기 위해서는 출력 부하 저항(R) 값을 낮추어야 한다. 결과적으로 이것은 믹서 이득(gain)의 저하를 초래하게 되고, 믹서 코어에 요구되는 DC 바이어스 레벨로 인해 그 출력 스윙이 제한되게 된다. 그러므로 본 연구에서는 출력 부하 저항(R) 대신에 그림 4에서 보는 바와 같이 pMOS 트랜지스터 MPI-MP8로 구성된 또 다른 믹서 코어로 대체시키고, 차동 전류는 별도의 연산 증폭기를 사용하여 출력 부하로 흐르도록 하였다. 그러므로 믹서 코어의 출력 노드인 a-a'에서 보여지는 가상 출력 부하 임피던스는 0으로 된다. 결과적으로 이것이 믹서 코어의 출력 부하 임피던스 요구 조건에 대한 부담을 경감시키는 역할을 한다. 그리고 믹서 코어의 출력 노드 a-a'의 공통 모드 전압이 일정하게 유지되도록 하기 위하여 한 쪽 믹서 코어의 LO(Local Oscillator) 드라이버 전압을 조절하는 입력 공통-모드 궤환(input common-mode feedback) 회로를 사용하였는데, 그림 4의 "Input CMFB" 블록이 그것이다. 트랜지스터 MNI-MN4의 트랜스컨덕턴스는 각 트랜지스터의 드레인-소스간 전압에 따라 조절된다. 바이어스 회로는 VLON과 VLOP의 신호 레벨을 조절하여 pMOS의 유효 트랜스컨덕턴스 V_{Lo}^N 과 V_{Lo}^P 의 신호 레벨을 조절하여 pMOS의 유효 트랜스컨덕턴스 G_m^p 와 nMOS의 유효 트랜스컨덕턴스 G_m^n 이 같아지는 상태에서 계속 유지될 수 있도록 한다. 믹서의 전체 이득은 $(G_m^p + G_m^n)R$ 에 비례하게 되며, 같은 바이

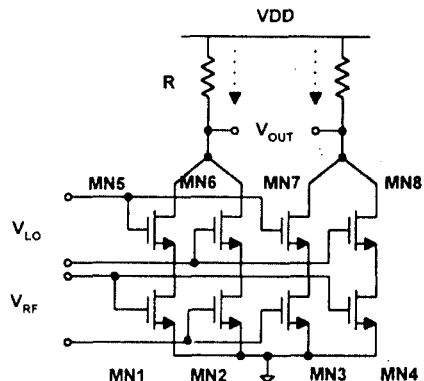


그림3. 수신 믹서의 개념적인 회로도
Fig. 3 Conceptual down-conversion mixer schematic

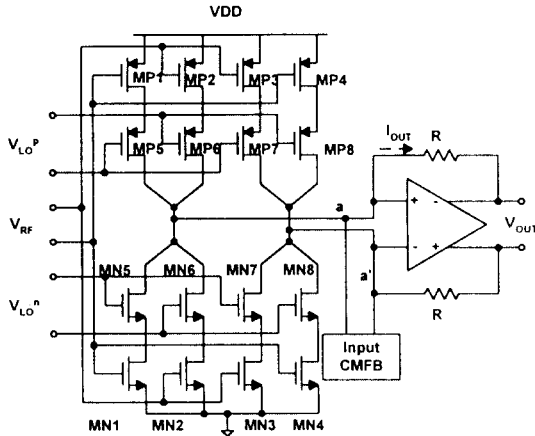


그림4. 제안하는 수신 믹서의 회로도
Fig. 4 Proposed down-conversion mixer schematic

어스 전류에서 한 쪽 믹서 코어만 사용한 경우와 비교하면 2배가 된다. 그리고, rms 잡음 전류는 $\sqrt{G_m^b + G_m^n}$ 에 비례하게 되므로 결국 입력 등가 잡음(input referred noise)은 결국 약 3-dB 정도 줄어들게 된다. 결과적으로 이것은 같은 잡음 레벨에서 소비 전력을 반으로 줄일 수 있음을 의미한다.

2. 송신 믹서(Up-conversion Mixer)

일반적으로 송신 믹서의 출력 단은 다음에 오는 RF IC의 입력 단의 낮은 임피던스를 구동할 수 있도록 하기 위하여 매우 낮은 출력 임피던스를 가져야 한다. 그러나 낮은 트랜스컨덕턴스 특성을 가진 CMOS 트랜지스터로 저 임피던스의 출력 단을 설계하는 것은 비효율적이므로 본 연구에서는 V/I 변환기를 이용한 평형 믹서를 실현하였다. 저 임피던스의 부하를 구동하기 위해서는 큰 출력 전류를 필요로 하는데 결국 그것이 소비 전력의 증대를 가져온다. 본 연구에서는 아이들링 전류를 증가시키지 않고 V/I 변환기의 선형영역을 확장하기 위해 복제 트랜스컨덕터를 사용하였다^[3].

그림 5는 본 송신 믹서의 회로 구성을 나타낸다. 트랜지스터 M3-M6는 평형 믹서를 구성하며, G_{m1} 의 크기는 주 트랜스컨덕터 G_{m2} 의 1/N과 같다. 트랜지스터 M1, M2는 평형 믹서를 구성하는 트랜지스터 가운데 ON 상태에 있는 트랜지스터에 상응한다. 구동 증폭기 A는 두 트랜스컨덕터를 구동하고 입출력 사이의 필요

한 전압 이득을 얻게 하기 위하여 사용하였으며, 이 때 전압 이득은 저항비 $R2/R1$ 에 의하여 결정된다. 트랜스컨덕터로부터 출력에 흐르는 전류는 계환 이득에 의하여 선형성을 갖게 되는데, 주 트랜스컨덕터가 복제 트랜스컨덕터에 비하여 N배 크기 때문에 결국 출력 전류도 N배 증폭된다.

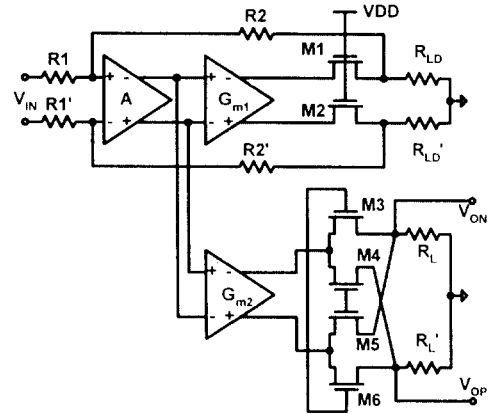


그림 5. 제안하는 송신 믹서의 회로도
Fig. 5 Proposed up-conversion mixer schematic

3. 저역 통과 필터(LPF)

630-kHz 대역의 CDMA 신호를 추출해내기 위해 7-차의 elliptic CDMA LPF를 설계하였다. 필터 아키텍처는 gmC 구조에 근거한 L-C 래더(ladder) 형태를 사용하였다. 그림 6은 CDMA LPF의 트랜스컨덕터 셀 구조를 나타낸다.

그림 6에서 트랜스컨덕터 셀의 트랜스컨덕턴스는 입력 트랜지스터 M1-M2의 드레인-소스간 전압에 의하여 조절된다. 선형성을 증가시키고 출력 스윙의 범위를 넓히기 위해 폴디드-캐스코드(folded cascode) 구조로 설계하였다. 그러나 이 구조에서는 입력 등가(input referred) 오프셋 전압 V_{os} 는 식(1)과 같이 되어 $(V_{GS1} - V_{T1})/V_{DS1}$ 만큼 증폭되는데 이것은 본 IC가 오프셋 보정을 하는 이유 중의 하나가 된다.

$$V_{os} = \Delta V_{T1} + \frac{V_{GS1} - V_{T1}}{V_{DS1}} \Delta V_{T2} \quad (1)$$

여기서 ΔV_{T1} 은 입력 트랜지스터 M1과 M2의 문턱

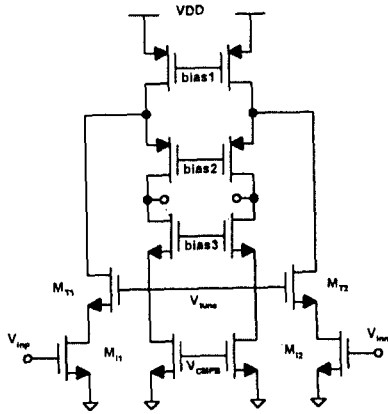


그림 6. CDMA LPF의 트랜스컨덕터 셀
Fig. 6 CDMA LPF gm cell

(threshold) 전압 차를 나타내며, ΔV_{T2} 는 트랜지스터 MT1, MT2의 문턱(threshold) 전압 차를 나타낸다.

한편 5-차의 elliptic FM LPF는 전체적으로 CDMA LPF와 유사한 구조를 갖는다. 그러나 AMPS 신호는 인접 채널간에 30-kHz 떨어져 있고, 필터의 차단 주파수도 12-kHz 정도밖에 되지 않아 매우 낮은 트랜스컨덕턴스가 요구되어 CDMA 필터에 사용된 트랜스컨덕터 셀은 사용하기 곤란하므로 그림 7과 같이 CDMA 필터와는 다른 별도의 트랜스컨덕터 셀을 사용하였다. 그림 7의 트랜스컨덕터 셀은 선형 영역에서 동작하는 긴 채널의 입력 트랜지스터를 사용하고 있는데, 입력 단으로서 nMOS 트랜지스터를 사용하

지 않고 낮은 트랜스컨덕턴스를 가진 pMOS 트랜지스터를 사용하고 있다. 또한 이 트랜스컨덕터 셀은 2단 구조를 취하고 있는데, 이것은 트랜스컨덕터 코어의 저 출력 임피던스 요구에 대한 부담을 덜기 위한 것이며, 아울러 이득을 높여 이득 오차에 의한 영향을 줄이기 위한 것이다.

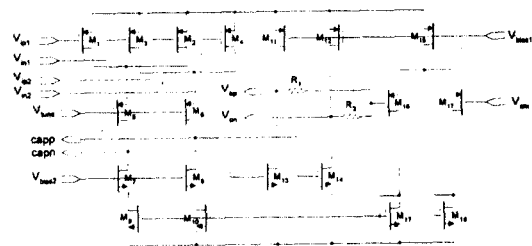


그림 7. FM LPF의 트랜스컨덕터 셀
Fig. 7 FM LPF gm cell

표 1에 본 기저대역 아날로그 IC에 사용된 CDMA 및 FM LPF의 특성에 대하여 요약하였다. 본 기저대역 아날로그 IC의 FM 송신부 필터를 제외한 모든 필터는 1/Q 채널을 위해 동일한 두 개의 필터로 각각 구성되어 있으며, 표 1에서 소비전류, 면적, total capacitance 특성은 한 채널에 대한 것이다.

표 1. 각종 필터 특성

특성	CDMA 수신부 필터	CDMA 송신부 필터	FM 수신부 필터	FM 송신부 필터
구조	7차 elliptic	3차 elliptic	5차 elliptic	3차 elliptic
소비전류 @3.3V	3 mA	1.3 mA	1.5 mA	0.9 mA
면적	1.3 x 0.4mm ²	0.6 x 0.23mm ²	2.5 x 0.5mm ²	1.5 x 0.4mm ²
Total Capacitance	164 pF	33 pF	400 pF	164 pF
g_m 셀 구조	$g_m - C$	$g_m - C$	$g_m - C$ OPA	$g_m - C$ OPA
Cut-off Frequency	650 kHz	1.2 MHz	15 kHz	25 kHz
Input Referred Noise	280 μ V _{rms}	177 μ V _{rms}	129 μ V _{rms}	116 μ V _{rms}
HD3	3.9%	2.5%	0.5%	0.13%

4. 아날로그-디지털 변환기(ADC) 및 디지털-아날로그 변환기(DAC)

10-MSPS(Mega Sample Per Second) 4-bit CDMA ADC는 플래시 구조와 차동 비교기를 사용하여 실현하였다¹⁴⁾. CDMA 재생 음성에서 프레임 오차율(frame error rate)이 2% 이하일 경우는 이를 감지할 수 없다. 4-bit 변환은 2% 이하의 프레임 오차율을 얻기에 충분하므로 본 CDMA ADC는 4-bit으로 설계하게 된 것이다. 일반적으로 고속 ADC의 구조로서는 플래시, 2-스텝 플래시 및 파이프 라인 구조 등이 사용되고 있는데, 해상도가 높을 경우에는 2-스텝 플래시와 파이프 라인 구조가 소비 전력 측면에서 유리하여 많이 사용되지만 CDMA ADC와 같이 해상도가 낮을 경우에는 플래시 구조가 변환 속도와 소비 전력 측면에서 오히려 유리하므로 이 구조를 택하게 되었다.

8-bit FM ADC의 요구되는 변환 속도는 40-kSPS(kilo Sample Per Second) 정도의 낮은 속도이므로 그림 8과 같은 저 소비 전력형의 algorithmic ADC 구조를 사용하여 실현하였다. 보다 소비 전력을 줄이기 위해 두 종류의 샘플링 커패시터를 사용하였다. 즉, 첫 번째 사이클에서 입력 신호를 샘플링할 때는 큰 커패시터로 하고, 두 번째 사이클부터의 잔여(residue) 신호 샘플링은 작은 커패시터로 하게 된다. 그림 8에서 보는 바와 같이 첫 번째 사이클에서 입력 신호를 샘플링할 때에 10배 증폭하여 샘플링하게 되는데, 이때 별도의 증폭기 없이 증폭하며 다만 트랜스컨덕터를 필요로 하게 된다. 또한 이 구조에서는 첫 번째 사이클에서 10배 증폭할 때는 트랜스컨덕턴스를 증가시키기 위해 바이어스 전류를 증가시키고 두 번째 사이클부터는 낮은 바이어스 전류를 사용함으로써 효과적으로 소비 전력을 줄일 수 있게 하였다.

송신 시에 디지털 모뎀으로부터 기저대역 디지털 신호를 받아들여 아날로그 신호로 변환하는 5-MHz 8-bit DAC는 매트릭스 형 단위 전류셀과 이진 전류셀을 혼합한 형태의 구조로 설계하였다. DAC는 CDMA 및 FM 모드 공용으로 사용되는데 CDMA 모드에서는 I/Q 두 채널의 아날로그 신호로, FM 모드 시에는 한 채널의 아날로그 신호로 변환하게 된다. DAC의 다음 단계는 DAC 출력 파형 정형용으로 LPF가 놓이게 된다. 그러나 CDMA LPF와 FM LPF는 서로 다른 DC 레벨의 신호를 필요로 하므로, 본

연구에서는 이를 위해 DAC 출력 버퍼를 별도로 설계하여 출력 DC 레벨이 각 모드에 따라 조절되도록 하였다.

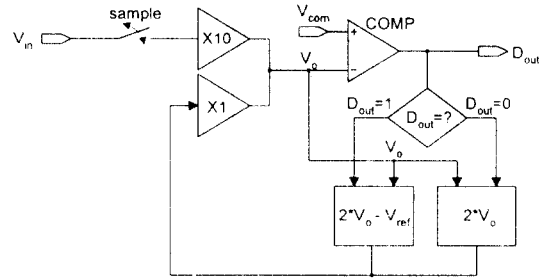


그림 8. 저전력 FM ADC 구조
Fig. 8 Low power FM ADC scheme

5. 수신부 설계

본 기저대역 아날로그 IC의 전체 수신부를 그림 9에 나타내었다. 수신 믹서에서 이득을 높리게 되면 다음 단계에서의 신호대 잡음비(SNR) 요구조건에 대한 부담이 줄어들는다. 그림 9의 수신부에서 음셋의 주요 발생 지점은 믹서와 필터 부분이다. 특히 CMOS에서의 문턱(threshold) 전압 미스 매치는 바이폴라 보다 훨씬 크다. 또한 소비 전력을 줄이기 위해서는 트랜지스터의 크기를 줄여야 한다. 이들 요인으로 인해 발생한 음셋은 30배의 이득을 가진 필터의 출력 버퍼를 포화시키게 된다. 그러므로 음셋 보정은 필터단 이전에 행해져야 한다. 본 IC에서는 믹서 단계에서 음셋 보정이 이루어지도록 하였다. 음셋 보정은 디지털 모뎀 칩으로부터 음셋 보정 신호(PDM(Pulse Density Modulation) 출력 신호의 평균 값)를 feedback 받아 자동적으로 이루어지게 된다. 그림 4의 수신 믹서에서 전류가 더해지는 노드는 a-a' 지점이다. 간단한 저잡음 V/I 변환기를 사용하여 고의적인 음셋이 수신부에 발생되도록 하였다. 이와 같이 음셋 보정을 믹서 단계에서 행함으로써 다음과 같은 이점을 얻을 수 있다. 첫째, 음셋 보정회로를 CDMA 모드와 FM 모드에서 공용으로 사용할 수 있다는 점이다. 둘째, 음셋 보정이 필터의 입력 단계에서 행하여지므로 필터의 선형 영역이 넓어진다는 점이다. 마지막으로, 음셋 제어 신호에 의해 야기된 신호 대역 밖의 잡음이 필터에

의해 필터링된다는 점이다.

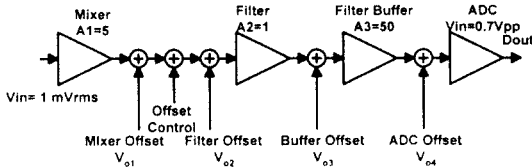


그림 9. 수신부 각 단의 이득 분배
Fig. 9 Gain distribution of the receive path

6. VCO(Voltage Controlled Oscillator)

VCO는 본 IC의 송수신 믹서에서 필요한 IF 주파수의 클럭 신호를 발생시키는 주파수 합성기에 사용되는 중요한 블록이다. VCO를 실현하는 방법으로는 relaxation 발진기를 이용하는 방법¹⁵⁾, 링 발진기를 이용하는 방법¹⁶⁾, L-C 탱크 회로를 이용하는 방법¹⁷⁾ 등이 있으나 위상 잡음과 소비 전력을 줄이기 위해서는 L-C tank 회로를 이용하는 기법이 가장 유리하므로 본 연구에서는 이 방법을 사용하여 그림 10과 같이 회로를 구성하였다.

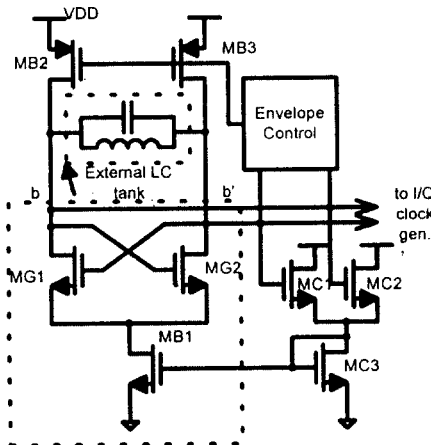


그림 10. VCO 회로도
Fig. 10 VCO circuit

그림 10에서 cross coupled nMOS 트랜지스터 MG1과 MG2는 출력 노드 b-b' 사이에서 부(negative)

저항으로 작용하게 된다. MG1, MG2의 트랜스컨덕턴스는 트랜지스터 MB2와 MB3에 의한 바이어스 전류 제어에 따라 조절된다. 신호의 크기가 증가함에 따라 트랜지스터 MG1과 MG2 중의 하나는 선형 영역에 들어가게 되고 유효 출력 컨덕턴스가 증가하게 된다. 이로 인해 L-C 탱크 회로에 불필요한 컨덕턴스가 제공되고 결국 위상 잡음을 야기하며 소비 전력이 증대되어 버린다. 이를 방지하기 위하여 포락선(envelope) 조절회로가 사용된다. 이 회로는 목표로 하는 포락선과 실제 포락선의 차에 상응하는 오차 전류를 발생시키고, 이 오차 전류는 적분되어 바이어스 트랜지스터 MB1과 MB2의 게이트로 궤환된다. 이 궤환으로 인해 트랜지스터 MG1과 MG2의 트랜스컨덕턴스는 일정하게 유지되고 결국 L-C 탱크 회로의 포락선이 일정하게 되는 안정된 발진을 가져오게 한다.

III. Implementation

본 기저대역 아날로그 IC에는 신호 레벨이 극히 작은 아날로그 신호와 큰 디지털 신호가 혼재하므로 설계시에 각 블록의 배치와 배선에 주의가 요구된다. 이를 위해 모든 신호의 형태와 회로는 완전 차동 구조로 하였으며, PLL에 사용된 클럭 분주기와 클럭 신호 발생기 등의 블록에서는 Gray 카운터를 사용함으로써 디지털 잡음을 최소한으로 줄였다. 한편, 밴드갭(bandgap)을 이용하여 온도 변환에 무관한 바이어스 전압을 발생시키고 잡음과 V_t 미스매치에 의한 영향을 최소한으로 하기 위해 모든 블록에는 전류 형태로 바이어스를 공급하게 하였다.

IV. 실험 결과

그림 11은 CDMA 수신 모드시 전체 수신부에 대한 I/Q 두 채널의 주파수 응답 특성을 나타낸다. 이 특성은 4-bit CDMA ADC로부터 취한 디지털 신호에 대하여 FFT를 수행하여 얻은 결과이다. CDMA ADC의 해상도가 4-bit이지만 샘플링 횟수를 많이 함으로써 약 60-dB의 잡음 특성을 얻을 수 있었다. 그림 11의 윗 부분은 통과대역 리플(passband ripple) 특성을 확대한 것으로서 약 1-dBpp의 리플 특성을 보여주고 있다.

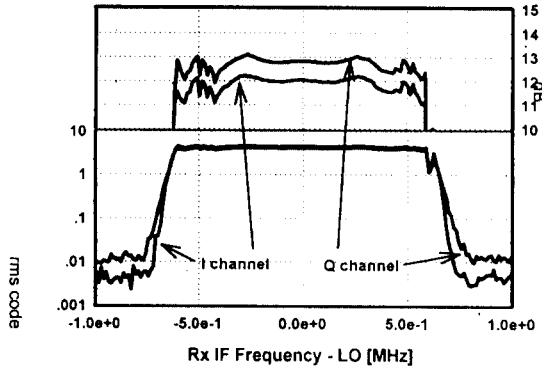


그림 11. CDMA 수신부의 주파수 응답 특성
 Fig. 11 Frequency response of the whole CDMA receive path

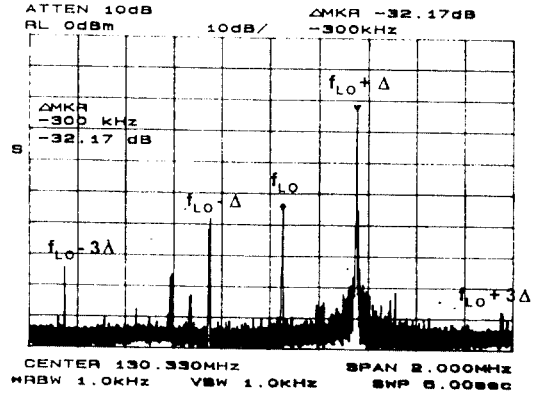


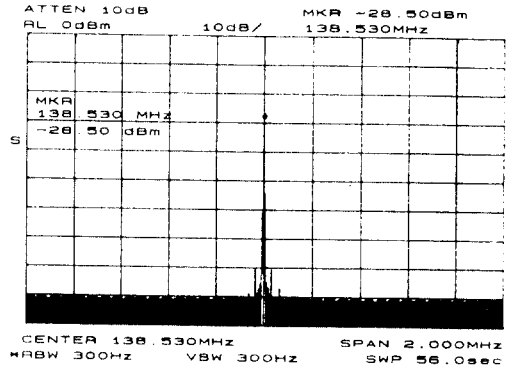
그림 12. 송신 믹서의 출력 스펙트럼
 Fig. 12 Output spectrum of up-conversion mixer

그림 12는 송신부의 최종 출력 신호에 대한 전력 스펙트럼(power spectrum)을 나타낸다. 송신 신호는 앞서 언급한 바와 같이 DAC에 의하여 I/Q 디지털 신호가 아날로그 신호로 변환되어 LPF에 의해 필터링된 후 믹서에서 PLL과 VCO에 의해 만들어진 LO 신호를 이용하여 IF 신호로 변환된 신호이다. 이때 사용한 신호는 같은 위상으로 되어 있으므로 LSB(Lower Side Band) 신호는 I/Q 신호에 의해 상쇄된다. 그러나 그림 12에서 보는 바와 같이 LSB 성분이 완전히 없어지지 않음을 볼 수 있는데 이것은 I/Q 신호의 위상 차와 이득의 미스매치에 의한 영향이 나타난 것이다. 그리고 LO 주파수에서의 carrier feed-through 성분은 송신부에서의 DC 옵셋에 기인한 것이다.

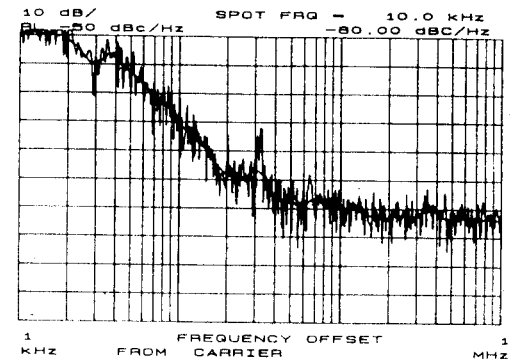
그림 13(a)는 송신시의 무변조(unmodulated) FM 출력의 스펙트럼을 나타낸 것으로서 2-MHz span 사이의 spurious tone 성분들의 레벨이 아주 낮음을 볼 수 있다. 그림 13(b)는 위상 잡음 특성을 보여주며, 100-kHz에서 약 -107-dBc의 위상 잡음 특성을 나타낸다.

그림 14는 수신시 FM ADC의 I/Q 두 채널 8-bit 디지털 출력에 대하여 상용의 12-bit DAC를 사용하여 아날로그 신호로 재 변환한 파형이다. 그림에서 보는 바와 같이 I/Q 신호의 위상 차는 91.2°로서 1.2°의 위상 오차를 나타낸다.

본 IC는 0.8 μ m 2-metal 2-poly CMOS 공정을 사용하여 제조하였으며, 그림 15에 전체 칩 사진을 나타내었다. 칩 크기는 패드 면적을 포함하여 5.5 x 6.3



(a) Output spectrum



(b) Phase noise

그림 13. 무변조 FM 출력 특성
 Fig. 13 Unmodulated FM output characteristics

mm²이며, 3.3 V 전원에서 총 150-mW의 소비 전력 특성을 나타낸다.

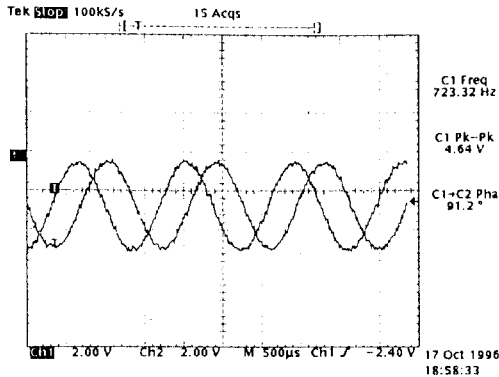


그림 14. FM I/Q ADC 출력을 이용하여 재생된 파형
Fig. 14 Reconstructed FM I/Q output waveforms

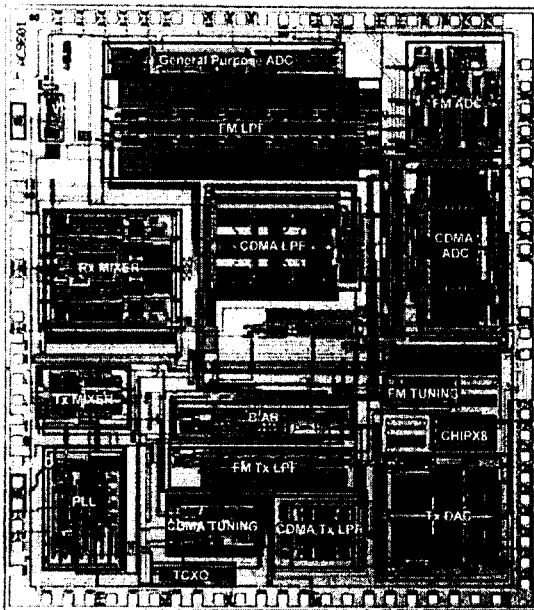


그림 15. 칩 사진
Fig. 15 Die photograph

V. 결 론

CDMA/FM 이중모드 셀룰러 폰용 기저대역 아날

로그 IC가 0.8um CMOS 공정을 사용하여 개발되었다. CMOS 버전의 본 기저대역 아날로그 IC를 개발하기 위해 저전력/저잡음 수신 믹서, 저전력/고선형성 송신 믹서, VCO 등에 적용할 새로운 구조의 회로들이 제안되었으며, 또한 본 IC를 CDMA/FM 이중모드 셀룰러 폰에 실제로 탑재하여 통화 실험을 성공적으로 수행하였다.

참 고 문 헌

1. M. Nettles, et. al., "Analog Baseband Processor for CDMA/FM Portable Cellular Telephones," *ISSCC-95 Dig. of Technical Papers*, pp. 328-329, Feb. 1995.
2. M. Steyaert, "RF Integrated Circuits in Standard CMOS Technologies," *ESSCIRC-96*, pp. 10-18, Sept. 1996.
3. O. Kim, et. al., "A 3.3 V 30 mW 200 MHz CMOS Upconversion Mixer Using Replica Transconductor," *ESSCIRC-96*, pp. 364-367, Sept. 1996.
4. W. Song, et. al., "A 10-b 20-Msamples/s Low-Power CMOS ADC," *IEEE Journal of Solid State Circuits*, vol. 30, no. 5, pp. 514-521, Apr., 1995.
5. A. Abidi and R. Meyer, "Noise in Relaxation Oscillators," *IEEE Journal of Solid State Circuits*, vol. SC-18, no. 6, pp. 794-802, Dec. 1983.
6. B. Kim, N. N. Helman, and P. R. Gray, "A 30-MHz Hybrid Analog/Digital Clock Recovery Circuits in 2um CMOS," *IEEE Journal of Solid State Circuits*, vol. 25, no. 6, pp. 1385-1394, Dec. 1990.
7. J. Craninckx and M. Steyaert, "Low-Noise Voltage-Controlled Oscillators Using Enhanced LC-Tanks," *IEEE Transactions on Circuits and Systems-II*, vol. 42, no. 12, pp. 794-804, Dec. 1995.

吳昌堧(Chang-Jun Oh) 정회원

제22권 제9호 참조

현재: 한국전자통신연구원 집적회로연구부
고속회로연구실 선임연구원

<p>金 旭(Ook Kim) 제22권 제9호 참조 현재 : 한국전자통신연구원 집적회로연구부 고속회로연구실 선임연구원</p>	정회원	<p>宋 圭 相(Q-Sang Song) 1983年 2月 : 전북대학교 전자공학과(학사) 1993年 8月 : 전북대학교 대학원 전자공학과(석사) 1990年 3月~현재 : 한국전자통신연구원 집적회로연구부 고속회로연구실 선임연구원 ※주관심분야: 통신용 IC 설계, Mixed IC 테스트</p>	정회원
<p>權 鍾 祈(Jong-Kee Kwon) 제22권 제9호 참조 현재 : 한국전자통신연구원 집적회로연구부 고속회로연구실 선임연구원</p>	정회원	<p>宋 元 哲(Won-Chul Song) 제22권 제9호 참조 현재 : 한국전자통신연구원 집적회로연구부 고속회로연구실장</p>	정회원
<p>李 鍾 烈(Jong-Ryul Lee) 제22권 제9호 참조 현재 : 한국전자통신연구원 집적회로연구부 고속회로연구실 연구원</p>	정회원	<p>金 景 洙(Kyung-Soo Kim) 제22권 제9호 참조 현재 : 한국전자통신연구원 집적회로연구부장</p>	정회원