

# 광통신 모듈용 155.52 Mbps CMOS 리시버의 설계

正會員 채 상 훈\*, 이 흥 수\*\*, 송 원 철\*\*

## Design of 155.52 Mbps CMOS Receiver for Fiber Optic Modules

Sang Hoon Chai\*, Heung Soo Rhee\*\*, Won Chul Song\*\* *Regular Members*

※본 연구는 HAN/B-ISDN 과제에 의해 이루어졌음

### 요 약

B-ISDN 가입자의 수신부 광모듈에 내장하기 위한 155.52 Mbps 리시버 ASIC을 0.8  $\mu\text{m}$  실리콘 CMOS 기술을 이용하여 설계하였다. 설계된 ASIC은 155.52 Mbps 데이터신호 재정형을 위한 제한 증폭기와 155.52 MHz 클럭을 추출하기 위한 PLL 회로를 주축으로 구성되어 있다. 또한 이 리시버는 전원이 켜지는 초기 동작 상태에서나 동작 도중 데이터신호가 입력되지 않더라도 155.52 MHz의 클럭주파수를 유지하여 항상 안정된 동작을 할 수 있게 하기 위한 수렴 보조 회로 및 LOS 감지 회로도 내장하고 있다. 시뮬레이션 결과 설계된 리시버는 1 mV-1 V의 넓은 입력 전압에 걸쳐 데이터 재정형이 이루어지며, 데이터 입력 유무에 관계없이 155.52 Mbps의 안정된 클럭 발생을 하고 있음을 알 수 있었다.

### ABSTRACT

A 155.52 Mbps receiver ASIC for optical module of B-ISDN subscriber has been designed and fabricated with 8  $\mu\text{m}$  CMOS technology. The designed ASIC has a limit amplifier circuit for 155.52 Mbps data reshaping and a PLL circuit for 155.52 MHz clock extraction. The designed circuit has an acquisition aid circuit and LOS monitoring circuit for properly operation with 155.52 MHz clock frequency in case of the data loss due to transmission line open or data transfer fail. Simulation results show that the circuit reshapes the data from 1 mV to 1 V input voltage condition, and generates 155.52 MHz clock stably on any data input condition.

\*호서대학교 전자공학과

\*\*한국전자통신연구원 고속회로연구실

論文番號: 97252-0721

接受日字: 1997年 7月 21日

## I. 서 론

국가 종합 정보통신망인 B-ISDN 체계에서는 광섬유(optical fiber)를 이용한 광통신 방식으로 정보를 전송한다. 광섬유를 이용한 광통신 방식에 있어서는 빛 형태의 데이터신호가 광섬유를 통해 전송되면서 신호의 크기가 줄어들거나 원래의 형상을 유지하지 못하고 변형되는 퍼짐(dispersion) 현상 등이 수반된다. 이 광 감소 및 퍼짐 현상은 광신호가 전송로를 통과 하면서 광섬유 자체의 흡수 및 분산 특성에 의하여 원래의 신호가 감소하거나 변형되어서 나타난다. 그러므로 광통신 시스템의 수신부에는 데이터신호를 증폭하고 원형대로 복원해 주는 데이터 재정형(data reshaping) 회로가 필수적으로 사용되어야 한다<sup>(1)</sup>.

한편, 입력된 데이터신호를 처리하기 위해서는 신호 처리 회로를 동작시키는데 필요한 클럭(clock) 신호를 복원된 데이터신호로부터 추출해야 할 필요가 있다. 이를 위해서 여러 가지 형태의 클럭 추출(clock recovery) 회로가 쓰여지고 있으며, 특히 최근에는 응답 특성이 양호하고 온도 등 주변 환경의 변화에도 비교적 영향을 적게 받는 PLL(Phase Locked Loop) 방식을 이용한 회로가 각광을 받고 있다<sup>(2)</sup>. 현재 광모듈에 쓰이는 PLL을 이용한 리시버 회로는 AT&T, HP, Analog Device 등 몇몇 업체에서 생산되고 있으나 국내 개발은 미흡한 실정이다.

본 연구에서는 B-ISDN 가입자의 수신부 광모듈에 내장되어 155.52 Mbps STM-1 신호 체계의 데이터신호 재정형 및 155.52 MHz 클럭 신호 추출을 위한 고속 리시버 ASIC을 경제성 및 제작의 편의성 등을 고려하여 제작비용이 적게 들고 현재 보편적으로 사용되고 있는 0.8 $\mu$ m CMOS 기술로 설계하였다. 설계된 ASIC은 광검출기(photodiode)에 의해 수신되어 전류신호로 변환된 다음 전치 증폭기(pre-amplifier)에 의해 수 mV-수 V의 광범위한 전압으로 변환된 155.52 Mbps의 데이터신호를 증폭하여 복원하고, 복원된 데이터신호로부터 155.52 MHz의 시스템 클럭을 추출하는 역할을 한다. 본 논문에서는 설계된 리시버의 회로 구성과 시뮬레이션 결과에 대해 주로 기술하였다.

## II. 가입자용 광모듈의 구성

그림 1은 광 수신부에 쓰이는 가입자용 광모듈의 구조를 개략적으로 나타낸 것이다. 일반적으로 광모듈은 광검출기, 전치 증폭기, 리시버가 하나의 모듈 속에 내장되어 있으며, 외부는 주로 금속으로 패키징되어 있다. 여기서 광검출기는 광섬유를 통해서 전송된 광신호를 받아서 전류 신호로 바꾸어 주는 역할을 하며, 주로 PIN(P-insulator-N) 다이오드 또는 애벌런치(avalanche) 다이오드가 많이 쓰인다. 전치 증폭기는 광검출기에 의해 변환된 전류 신호를 전압 신호로 바꾸어 주는 트랜스 임피던스(trans-impedance) 증폭기로서 GaAs 등 화합물 반도체를 사용하여 제작한 MESFET 집적회로가 많이 쓰인다. 그리고 본 연구의 대상인 리시버는 데이터 복원을 위한 제한 증폭기(limit amplifier)와 클럭 추출을 위한 PLL 회로 등으로 구성되어 있으며, AT&T, Analog Device 등에서는 속도, 전류 용량 등 회로 특성을 고려하여 실리콘을 이용한 바이폴라 ASIC 형태로 제작하고 있다<sup>(2)(3)</sup>.

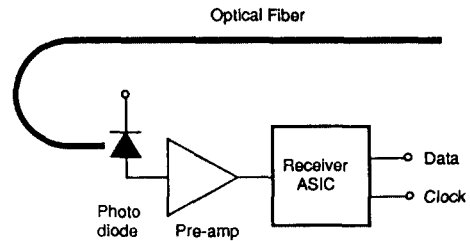


그림 1. 가입자 수신부 광모듈의 구성도.  
Fig. 1. Block diagram of receive optical module for user.

## III. 리시버 회로의 설계

그림 2는 본 연구에서 설계한 리시버 회로의 개략적인 구조를 나타낸 블록도로서 제한 증폭기 회로와 클럭 추출 회로로 구성되어 있으며, 신호 미입력을 감지하는 LOS(loss of signal) 회로와 클럭의 신속한 수렴을 도와주고 신호 미입력 시 자체 발진을 위한 수렴 보조(acquisition aid) 회로, 신호 레벨을 CMOS에서 PECL로 변환해 주기 위한 버퍼(buffer) 회로들도 배치되어 있다. 제한 증폭기는 그림 3과 같이 연산 증폭기(operational amplifier)를 5단 직렬로 연결한 형태로 이루어져 있다. 그런데 전치 증폭기로부터 출

력되는 전압이 대략 1 mV-1 V 범위이므로 CMOS 레벨 즉, 5V 이상의 신호 전압 얻기 위하여 5단 제한 증폭기 전체 이득을 10,000으로 설계하였다.

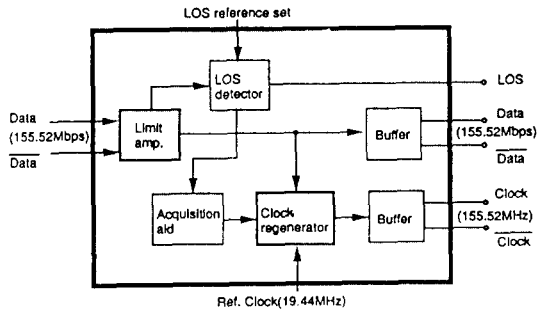


그림 2. 설계된 리시버의 구성도.  
Fig. 2. Block diagram of designed receiver.

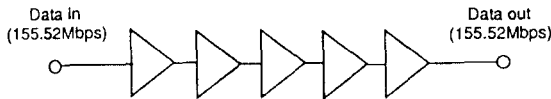


그림 3. 제한 증폭기의 구성도.  
Fig. 3. Schematic diagram of limit amplifier.

일반적으로 NRZ 신호를 이용한 유선 통신에서는 의미 있는 정보를 담은 신호는 50개정도 이상의 비트가 연속적으로 '0'으로 유지되는 경우가 존재 않는다. 그러므로 시스템 동작 시 '0' 신호가 일정 시간이상 계속 입력되면 이는 전송 선로가 단락 되거나 전송 중단 상태로 판단하여 조치를 취할 필요가 있다. 본 연구에서는 전송 상태를 감시하는 LOS 회로를 추가 하였다. 그림 4는 사용된 LOS 회로로서 기본적으로 적분기(integrator)와 비교기(comparator)로 이루어져 있다. 이 회로의 동작 원리는 '1'에 해당하는 높은 (high) 상태의 5V NRZ 데이터신호와 '0'에 해당하는 낮은 (low) 상태의 0V NRZ 데이터신호가 섞여서 입력될 때에는 적분기는 5V와 0 V를 평균하여 2.5V 부근의 평균 전압을 출력한다. 그러나 NRZ 신호가 입력되지 않으면 즉, 입력이 0V 상태로 계속 유지되면 적분기 회로의 출력은 거의 0V 상태에 해당하는 낮은 전압으로 떨어진다. 이 상태에서 비교기의 또다른 입력 단에 평균 전압보다 약간 낮은 2.0V 정도의 전압

을 외부에서 설정해 놓으면 데이터신호 입력 시와 미 입력 시에는 비교기의 출력이 5V로 변하므로 데이터 신호의 입력 유무를 판단할 수 있다. 이 LOS 회로의 출력은 외부로 LOS 상태를 경보해 줄뿐만 아니라 다음 단의 수렴 보조 회로에도 정보를 전달하여 수렴 보조 회로를 동작시키는 구실도 한다.

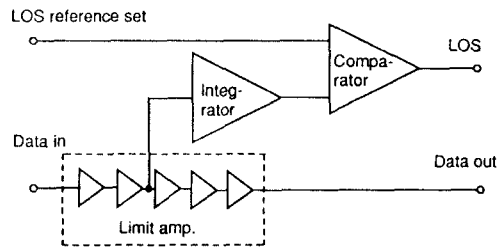


그림 4. LOS 회로의 구성도.  
Fig. 4. Block diagram of LOS circuit.

클럭 복원 회로는 155.52 MHz의 고주파 클럭을 발생시켜야 하므로 고속 동작 시 안정성이 좋은 전하 펌프(charge pump)형 PLL 구조를 채택하였다<sup>(4)</sup>. 설계된 클럭 복원 회로의 구조는 그림 5와 같이 PLL 회로의 기본 구조인 위상 비교기(phase detector), 전하 펌프, 저역 필터(low pass filter), 전압제어 발진기 (voltage controlled oscillator)들로 구성되어 있다. 여기서 전압제어 발진기는 다른 PLL 회로와의 집적화를 위해 응답 특성이 양호하고 CMOS 디지털 공정으로 제작이 가능한 CMOS 인버터형 링발진기(ring oscillator)를 사용하였다<sup>(5)</sup>.

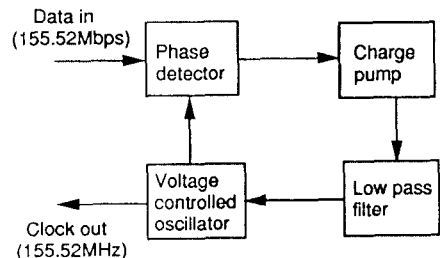


그림 5. PLL 회로의 구성도.  
Fig. 5. Block diagram of PLL circuit.

정전이나 시스템의 유지 보수를 위하여 전원을 차단하였다가 다시 복구시킬 때 등 동작 초기 상태 및 데이터 입력이 중단되었다가 재개될 때 등 특별한 상황 하에서는 PLL 회로는 155.52 MHz의 정상 주파수로 수렴하는데 많은 시간이 소요될 가능성이 있다. 본 연구에서는 이 문제를 해결하기 위하여 PLL의 전압 제어 발진기를 155.52 MHz의 안정된 상태로 신속하게 수렴시키는 수렴 보조 회로를 설계하였다. 이 회로는 그림 6과 같이 또 다른 위상 주파수 비교기(phase frequency detector)와 전하 펌프 및 PLL과 수렴 보조회로를 상태에 따라 변환해 주는 스위치 회로가 조합되어 이루어져 있다. 이 회로의 원리를 살펴보면 먼저 초기 동작 상태 또는 동작 중 LOS 감지회로에서 LOS 신호가 발생하면 이 회로는 동작을 시작하며, PLL의 입력 신호 패스를 155.52 Mbps의 데이터 신호 대신에 자체에 설치된 19.44 MHz의 기준 클럭으로 전환해 준다. 이 기준 클럭은 전원이 공급되는 이상 항상 안정된 클럭을 공급하므로 PLL의 전압 제어 발진기에서 발생하는 클럭이 신속하게 155.52 MHz로 수렴하는 것을 도와준다<sup>(5)</sup>.

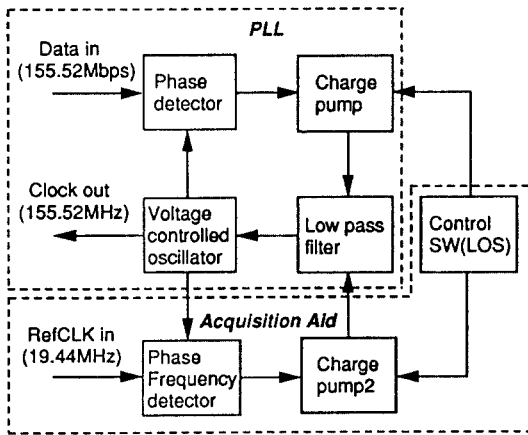


그림 6. 수렴 보조 회로의 구성도.  
Fig. 6. Block diagram of acquisition aid circuit.

#### IV. 시뮬레이션 결과

SPICE와 유사한 Cadence사의 Spectre 시뮬레이터를 사용하여 설계된 회로에 대해 시뮬레이션해 보았

다. 소자 변수는 0.8 $\mu$ m CMOS BSIM3 레벨을 사용하였으며, 모듈별 특성을 자세히 분석하기 위하여 IC를 크게 제한 증폭기, LOS 회로 모듈과, PLL, 수렴보조 회로 모듈로 두 부분으로 나누어 시뮬레이션해 보았다. 그림 7은 설계된 리시버의 제한 증폭기 및 LOS 회로 모듈에 대하여 시뮬레이션을 수행한 결과이며, 155.52 Mbps, 1mVp-p의 정현파(sine wave)를 입력 데이터로 사용하였다. 그림에서 'los'는 제한 증폭기에 연결된 LOS 회로의 출력을 나타낸 것으로서 동작 초기에는 적분기에는 전하가 방전된 상태이므로 적분기의 출력 전압이 기준치보다 낮아서 그림에서와 같이 LOS 회로 출력 전압이 5V로 상승했다가 50ns 정도의 시간이 경과한 다음 적분기의 출력 전압이 기준치보다 높아짐에 따라 LOS 회로 출력 전압이 0V로 떨어져서 LOS 상태가 해제된다. 'inp'는 1 mVp-p의 크기를 갖는 입력 데이터이며, 'voutp'는 증폭된 제한 증폭기의 출력을 나타낸 것으로서 0V에서 5V의 전압으로 스윙하여 충분한 증폭이 되고 있음을 알 수 있다. 'data' 및 'datab'는 PECL 버퍼의 출력을 나타낸 것으로서 3V 및 4V의 전압으로 스윙하여 정상동작을 하고 있음을 알 수 있다. 그림 8은 나머지 PLL 회로 및 수렴 보조 회로 모듈에 대한 시뮬레이션 결과이다. 그림에서 'DIN'은 PLL의 입력 데이터로서 제한 증폭기 출력 'voutp'에 해당한다. 'RFCLK'는 외부에서 인가하는 19.44 MHz의 기준 클럭에 해당하며, 'CLK'는 PLL 회로로부터 복원된 155.52 MHz 클럭이다. 동작 초기에는 전원 전압이 정상적으로 유지되지 않고 데이터가 입력되지 않음에 따라 PLL에 연결된 LOS 회로의 'LOSO' 출력 전압은 5V로 유지된다. 이 경우에는 수렴 보조 회로가 동작하여 PLL 회로는 19.44 MHz의 기준 클럭에 수렴함으로써 PLL의 전압 제어 발진기에서 발생하는 클럭 신호가 신속히 155.52 MHz에 수렴하도록 도와준다. 그림에서 'DO'로 표시된 신호는 이 리시버 회로의 데이터신호 출력으로서 270ns 이전까지는 수렴 보조 회로가 동작하기 때문에 출력이 나타나지 않다가 그 후에는 PLL 회로가 입력 데이터에 수렴함으로써 안정된 데이터 출력을 나타냄을 보여준다. 'CSH'는 전압제어발진기의 제어전압을 표시한 것으로서 PLL이 수렴 시 약 2.5V를 유지함을 알 수 있다. 그림 9는 0.8 $\mu$ m 디자인 룰을 이용하여 CMOS로 설계한 칩의 레이아웃 그림으로서 칩의 실

제 크기는  $3.2\mu\text{m} \times 3.2\mu\text{m}$ 이며, 소비전력은 500mW 정도로 계산되었다. 현재 칩은  $0.8\mu\text{m}$  CMOS 공정으로 제작하여 측정 중에 있다.

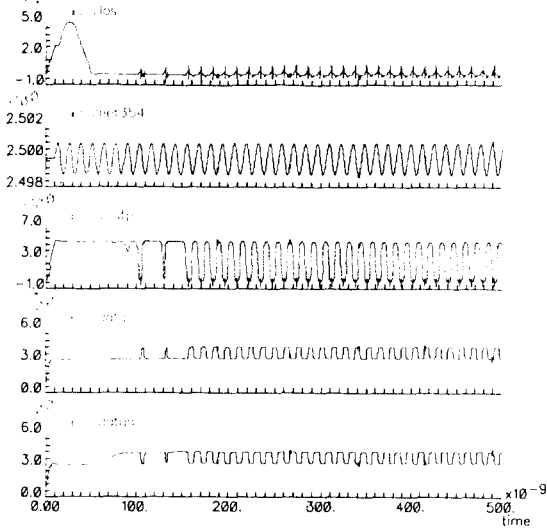


그림 7. 제한 증폭기, LOS 회로의 시뮬레이션 결과.  
Fig. 7. Simulation result of limit amplifier and LOS circuit.

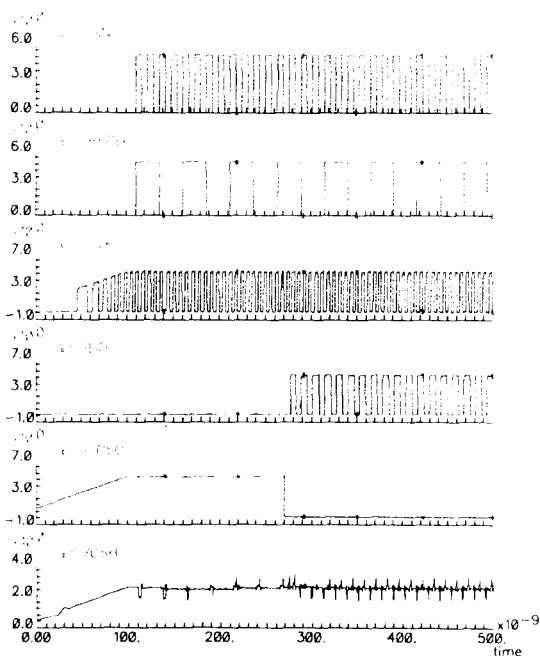


그림 8. PLL, 수렴보조 회로의 시뮬레이션 결과.  
Fig. 8. Simulation result of PLL, acquisition aid circuit.

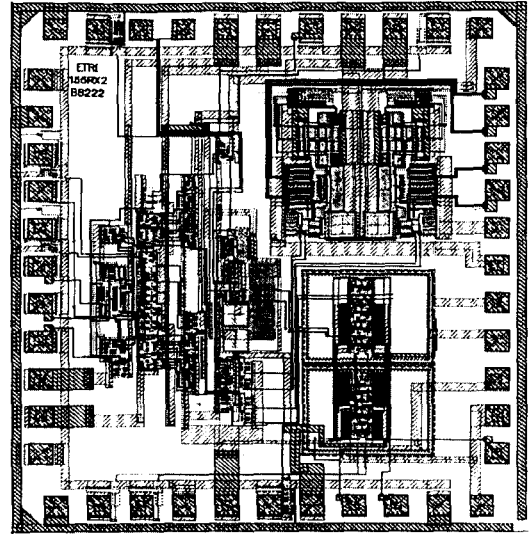


그림 9. 설계된 칩의 레이아웃.  
Fig. 9. Layout of designed chip.

## V. 결 론

B-ISDN의 가입자 수신부 광모듈용 155.52 Mbps 리시버 ASIC을 실리콘  $0.8\mu\text{m}$  CMOS 기술을 이용하여 설계하였다. 이 리시버는 동작 초기에 빠르게 155.52 Mbps의 안정된 상태로 수렴하기 위한 부가 회로를 내장하고 있으며, 전송 중단 등 특수한 상황에서도 정상적으로 클럭 신호를 발생시켜 단말기에 항상 안정된 155.52 MHz의 클럭 신호를 공급할 수 있는 특징을 갖는다. 이러한 기능을 갖기 위해 이 리시버는 제한 증폭기를 이용한 데이터 재정형 회로와 PLL을 이용한 클럭 추출 회로 외에 LOS 회로, 수렴 보조 회로 등이 추가로 내장되어 있다. 따라서 이 리시버의 회로는 초기 동작 시 또는 전송 중단 시 등 특수한 상황에서도 정상 동작을 유지하여 항상 안정된 155.52 MHz의 클럭 신호를 시스템에 공급할 수 있는 특징을 갖는다. 시뮬레이션 결과 설계된 리시버는 1 mV-1 V의 넓은 입력 전압에 걸쳐 데이터 재정형이 이루어지며, 데이터 입력 유무에 관계없이 155.52 Mbps의 안정된 클럭 발생을 하고 있음을 알 수 있었다. 설계된 리시버 회로는 전압제어 발진기 회로를 비롯한 여러 종류의 회로들을 1개의 칩 형태로 집적화 하였기 때문에

광검출기 및 전치증폭기와 더불어 하이브리드 형태의 광모듈을 제작할 수 있다. 그리고 칩 제작에 있어서도 기존 제품이 주로 바이폴라로 이루어져 있는데 비해 제작비용이 적게드는 0.8 $\mu$ m CMOS 공정으로 제작할 수 있게 설계하였기 때문에 대량생산을 할 경우 경제적인 면에서도 큰 효과가 있을 것으로 기대된다.

### 참 고 문 헌

1. Beomsup Kim, "High speed clock recovery in VLSI using hybrid analog/digital techniques", Memorandum No. UCB/ERL M90/50 p. 7, June, 1989.
2. D. Jeong, G. Borriello, D. Hodges, R. Katz, "Design of PLL-based clock generation circuits", IEEE JSSC, Vol. sc-22, No. 2, April, 1987.
3. Z. Wang, U. Langmann, "Multi-Gb/s silicon bipolar clock recovery IC", IEEE JSSC, Vol. 9, No. 5, pp. 656-663, Jun. 1991.
4. F. Gardner, "Charge-pump phase locked loops", IEEE Communication, Vol. com-28, No. 11, pp. 1848-1858, Nov. 1980.
5. 채상훈, 광명신, "ATM 교환기용 데이터 및 클럭 복원 회로의 설계", 대한전자공학회 논문지, 제32권, B편, 제4호, 1995년 4월.



채 상 훈(Sang Hoon Chai) 정회원

1958년 11월 21일생

1981년 2월:경북대학교 전자공학과 졸업(공학사)

1983년 2월:부산대학교 대학원 전자공학과 졸업(공학석사)

1992년 8월:부산대학교 대학원

전자공학과 졸업(공학박사)

1993년 3월~1997년 9월:한국전자통신연구원 반도체 연구단 책임연구원, 과제책임자

1997년 9월~현재:호서대학교 전자공학과 전임강사  
 ※주관심분야:고속 PLL회로 설계, 아날로그 디지털 혼합 ASIC 설계, 광통신, ATM



이 흥 수(Heung Soo Rhee)정회원

전북 고창 출생

연세대학교 전자공학과 졸업

미국 플로리다 전기공학과 대학원 졸업(석사)

연세대학교 전자공학과 대학원 졸업(박사)

※관심분야:광통신 송수신장치

회로설계, 바이폴라 디바이스 모델링 및 측정, 저전력 고주파 회로 설계

현재:한국전자통신 연구원 반도체 연구단 근무하며 새로운 구조의 바이폴라 디바이스를 이용한 저전력 고속 고주파 회로설계 수행 중임.

송 원 철(Won Chul Song)

정회원

한국통신학회 논문지 1997년 제22권 제9호 참조