

PCS용 MMIC믹서 설계에 관한 연구

正會員 김 영 기*, 윤 찬 의**, 김 민 전***, 이 창 석***, 이 재 진***

A Study for MMIC Mixer Design for PCS Application

Young-Gi Kim*, Chan-Ye Yun**, Min-Keon Kim***, Chang-Suk Lee***,
Jae-Jin Lee*** *Regular Members*

요 약

본 논문에서는 1.9GHz 대의 PCS용 down converting 믹서를, 0.5 μm 의 gate length, 300 μm 의 gate width를 갖는 GaAs FET를 사용하여 설계한다. Triquant Own Model을 사용하여 설계하여 설계와 컴퓨터 모의실험이 실행된다. 중요한 회로구성은 cascode된 두개의 FET형태이며 2 port 증폭기의 설계 방법을 응용하여 시뮬레이션을 통해 MMIC 믹서를 설계, 분석하여 특히 능동 믹서의 설계 과정을 자세히 기술한다. 설계된 MMIC 믹서는 IF주파수 400MHz에서 변환 이득이 5.9 dB이고 Noise Figure는 4.4 dB이며 Input 3rd Order Intercept Point는 0.993 dBm이다.

ABSTRACT

In this paper, an active MMIC PCS Down Converting mixer operating at 1.9GHz is designed by using GaAs FET with gate length of 0.5 μm and gate width of 300 μm . Triquant Own Model is used for the design and simulation. Main circuit topology is cascoded two FETs. In this structure, RF frequency is 1.9GHz and IF frequency is 400MHz with Conversion Gain of 5.9 dB, Noise Figure of 4.4 dB and Input 3rd Order Intercept Point of 0.993 dBm.

I. 서 론

초 고주파 송·수신단을 구성할 때 능동 믹서를 사용할 경우 최소한 5~6 dB 정도의 변환 손실 대신에 변환 이득 5~6 dB 이상이 가능하고, 소요 면적이 적어서 MMIC로 제작이 용이하며, 적은 LO Power로

동작이 가능하고, 우수한 Isolation 특성을 얻을 수 있다.^{[1],[2]} 반면에 Receiver를 설계할 때 수동 믹서를 사용하면 능동 믹서를 사용한 것 보다 Intermodulation 특성이 우수한 것으로 알려져 있다. 수동 믹서를 사용할 경우에는 손실이 필연적이고, 구동에 필요한 LO 전력이 큰 단점이 있다.^[3]

다이오드의 비선형 특성을 이용하면 믹서의 구성이 가능하다. 다이오드를 사용한 믹서의 Noise Figure는 5~10 dB(SSB)^[1] 정도로 능동 믹서보다는 약간 저하된다. 그러나 다이오드의 직렬 저항, Surface Imperfec-

* 안양대학교 정보통신공학과
** 한국통신연구개발원 무선통신연구소 전파자원팀
*** 한국전자통신연구원 반도체연구단 화합물회로연구실
論文番號: 97205-0620
接受日字: 1997年 6月 20日

tion, 영상 전하, Edge Effects, Tunneling등의 원하지 않는 특성으로 다이오드는 믹서로서의 사용이 제한되어 있다. 초고주파용 믹서에는 주로 Schottky 다이오드를 사용하고 있다. Schottky 다이오드는 우수한 Schottky 접합을 위한 표면의 낮은 도핑 부분과 낮은 직렬 저항을 위한 높은 도핑의 부분으로 도핑이 구성되어 있다. 이러한 구성에서는 역 바이어스에서 Depletion영역을 충분히 유지하기 위하여 낮은 도핑 부분의 길이가 충분히 길어야 한다. 그러나 직렬 저항을 줄이기 위해서는 이 낮은 도핑의 길이가 짧아야 한다.^[4] 따라서 믹서의 최적 동작을 위하여는 요구 사양에 적합한 믹서의 최적 동작에 해당하는 도핑 profile이 필요하나 MMIC에서는 믹서를 위하여 별개의 Doping Profile을 고려하기 어렵다. 특히 대량 생산을 위한 Ion Implantation 공정을 이용한 경우는 최적의 믹서를 기대하기 어렵다. 이러한 단일 도핑으로 증폭기의 선형성과 믹서의 비선형성을 이루기 위해서는 동작점(즉, 바이어스)을 분리 해서 적용시키는 것이 필요하다.

증폭기가 캐스캐이드로 연결된 시스템의 최종 Noise Figure, F_{IN} 는 다음과 같이 주어진다.

$$F_{IN} = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 G_2} + \dots \quad (1)$$

여기서 F_1, F_2, F_3, \dots 는 1, 2, 3, ...단의 Noise Figure 이고, G_1, G_2 는 1, 2, ...단의 이득이다. 이식에서 첫 단을 LNA, 둘째 단을 믹서로 취급하면, LNA의 이득 G_1 과 믹서의 이득 G_2 가 충분히 클 때 믹서의 Noise Figure와 그 다음 단의 Noise Figure는 시스템의 Noise Figure에 큰 영향을 주지 않는다. 능동 믹서의 변환 이득 5 dB 이상에서 Noise Figure는 6 dB정도가 가능하며 능동 믹서의 Noise Figure는 수동 믹서에 비해 아주 월등하지는 않다.^[5] 일반적인 수신 시스템에서 Intermodulation 현상은 원하지 않는 신호를 생성시켜서 실제적인 신호 대 잡음의 비를 악화시키는 데, 이 경우 믹서가 Intermodulation 왜곡의 주요 원인으로 알려져 있다.^[6] LNA의 이득이 크면 믹서의 입력 전력이 증가하여 수신 시스템의 Spurious특성이 나빠게 된다.^{[2], [5]} LNA의 이득을 줄여서 Intermodulation 왜곡을 줄 일 수 있다. 그러나 수신 시스템이 최소의 Noise Temperature(따라서 Noise Figure)를 갖기 위해서는 일정한 LNA의 이득이 있어야 한다. 결국 수

신 시스템에서는 LNA가 최소의 잡음 지수와 최소의 이득을 갖는 것이 바람직 하다. 이상적인 FET와 같이 완전한 제곱의 특성(Square Law)을 갖는 디바이스는 3차 Intermodulation이 생성되지 않는다.^[5] 그러나 이상적인 FET는 실제적인 것과 상당한 차이가 있으므로 가능하면 이상적인 FET에 가까운 특성을 갖는 영역이 바람직하다. Balun을 이용한 Balanced 구조를 쓸 경우에는 Intermodulation과 원하지 않는 신호, LO 잡음 등을 줄일 수 있고 대역폭을 늘일 수 있는 장점이 있으나, 그 구조가 복잡하여 지고 LO전력과 소모전력이 증가한다.^[7]

PCS와 같은 단일 목적의 믹서는 광대역 보다는 제작 공정에서의 오차 범위 이내의 주파수 대역만을 고려하면 Lumped Element로 정합이 가능하다. 여기서 대역폭을 필요 이상으로 증가시키면 그 구조가 복잡해져서 저항 성분이 증가하게 되고, 따라서 Noise Figure가 증가하게 된다. 또한 RF 주파수와 IF주파수의 차이가 크면 LC 직렬 공진으로 LO Trap이 가능하기 때문에 비교적 회로 구조가 MMIC에 적합하다.

Dual Gate FET를 사용한 믹서는 LO 신호와 RF신호를 각각 서로 다른 Gate에 인가하여 Balanced 구조나, 필터를 사용하지 않은 단순한 Single-Gate FET보다 Isolation(LO-to-RF) 성능이 우수하다.^[2] 그러나 Dual Gate FET를 사용한 믹서는 두개의 게이트 간의 Coupling때문에 RF단과 LO단간의 간섭이 발생하는 단점이 있다. 반면에 2개의 FET를 이용한 Cascode Mixer를 사용하면 이 Coupling효과를 줄일 수 있어서 Isolation이 Dual Gate FET를 사용한 믹서보다 우수 게 된다.

GaAs FET는 Source에 저항을 달아 Negative Feedback를 이용한 Self-Bias를 하고 이 저항에 캐패시터를 병렬로 연결하여 교류 성분에 대한 투과를 시키면 안정되고 Noise Figure도 양호하게 유지할 수 있다. Self-Bias된 Cascode 구조의 회로는 drain에 저항을 연결하지 않으므로 구조가 간단하고, 하단 source에 연결된 바이어스용 저항에 의한 잡음 원을 캐패시터로 제거시키므로 Noise Figure 특성이 다른 구조에 비해 비교적 양호하다.

2 GHz대의 PCS용 MMIC에서는 Transmission Line을 이용한 Balun 사용은 너무 면적을 많이 차지한다. 따라서 이 주파수대에서는 주로 Lumped Element를

사용하여 Balun을 구성한다. 이 Lumped Element를 이용한 Balun도 상당한 면적이 소요되기 때문에 가능하면 피하는 것이 MMIC에 바람직하다. 능동 소자를 이용하여 Balun을 구성하면 회로의 소요 면적은 줄일 수 있으나 소모전력이 증가하고 Intermodulation 특성이 저하되어 수동 소자를 이용한 Balun을 선호하고 있다.^[8]

II. 설 계

초 고주파 증폭기 회로 설계 방법을 응용하여 시뮬레이션 툴(HP-EESOF)을 사용하여 MMIC Active Mixer를 다음과 같이 설계 하였다.

본 시뮬레이션에서는 그림 1에 도시 된 것과 같이 GEC Marconi사의 Library에서 제공하는 0.5 μm 의 gate length와 300 μm 의 gate width를 갖는 GaAs FET의 Triquant Owned Model(TOM)을 사용하였다. 이 모델은 Scaling이 용이하고 최근 광범위한 응용 분야에서 정확한 모델로 보고되고 있다.

그림 2와 같이 두개의 FET가 Cascode로 연결되어 상측 FET에는 LO를 인가하고 하측FET에는 RF를 인가하여 상측 FET의 Drain단에서 IF를 얻고, IF 단에 인가된 LO 성분이나 RF성분을 IF에서 직렬 공진 회로로 단락 시킨 Topology로 시뮬레이션을 착수 하였다. 또한 하단 FET에 저항을 연결하여 이 저항 양단에 흐르는 전류에 의한 전압 강하로 하단 FET의 Source가 양의 전위를 갖고 이 하단 FET의 Gate가

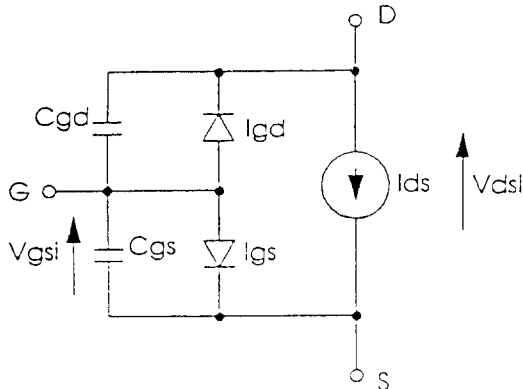


그림 1. Triquant Owned Model(TOM)의 등가 회로도

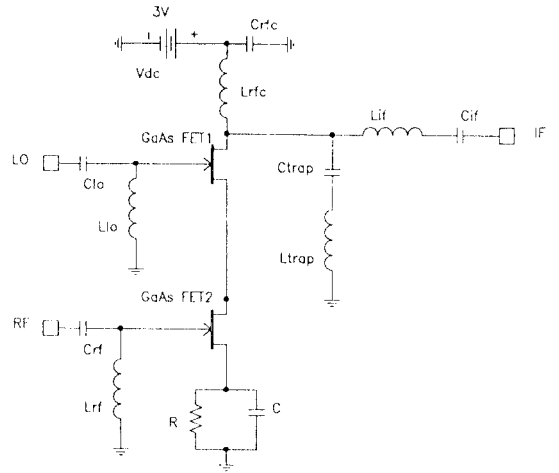


그림 2. 능동 GaAs FET Cascode 믹서의 회로도

직류적으로 접지되어서 음의 V_{GS} 가 유지되도록 하였다. 이 저항은 또 Negative Feedback 역할을 하여 회로를 안정화 하는 역할도 하고 있다. 이 저항에 캐패시터를 병렬로 연결시켜 교류적으로는 단락 시켜 교류 신호 전력의 소모를 줄이고 이 저항으로 인한 Noise Figure의 저하를 줄였다. 이 저항은 바이어스 역할을 하기 때문에 신뢰도가 중요하고 또 그 저항 값이 작으므로 온도에 대한 변화가 적은 NiCr저항을 사용하였다. 한편 상단의 FET의 Gate역시 직류적으로 단락 되어서 하단 FET의 드레인-소오스간의 전압 강화와 저항 양단의 전압 강하를 할한 만큼의 직류전압이 상단의 FET의 게이트와 소오스간에 인가되어서 이 상단 FET를 포화 영역으로 유지하게 하였다. I-V 특성 곡선상에서 Transconductance가 최대인 동작 점을 우선 선정한다. FET의 바이어스를 설정할 때 RF 단의 FET는 전압 전류 곡선상의 선형 영역과 비선형 영역 사이의 중간 부분(Knee)에 설정하였고, LO단의 FET는 포화 영역에 설정하였다. 여기서 LO단 FET의 동작점이 포화 부분 하단에 있는 경우에는 등 전류 선의 간격이 촘촘하여 증폭이 약하나 상단에 있는 경우에는 증폭 효과가 크다. 그러나 상단으로 올라갈수록 게이트와 소오스 사이의 역 방향 전압이 감소하며 쇼트키 접합의 공핍 영역이 줄어들어 이로 인한 접합 정전 용량이 증가하므로 입력 임피던스가 감소

한다. 그러므로 입력 임피던스와 증폭이 서로 상쇄되어 이득이 최대가 되는 점에서 바이어스를 정한다. 위와 같은 고려로 3V의 직류 전압 공급으로 직류 전류 7.5 mA를 소모 하도록 설계하였다. 반사에 의한 손실을 줄여서 변환 효율을 높이고 반사되어 재 발생되는 원하지 않는 신호를 최소화 하고 대역폭을 최대로 하기 위하여 정합 회로를 구성한다. 한편 2 GHz이하에서는 Transmission Line을 MMIC에 사용하기에는 그 크기가 너무 커서 부적합하므로 Lumped Element를 이용하되 되도록이면 인덕터 보다는 Q가 높고 면적을 덜 차지하며 크기의 조절이 용이한 캐패시터를 이용하여 정합하였다. 선형 증폭기에 사용하는 방법을 응용하기 위하여 시뮬레이션상에서 50 ohm의 저항으로 종단하여 그림 3과 같이 LO, RF, IF단의 해당 반사 계수 $|S_{ij}|$ 의 값이 -10 dB 이하로 하여 VSWR가 1.22 이하가 되도록 종단하였다.

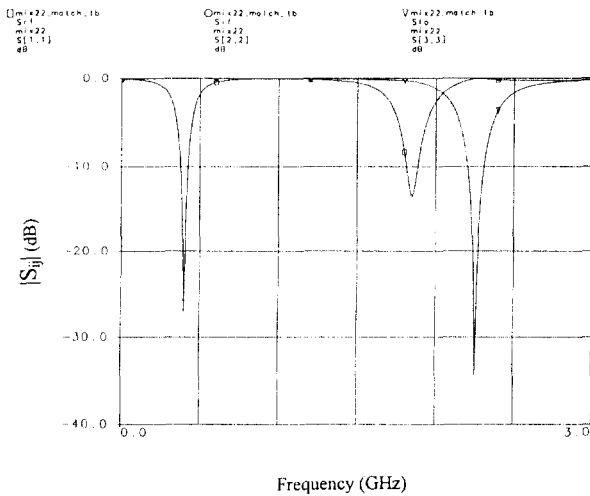


그림 3. 50 ohm 저항으로 종단하여 시뮬레이션한 LO, RF, IF단의 해당 반사 계수

RF 입력에 1.855 GHz, -20 dBm의 신호를 인가하고 LO단에는 2.255 GHz, 0 dBm의 전력으로 펌핑하고 Harmonic Balance 방법을 이용하여 IF의 출력 주파수에서, Harmonics에 따른 출력전력을 시뮬레이션 하였다. 능동 회로를 설계할 경우 안정도는 중요한 항목이다. 특히 Cascode 구조의 능동 회로는 근본

적으로 불안정하여 질 우려가 크다. 2 Port의 선형 증폭기에서 적용하는 안정도 이론을 3 Port 변환 회로인 믹서에 응용하기 위하여 Port를 1개씩 각각 독립적으로 50 ohm으로 단락 시켜 2 port회로로 변형하여 시뮬레이션을 수행하였다. 선형 테스트 벤치에서 안정도 원과 안정계수 K를 이용하여 안정화를 하였다. 원래 선형 증폭기에서의 안정도 기준인 안정도 원과 안정계수 K를 비선형 회로인 믹서에 적용하고, 믹서로서의 실제 동작 할 경우에는 Pumping에 의해 임피던스가 변화하는 것을 무시하였고 3 port 중에서 1 port를 단순화 시킨 50 ohm으로 단락 시킨 것이므로 충분한 안정도의 여유를 두고 설계 하여야 한다.

초 고주파 증폭기에서 잡음지수는 저항에서의 열 잡음에 의한 입력 가용 잡음 전력, P_{N_i} 에 대한 출력에서의 총 가용 잡음 전력, P_{N_o} 의 비로 다음과 같이 정의한다.

$$F = \frac{P_{N_o}}{P_{N_i} G_A} \quad (2)$$

여기서 G_A 는 가용 전력 증폭도 이다.^[9]

이 식에서 이득이 증가하면 잡음지수가 줄어드는 것을 알 수 있는 데 능동 믹서의 시뮬레이션에서 정합을 향상시켜 이득을 증가시키면 잡음지수가 감소함을 알 수 있다. 능동 믹서의 잡음지수는 비선형 Frequency Transferred Noise가 작용하기 때문에 선형 증폭기에서와 같은 정확한 시뮬레이션을 기대하기는 어렵다. 본 설계에서 시뮬레이션한 잡음지수는 4.4 dB 였다.

일반적으로 고차 전달함수를 가진 증폭기에서 두 개의 인접한 신호 f_1 과 f_2 가 입력되었을 때, 전달 함수의 3차 항을 발생하는 $2f_2 - f_1$ 로서 3rd order Intercept Point(IP₃)를 정의 한다. 그러나 믹서에서 요구하는 $f_2 - f_{LO}$ 를 발생시키는 것은 전달 함수의 2차 항이고 대역폭 내에 발생하는 원하지 않는 Intermodulation의 주파수는 $2f_2 - f_1 - f_{LO}$ 로 전달 함수의 4차 항에서 발생된다. 그러나 위와 같은 증폭기의 연관성 때문에 4차 항에서 발생하는 $2f_2 - f_1 - f_{LO}$ 과 2차 항에서 발생하는 $f_1 - f_{LO}$ 의 관계를 믹서의 IP₃로 명칭하고 있다. 여기서 증폭기와 믹서의 IP₃에 관한 공통점은 원하는 신호를 발생시키는 항과 대역폭 내에 원하지 않는 신호를 발생시키는 항의 차이가 2차 인 것이다. 임

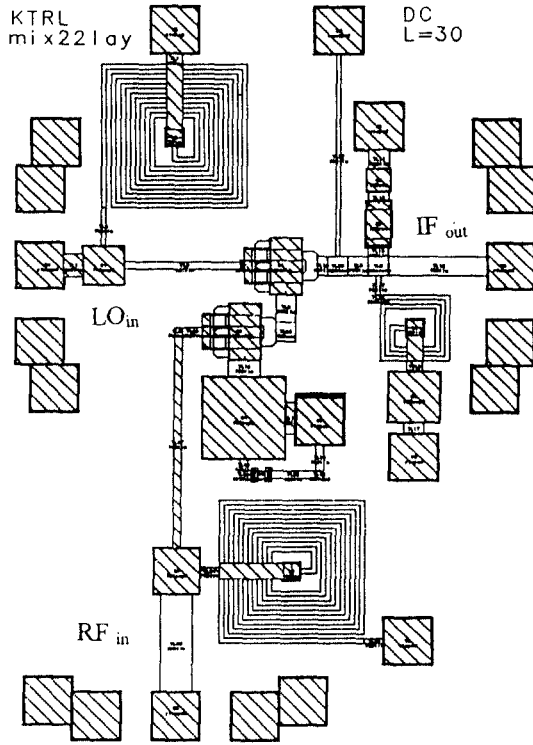


그림 5. 설계된 GaAs MMIC 믹서의 Layout

위의 과정들을 대략적으로 설계한 Lumped Element의 회로에 Microstrip Line의 Layout효과를 넣은 그림 4와 같은 회로에서 이전의 과정들을 여러 번 반복 시뮬레이션하면서 회로의 값을 조정 하여 그림 5와 같은 Layout을 작성하였다. Lumped Element로만 설계 하였을 때는 안정화를 이룰 수 없었으나 Layout효과가 종합되었을 때는 K 값을 1보다 크게 할 수 있었다. 본 설계에서는 Smart Library를 이용하였기 때문에 비교적 용이하게 Layout를 실현하였다. 이득을 증가 시키면 불안정 요인이 늘어나고 시뮬레이션상에서 능동 믹서의 안정도를 정확하게 예측하기 어려우므로, 동작 주파수보다 월등히 넓은 대역에서 K의 절대값을 "1"보다 훨씬 크게 하고 변환 이득을 +3 dB 이하로 하였다. 0 Hz에서 20 GHz까지 K의 최저 절대값이 1.4 일 때 변환 이득을 조절하여 +2.5 dB가 되도록 설계하였다. 또 위에서 기술한 안정도의 한계를 파악하기 위하여 그림 6과 같이 20GHz 까지 K의 최저 절대값이 1 일 때 그림 7의 Harmonic Balance시뮬

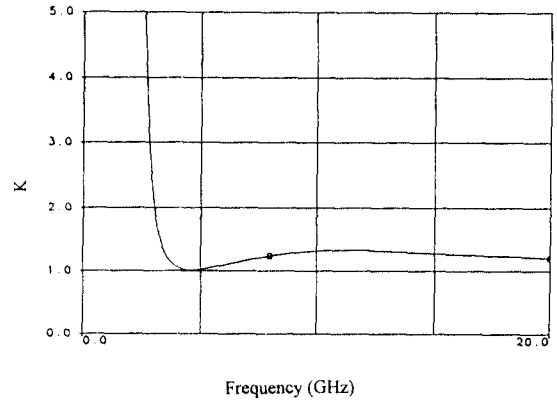


그림 6. 주파수별 안정계수 K의 곡선

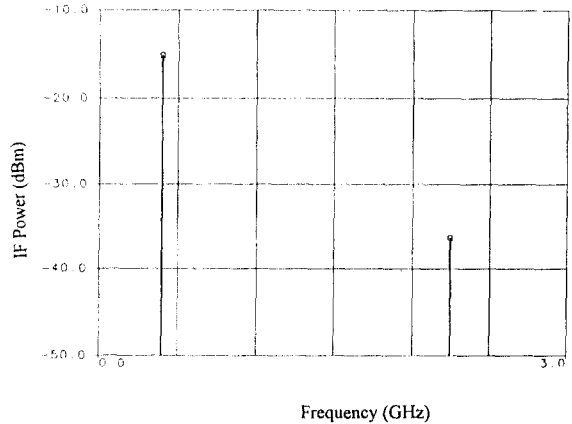


그림 7. Harmonic Balance시뮬레이션으로 구한 변환된 출력 특성 곡선

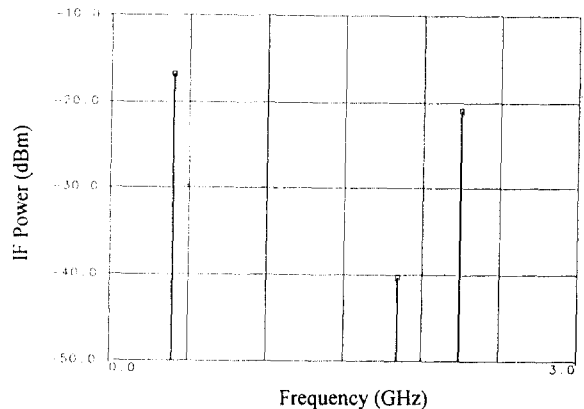


그림 8. 외부 연결 소자를 고려하지 않고 시뮬레이션한 LO, RF, IF단의 반사 계수 $|S_{ij}|$

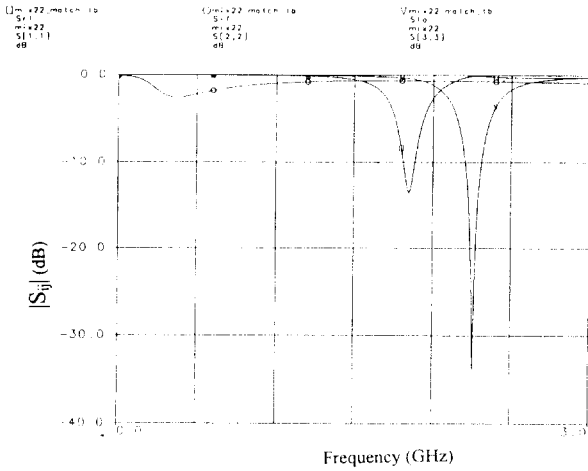


그림 9. 외부 연결 소자를 고려하지 않고 시뮬레이션한 Harmonic Balance 시뮬레이션 결과

레이션 결과에 나타난 것 같이 변환 이득이 +5.9 dB 가 되는 회로도 설계하였다. 그림 4에 표시된 것과 같이 IF정합용 인덕터, RF Choke 인덕터, IF Coupling 캐패시터, Decoupling 캐패시터는 그 크기가 너무 커서 외부에 off-chip으로 연결하도록 하였다.

반도체 제작 공정을 마무리하고 웨이퍼 상에서 Probe Station으로 테스트를 할 수 있도록 off-chip 소자들이 없는 상태에 대한 S_{RF}, S_{LQ}, S_{IF}의 크기를 그림 8과 같이 시뮬레이션 하였다. 또 이에 대한 변환 이득도 그림 9와 같이 시뮬레이션하였다. 이러한 과정은 반도체 공정과 시뮬레이션과의 일치의 정도를 확인하고 또 반도체 공정이 불안정하여 원래의 설계에서 벗어날 경우 외부에 연결하는 소자의 값을 조절하기 위한 것이다.

III. 결 론

본 연구에서는 개인 휴대통신을 위하여 1.9GHz 대의 PCS용 Down Converting 믹서를 능동 Cascode 형태의 MMIC로 설계하였다. 특히 능동 믹서의 설계 과정을 자세히 논하였다.

본 논문에서는 안정화를 위하여 일반 조고주파 증폭기의 선형 2 Port 설계 이론을 응용하였다. 이는 3 port 회로를 안정화에 대한 고려 없이 직접 설계하던

기존의 믹서 설계방법에 비하여 안정화된 설계 방법으로 특히 설계 제작에 큰 비용과 시간이 필요한 MMIC 능동 믹서 설계 시 성공률을 높일 수 있는 진보된 방법이다.

실제된 MMIC 믹서는 IF주파수 400MHz에서 변환 이득이 5.9 dB이고 Noise Figure는 4.4 dB이며 Input 3rd Order Intercept Point는 0.993 dBm 이다.

본 연구의 설계는 주 저자가 한국통신 연구개발원에 재직 중 개인휴대통신의 기술개발을 위하여 수행되었으며, 추후 이를 정립하여 기술하였다.

참 고 문 헌

1. I. D. Robertson, *MMIC Design*, IEE, pp. 219-220, 1995.
2. S. A. Maas, *Microwave Mixers*, 2nd edition, Artech House, pp. 314-368, 1993.
3. D. Flaviis and S. A. Mass "X-band Doubly Balanced Resistive FET mixer with Very Low Intermodulation", *IEEE Trans. On Microwave theory and Techniques*, pp. 457-460, Vol. 43, No. 2, Feb. 1995.
4. G. D. Vendelin, A. M. Pavo and U. L. Rode, *Microwave Circuit Design Using Linear and Nonlinear Techniques*, John Wiley & Sons, pp. 512-514, 1990.
5. P. Vizmuller, *RF Design Guide*, Artech House, pp. 132-133, 1995.
6. Plessey Semiconductors, *Frequency Divider and Synthesizer Handbook*, Plessey Semiconductors, pp. 10-85, 1994.
7. S. A. Maas, *Nonlinear Microwave Circuit*, Artech House Inc. pp. 7-8, 1988.
8. M. Devlin, B. J. Buck, J. C. Clifton, A. W. Dearn, A. P. Long, "A 2.4 GHz Single Chip Transceiver," *IEEE Microwave and Millimeter-Wave Monolithic Circuits Symposium*, pp. 23-26, 1993.
9. G. Gonzalez, *Microwave Transistor Amplifiers Analysis and Design*, Prentice Hall, pp. 141-142, 1984.
10. S. A. Mass and D. Neilson, "Modeling MESFET's for Intermodulation Analysis of Mixers and Amplifiers", pp. 1964-1971, *IEEE Tans. on Microwave Theory and Techniques*, Vol. 38, No. 12, Dec. 1990.



김 영 기(Young-Gi Kim)정회원
1983년 2월:한양대학교 전자공학과 학사
1985년 2월:한양대학교 전자공학과 석사
1986년 5월~1996년 2월:한국통신 연구개발원 무선통신연구소

1993년 12월: University of Texas at Arlington 전자공학과 박사(Ph.D.)

1994년~현재: 안양대학교 정보통신공학과
※주관심분야: MMIC, MIC, RFIC, Semiconductor Devices



김 민 건(Min-Keon Kim)정회원
1991년 2월:서울대학교 물리교육학과 학사
1993년 2월:서울대학교 물리학과 석사
1993년 2월~현재: 한국전자통신연구원 연구원
※주관심분야: 초고주파 집적회로 설계



이 창 석(Chang-Suk Lee)정회원
1984년 2월:경북대학교 전자공학과 졸업(공학사)
1986년 2월:한국과학기술원 전기 및 전자공학과 졸업(공학석사)
1996년 2월:한국과학기술원 전기 및 전자공학과 졸업(공학박사)

1982년 2월~현재: 한국전자통신연구소 책임연구원
※주관심분야: 고속 디지털 IC 설계 및 고주파 IC 설계 관련 모델링 및 측정분석



이 재 진(Jae-Jin Lee) 정회원
1975년 2월:공주사범대학교 과학교육 물리전공(이학사)
1982년 8월:동국대학교 물리학과 고체물리전공(이학석사)
1987년 2월:동국대학교 물리학과 고체물리전공(이학박사)

1991년 6월~1992년 6월:미국 MIT 전기전자 컴퓨터공학과 객원연구원

1987년 2월~현재: 한국전자통신연구소 책임연구원, 화합물회로연구실 실장

※주관심분야: 화합물반도체 재료성장 및 특성분석, 초고속 반도체소자, 고집적화합물반도체 공정