

# 분할 방법을 이용한 저전력 조합 회로 합성 알고리즘

正會員 최 익 성\*, 김 형\*, 현 민 호\*, 황 선 영\*

## An Efficient Partitioning-based Algorithm for the Synthesis of Low-power Combinational Circuits

Ick Sung Choi\*, Hyung Kim\*, Min Ho Hyun\*,  
Sun Young Hwang\* *Regular Members*

### 요 약

본 논문에서는 조합 회로의 저전력 설계를 위한 합성 알고리즘을 제안하였다. 제안된 알고리즘은 주어진 회로를 다수 개로 분할하고 불필요한 신호 전이를 줄이기 위해 이 중 하나를 선택하여 수행한다. 주어진 회로는 Shannon expansion을 이용하여 재귀적으로 전력 소모가 더 이상 줄어들지 않을 때까지 분할된다. MCNC 벤치마크 회로에 대한 실험을 통하여 제안된 알고리즘이 전력 소모면에서 기존의 precomputation 논리에 바탕을 둔 전력 최소화 알고리즘에 비하여 평균 58.1% 향상된 결과를 보였다.

### ABSTRACT

In this paper, we propose a synthesis algorithm for low-power design of combinational circuits. The proposed algorithm partitions a given circuit into several subcircuits such that only a subcircuit can be activated to reduce unnecessary signal transitions. A circuit is recursively partitioned by applying the Shannon expansion as long as power consumption is reduced. Experimental results for the MCNC benchmark circuits show the effectiveness of the proposed algorithm by generating the circuits consuming less power. When compared to the previous algorithm based on precomputation logic, the overall power reduction amounts to 58.1% on the average.

### I. 서 론

VLSI 제조 및 설계 기술의 발달과 더불어 칩의 고

성능, 고집적화 경향과 함께 회로의 전력 소모에 관한 문제가 대두되고 있다. 최근 휴대용 컴퓨터와 통신 시스템의 수요가 급증함에 따라 회로의 발열 문제와 전력 소모를 개선하기 위하여 저전력 회로의 설계가 점차 중요한 설계 사양으로 등장하게 되었다. 저전력 설계 지원 환경의 일원으로 저전력 회로 설계

\*서강대학교 전자공학과  
論文番號: 96240-0809  
接受日字: 1997年 8月 9日

자동화에 관한 연구가 활발하게 진행되고 있으며, 상위 수준 저전력 합성기, 전력 소모 예측 시스템 등이 개발되어 보고되고 있다[1][2][3][4].

ASIC 설계는 다양한 레벨에서 회로의 소모 전력을 줄이는 최적화 과정을 거친다. CMOS 소자로 구현된 VLSI 회로는 내부 노드값의 전이에 의한 전력 소모가 전체 전력 소모량의 90% 이상을 차지하므로, 회로의 평균 소모 전력을 줄이기 위하여 다양한 설계 계층에서 switching activity를 줄이는 설계 방법이 제안되었다[5][6][7][8]. 저전력을 위한 논리 회로 설계는 주로 STG(State Transition Graph) 수준과 논리 게이트 및 F/F 수준에서 이루어지고 있으며, switching activity를 줄이기 위하여 don't-care optimization, path balancing, factorization, precomputation 등의 설계 방법이 제안되었다[9][10][11][12].

Don't-care optimization은 internal don't care 중 회로의 중간 노드 값에 의해 영향을 받지 않는 출력에 의한 ODC(Observability Don't-Care set)를 이용하여 회로의 signal transition probability를 감소시켜 소모 전력을 줄이는 설계 방법이다[9][13]. Path balancing은 회로의 path delay를 적절히 조정하여 전체 소모 전력의 10-40%를 차지하는 불필요한 spurious transition에 의한 소모 전력을 줄이는 설계 방법으로, 서로 다른 path의 delay를 동일하게 맞추기 위하여 적절한 delay의 게이트를 사용하거나 게이트 입력에 버퍼를 추가하는 방법이다[10]. Factorization은 주어진 논리식의 공통 부분을 재사용함으로써 회로의 면적과 지연시간을 개선하는 technology-independent 최적화 방법이다. 다만 논리 최적화 과정은 논리식의 공통 부분을 효율적으로 찾기 위하여 리터럴 수를 가장 줄일 수 있는 커널을 사용하며[13], 커널 선택의 비용 함수에 리터럴 수와 switching activity를 반영하여 factorization을 수행한다[14]. Precomputation 설계 방법은 입력 조건에 따라 출력에 영향을 미치지 못하는 회로의 영역을 예측하여 이 영역의 상태 전이가 일어나지 않도록 함으로써 switching activity를 줄이는 알고리즘이며, 주어진 회로에 ODC의 universal quantification 연산을 수행하여 설계한 precomputation 회로를 추가하는 구조와 Shannon expansion 구조로 분할하여 입력 값에 따라 선택적으로 수행하는 구조의 회로를 생성한다[12]. Path balancing 설계 방법은 버퍼

나 게이트 capacitance 증가에 따라 전력 소모가 증가하므로 switching activity의 감소에 의한 소모 전력의 감소 효과가 상쇄되어 효율이 좋지 않으며, precomputation 설계 방법은 추가 회로에 의해 delay가 증가하고 적절한 ODC가 존재하지 않는 회로에 대하여 비효율적이므로 일반적인 회로에 적용하기 어려운 단점이 있다. 이에 따라 일반적인 회로에 적용이 가능하고 면적 overhead와 소모 전력을 효과적으로 줄일 수 있는 효율적인 저전력 회로 합성 알고리즘의 개발이 요구되었다.

제안된 알고리즘은 기존 설계 방법의 단점을 보완하여 일반적인 회로에 적용이 가능하고 면적과 전력 소모를 개선하였으며, 주어진 회로를 다수 개의 세부 회로로 분할하고 이 중 한 회로를 선택하여 수행하는 구조의 회로를 생성한다. 제안된 회로 분할 알고리즘은 주어진 회로를 Shannon expansion을 이용하여 재귀적으로 분할하며, 전력 소모를 효율적으로 줄일 수 있는 입력 선택 알고리즘을 제안하고 구현하였다. 그리고, 이를 바탕으로 저전력 조합 회로 합성 시스템을 개발하였다. 본 논문의 2장에서는 논리 회로의 전력 소모와 저전력 설계에 사용되는 용어에 대하여 설명하고, 3장에서 여러 가지 저전력 회로 합성 알고리즘과 제안된 저전력 소모를 위한 회로 분할 알고리즘을 기술하고 예를 보이며, 4장에서 실험 결과를 제시하고, 마지막으로 5장에서 결론을 맺는다.

## II. 논리 회로의 전력 소모

CMOS 회로의 전력 소모  $P_{avg}$ 는  $V_{dd}$ 를 공급 전압,  $T_c$ 는 클럭 주파수,  $C$ 는 노드 capacitance,  $N$ 은 클럭 주기당 노드 값의 평균 전이 횟수라고 할 때 식 (1)과 같이 나타낼 수 있다[15].

$$P_{avg} = P_{switching} + P_{short\_circuit} + P_{leakage} \quad (1)$$

$$= \frac{1}{2T_c} N C V_{dd}^2 + \frac{1}{T_c} N Q_{sc} V_{dd} + I_{leak} V_{dd}$$

식(1)에서 첫항  $P_{switching}$ 은 switching activity에 의한 전력 소모를 나타내는 항목으로 내부 노드의 충방전에 의해 소모되는 전력이며, 두번째 항  $P_{short\_circuit}$ 은 노드 값의 전이 시  $V_{dd}$ 와 ground 사이에 일시적으로

흐르는 short-circuit current에 의한 소모 전력을 나타내며,  $Q_{sc}$ 는 short-circuit current에 의해 생성되는 전하량을 가리킨다. 마지막 항  $P_{leakage}$ 는 회로의 leakage current  $I_{leak}$ 에 의한 전력 소모를 나타낸다. 정확한 소모 전력의 예측을 위하여 전체 소모 전력의 평균 20% 정도를 차지하는 spurious transition을 고려하는 것이 바람직하지만, 이를 고려하기 위해서는 timing 정보가 요구되며 이 정보의 처리에 소요되는 시간과 노력이 방대하여 spurious transition에 의한 전력 소모 계산을 생략하는 경우가 대부분이다[15][16][17]. 제안된 저전력 논리 합성 알고리즘은 회로의 소모 전력 예측 시 수행시간을 줄이기 위하여 spurious transition을 고려하지 않는 zero-delay model을 사용하였다.

회로 내 노드  $x$ 의 signal probability  $P_s(x)$ 는 여러 clock cycle 동안 안정된 논리 high 값을 가지는 clock cycle의 평균 비율이고, 회로 내 노드  $x$ 의 transition probability  $P_t(x)$ 는 여러 clock cycle 중 초기값이 전이되는 clock cycle의 평균 비율이다[15]. Signal probability 계산은 입력에서 출력 방향으로 각 게이트 단위로 계산하는 방법이 주로 사용되지만, 이 방법은 게이트 입력이 서로 독립적이라는 가정 하에 입력 값 사이의 상관 관계를 고려하지 않고 signal probability를 계산하므로, 회로 내에 reconvergent path가 존재하는 경우 정확한 signal probability를 계산할 수 없는 단점이 있다[15]. Signal probability는 노드가 high 값을 가지는 평균 확률을 의미하고 signal probability = on-set minterm 갯수/전체 minterm 갯수 수식으로 표현할 수 있으므로 BDD를 사용하여 signal probability를 간단하게 계산할 수 있다 [18]. 회로 내부 노드  $x$ 의 transition probability  $P_t(x)$ 는 현재 클럭 주기의 노드 값이 시간적으로 연속된 다음 클럭 주기에서의 노드 값과 무관하다는 temporal independence 가정 하에 식 (2)와 같이 계산할 수 있다[15].

$$P_t(x) = 2 P_s(x) P_s(\bar{x}) = 2 P_s(x) (1 - P_s(x)) \quad (2)$$

CMOS 회로의 경우 노드 값의 전이에 의해 발생하는 소모 전력  $P_{switching}$ 이 전체 소모 전력의 대부분을 차지하므로 회로의 전체 소모 전력을  $P_{switching}$ 으로 가정하였다. 회로의 평균 전력 소모량  $P_{avg}$ 는  $T_c$ 를 clock period,  $C_i$ 를 노드  $x_i$ 의 총 capacitance,  $V_{dd}$ 를 공급 전

압,  $n$ 을 회로 내의 노드 수라고 할 때 식 (3)과 같이 나타낼 수 있다.

$$P_{avg} \cong P_{switching} = \frac{1}{2T_c} V_{dd}^2 \sum_{i=1}^n C_i P_t(x_i) \quad (3)$$

### III. 저전력 회로 합성 알고리즘

#### 1. Precomputation 논리를 바탕으로 둔 설계 알고리즘

Precomputation 논리를 바탕으로 둔 설계 알고리즘은 입력 조건에 따라 출력에 영향을 미치지 못하는 회로의 영역을 예측하여 이 영역의 상태 전이가 일어나지 않도록 함으로써 전력 소모를 줄이는 방법이다. Precomputation 논리는 회로의 입력 조건으로부터 2개의 세부 회로 중 수행할 하나의 회로를 선택하며, 회로에서 추출한 ODC에 universal quantification 연산을 수행하여 precomputation 함수를 계산할 수 있다 [12]. 그 외 주어진 함수를 Shannon expansion 연산을 수행하여 두 cofactor 함수를 세부 회로로 구현하고, 입력 조건에 따라 두 세부 회로가 선택적으로 수행되는 구조가 제안되었다[12].

그림 1은 일반적인 조합 회로로 함수  $f$ 를 구현한 회로  $C_i$ 와 입력 latch  $L_i$ 로 나타낸 회로이다. 그림 2 (a)는 그림 1의 회로를 precomputation 구조로 합성한 회로이며, 여기서  $g_1, g_2$ 는 precomputation 함수로  $g_1 = 1$ 이면  $f = 1$  이고,  $g_2 = 1$ 이면  $f = 0$ 의 조건을 만족한다[12]. 만일 클럭 주기  $t$ 에  $g_1$  또는  $g_2$ 가 1이면 latch의  $L_i$  load-enable 신호가 0이 되어 전 클럭 주기의 입력 값이 유지되므로 클럭 주기  $t+1$  동안 회로 블럭  $C_i$ 는 값이 바뀌는 내부 노드가 없어 전력 소모가 감소한다. 함수  $g_1$ 과  $g_2$ 는 동시에 1의 값을 가지지 않으며,  $g_1 + g_2$ 의 값이 1일 때 블럭  $C_i$ 는 내부 노드값의 전이가 일어나지 않는다. 그림 2(b)는 다른 precomputation 논리를 이용한 회로 구조이며, 클럭 주기  $t$  동안  $g_1$  또는  $g_2$ 가 1이 되면  $L_i$ 의 load-enable 신호는 0이 되어 다음 클럭 주기  $t+1$  동안  $L_i$ 의 출력은 값이 바뀌지 않고  $L_i$ 의 값의 변화에 따른 노드 값의 전이만 발생하므로 블럭  $C_i$ 의 전력 소모는 감소된다. 함수  $g_1$ 과  $g_2$ 는 회로의 ODC와 입력 변수 집합을 적절히 선택하여 구할 수 있다. 함수  $f$ 의 입력  $i_j$ 와  $\bar{i}_j$  변수에 대한 cofactor 함수를 각각  $f_{i_j}$ 와  $f_{\bar{i}_j}$ 로 나타낼 때

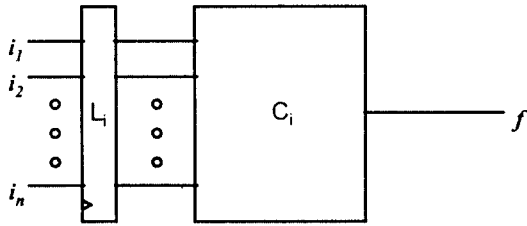
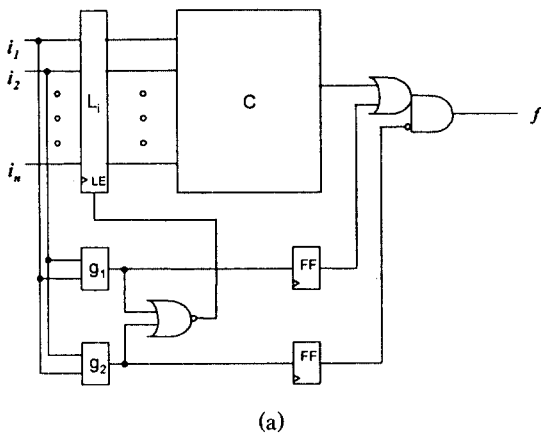
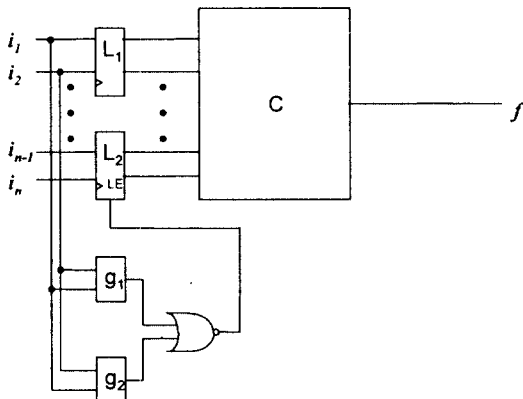


그림 1. 일반적인 조합 회로.  
Fig. 1. A combinational circuit.



(a)



(b)

그림 2. Precomputation 논리를 이용한 회로 구조.

(a) Precomputation 논리를 이용한 회로 구조.

(b) Precomputation 논리를 이용한 다른 회로 구조.

Fig. 2. Circuit structure based on precomputation scheme.

(a) A structure based on precomputation scheme.

(b) Another structure based on precomputation scheme.

함수  $f$ 의 입력 변수  $i_j$ 에 대한 ODC는 식 (4)와 같이 나타낼 수 있으며, 선택된 입력 집합  $i_m, i_{m+1}, \dots, i_N$ 에 대한 precomputation 함수  $g$ 는 ODC를 이용하여 식 (5)와 같이 나타낼 수 있다[12].

$$ODC_{i_j} = f_{i_j} \cdot \overline{f_{i_j}} + \overline{f_{i_j}} \cdot f_{i_j} \quad (4)$$

$$g = \prod_{j=m}^N ODC_{i_j} \quad (5)$$

그림 2 (b)에서 전체 입력 집합을  $X$ , 함수  $g_1, g_2$ 에서 사용되는 입력의 부분 집합을  $S = \{i_1, \dots, i_m\}$  ( $m < n$ )라고 가정할 경우, 식 (5)에서 확률  $P(g_1 + g_2 = 1)$ 이 최대인 조건을 만족하는  $g_1, g_2$  함수는 universal quantification 연산을 사용하여 결정할 수 있다. 입력 변수  $i_j$ 에 대한  $f$ 의 universal quantification은  $U_{i_j} f = f_{i_j} \cdot \overline{f_{i_j}}$ 로 정의되며, 입력 집합  $D$ 에 대한 universal quantification은  $U_D f = U_{i_{m+1}} \dots U_{i_n} f$ 로 나타낼 수 있다. 만일 precomputation 논리에서 사용되는  $k$ 개의 입력 집합  $S$ 와  $g_1, g_2$  함수에서 사용되지 않는 입력 집합  $D = X - S$ 가 주어진 경우  $g_1 = U_D f = U_{i_{m+1}} \dots U_{i_n} f$ ,  $g_2 = U_D \overline{f} = U_{i_{m+1}} \dots U_{i_n} \overline{f}$ 로 계산할 수 있다. 다수의 출력이 있는 회로에서 최적의 precomputation 함수의 입력 부분 집합을 선택하는 휴리스틱 알고리즘이 참고 문헌 [12]에서 제안되었으며, precomputation 함수에 사용되는 입력의 수는 전체 입력의 수보다 적을수록 양호한 결과를 얻을 수 있다.

## 2. Shannon expansion을 이용한 저전력 회로 합성 알고리즘

Precomputation 설계 방법은 ODC가 존재하지 않는 회로의 경우 합성의 효율이 좋지 않고 효율적인 precomputation 논리를 구성할 수 있는 회로가 제한되어 있는 반면, Shannon expansion을 이용한 저전력 회로 구조는 보다 일반적인 회로에 적용할 수 있는 장점이 있다. 일반적인 논리 함수  $f$ 는 입력 집합  $I = \{i_1, i_2, \dots, i_n\}$ 인 경우 Shannon expansion을 적용하여 식 (6)과 같이 표현할 수 있다.

$$f = i_j f_{i_j} - \overline{i_j} f_{\overline{i_j}} \quad (6)$$

이 때,  $f_{i_j}$ 와  $f_{\overline{i_j}}$ 를 각각 변수  $i_j$ 와  $\overline{i_j}$ 에 대한 cofactor

라고 정의한다. 그림 3은 Shannon expansion을 이용한 회로 구조를 나타낸 것이며, 선택된 입력  $i$ 의 값에 따라 cofactor  $f_{i,1}$ ,  $f_{i,0}$ 를 구현한 두개의 세부 회로가 배타적으로 실행된다. 입력  $i$ 의 값이 1 일 때  $f_{i,1}$  회로가 수행되고  $f_{i,0}$  회로는 disable되며,  $i$ 의 값이 0 일 때  $f_{i,0}$  블록이 수행되고  $f_{i,1}$ 가 disable되는 구조이다[12]. Shannon expansion 구조 회로와 precomputation 설계 방법은 동일한 입력이 중복 사용되므로 입력 latch의 수가 증가하며, precomputation 설계 방법의 경우 precomputation 회로의 추가에 따라 면적과 지연 시간이 증가한다.

Shannon expansion을 이용한 저전력 논리 합성 과정은 전력 소모를 최대한으로 줄일 수 있도록 적절한 입력 변수를 선택하여 회로를 분할해야 한다. 최적의 저전력 소모 회로는 모든 변수를 이용하여 합성한 결과 회로의 소모 전력을 측정하고 이 중 가장 전력 소모가 적은 경우를 선택하는 것이 바람직하다. CMOS 소자로 구현된 VLSI 회로는 노드값의 전이에 의한 전력 소모가 전체 전력 소모의 대부분을 차지하므로, 제안된 알고리즘은 합성된  $f_{i,1}$ 와  $f_{i,0}$  회로의 전이 확률을 추출한 후 전력 소모를 전이 활동으로 근사하여 사용하였다. 합성된 회로의 전력 소모를 반영하는 입력 선택 비용 함수는 주어진 입력  $i_j$ 의 신호 확률  $P(i_j)$ 로 나타낼 때 식 (7)로 나타낼 수 있다.

$$\text{입력 선택 비용 함수} = P(i_j) * f_{i,1} \text{ 회로의 전이 활동} + (1 - P(i_j)) * f_{i,0} \text{ 회로의 전이 활동} \quad (7)$$

제안된 저전력 논리 회로 합성 시스템은 출력 회로의 전력 소모를 줄이기 위하여 비용 함수의 값이 가장 작은 입력을 선택하여 합성을 수행한다.

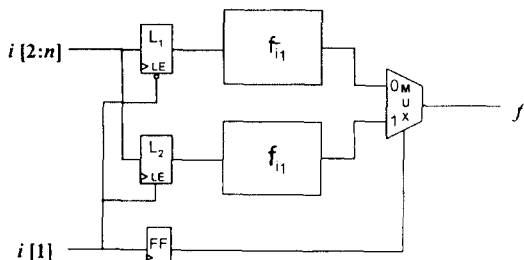


그림 3. Shannon expansion을 이용한 회로 구조.

Fig. 3. Circuit structure based on Shannon expansion.

3. 제안된 저전력 소모를 위한 회로 분할 알고리즘  
제안된 알고리즘은 Shannon expansion 구조 설계 방법을 개선하여 주어진 회로를 다수 개의 세부 회로로 분할하며, 입력 조건에 따라 세부 회로 중 하나의 회로만 수행하는 구조의 회로를 합성한다. 저전력 소모를 위한 논리 합성 시스템은 주어진 회로를 Shannon expansion을 이용하여 2개의 세부 회로로 분할하는 부분, 회로의 소모 전력을 예측하는 부분, priority queue 관리 부분으로 나눌 수 있으며 그 과정을 그림 4에 보였다.

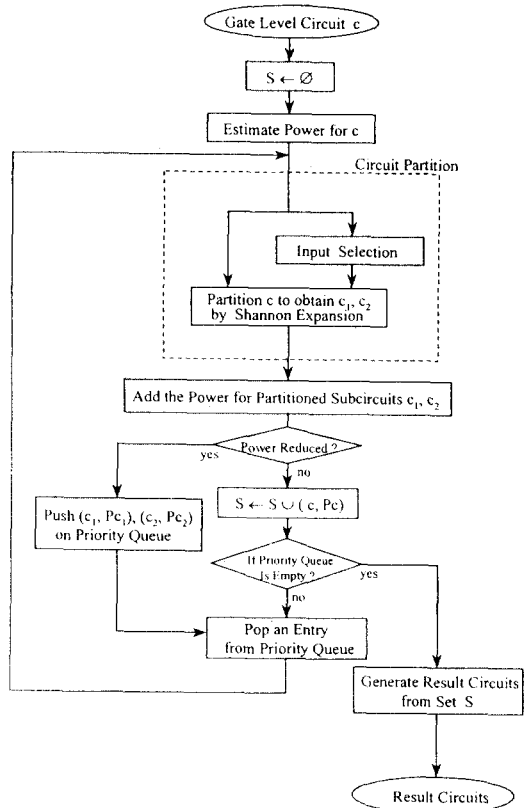


그림 4. 제안된 저전력 합성 시스템의 전체 흐름도.

Fig. 4. The flow of the proposed low-power synthesis system.

일반적으로  $N$ 개의 입력을 이용하여 최대  $2^N$ 개의 분할된 회로를 택일하여 수행하도록 설계하는 방법은 입력의 수가 증가함에 따라 분할되는 회로 개수가

방대하므로 회로 분할 알고리즘으로 적용하기에는 부적당하다. 저전력을 위한 회로 분할 알고리즘은 우선 주어진 회로에 대해 Shannon expansion 연산을 수행하여 2개의 회로로 분할한 후 priority queue에 저장한다. 그리고, priority queue에서 평균 전력 소모가 가장 큰 회로를 선택하여 2개의 분할된 회로로 대체하는 과정을 반복 수행한다. 합성 과정 중 생성된 회로들은 평균 전력 소모량에 따라 priority queue에 저장되며, 평균 전력 소모량은 (회로가 수행될 확률 \* 회로의 소모 전력)으로 계산이 가능하다. 분할 과정을 거쳐 소모 전력이 감소된 경우는 생성된 회로들을 priority queue에 삽입하며, 분할된 회로의 전력 소모가 증가된 경우는 더 이상 회로 분할을 시도하지 않는다. Shannon expansion 연산을 이용한 회로 분할 과정을  $N$ 번 수행하는 경우  $(N+1)$ 개의 분할된 회로가 출력되며,  $\lceil \log_2(N+1) \rceil$ 개의 입력을 이용하여 이 중 하나를 선택하여 수행할 수 있다. 만일 priority queue에 저장된 회로가 없는 경우는 더 이상 분할할 회로가 없는 상황이므로 결과 회로를 생성하고 수행을 마친다.

그림 5는 제안된 회로 분할 알고리즘을 이용하여 생성되는 회로의 구조를 나타낸 것이며, 전체 입력 집합  $I = \{i_1, i_2, \dots, i_N\}$ 의 부분 집합인  $I_s$ 의 값에 따라 분할된 회로 중 하나의 회로를 선택하여 수행한다.

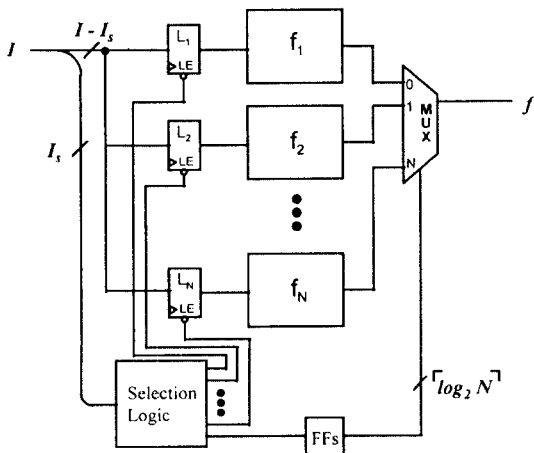
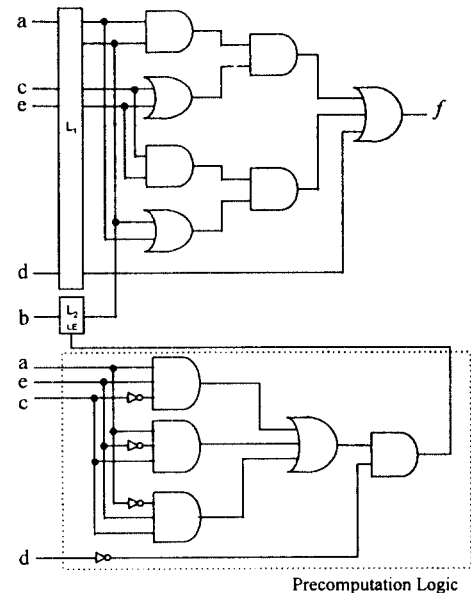
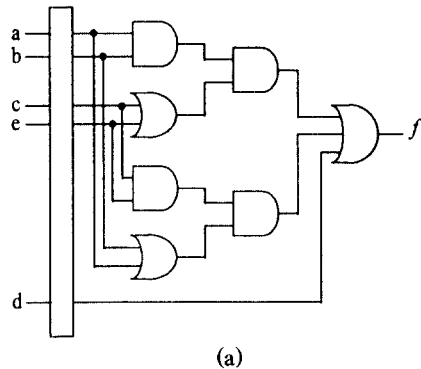


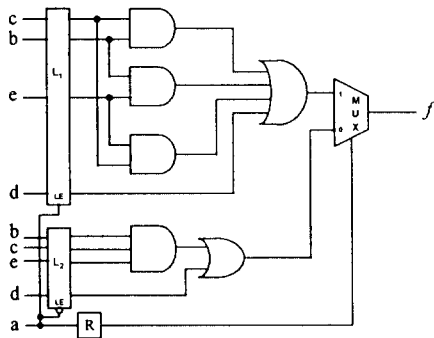
그림 5. 제안된 알고리즘에 의해 생성된 회로 구조.  
Fig 5. The circuit structure obtained by the proposed algorithm.

출력단에 사용된 mux는 각 출력단에 transmission gate 하나를 추가하여 구현이 가능하다. 제안된 알고리즘은 분할된 회로들의 소모 전력의 차이가 적은 경향이 있으므로 입력의 조건에 따라 소모 전력의 편차가 작은 회로를 합성할 수 있는 장점이 있다.

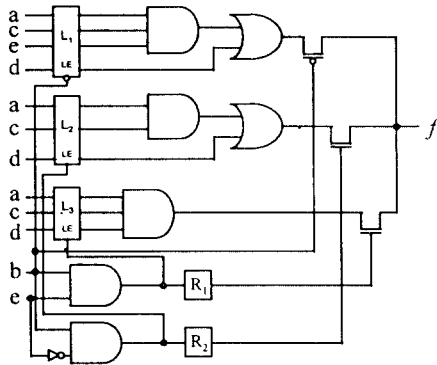
그림 6 (a)는 일반적인 조합 회로의 예제를 보인 것이다. 이 회로는 sis 1.2 [26]에서 script.rugged를 이용하여 최적화한 MCNC 벤치마크의 majority 회로로, 입력의 signal probability를 0.5로 가정할 때  $64.4 \mu W$ 의 전력을 소모한다. 예제 회로를 입력 집합 선택 알



(b)



(c)



(d)

그림 6. 조합 회로의 저전력 설계를 위한 다양한 회로 구조.

- (a) 조합 회로 예제.
- (b) Precomputation 구조로 합성한 회로.
- (c) Shannon expansion 구조로 합성한 회로.
- (d) 제안된 구조로 합성한 회로.

Fig 6. Various schemes for low power design of combinational circuits.

- (a) An example combinational circuit.
- (b) Circuit obtained by the precomputation scheme.
- (c) Circuit obtained by the Shannon expansion scheme.
- (d) Circuit obtained by the proposed scheme.

고리들을 사용하여 그림 2 (b)의 precomputation 구조로 합성한 회로를 그림 6 (b)에 보였으며, 선택한 입력 집합이 {d}이고 precomputation 함수가  $g_1 = bcc + d$ ,  $g_2 = b'd'c' + b'd'e' + d'e'c'$  일 때 69.3  $\mu W$ 의 전력을 소모한다. 이 예제 회로를 그림 3의 입력 a를 선택

하여 Shannon expansion 구조로 합성한 경우의 회로를 그림 6 (c)에 보인다. 이때 소모 전력이 27.5  $\mu W$ 이다. 제안된 회로 분할 알고리즘을 사용하여 그림 6 (a)의 예제 회로를 합성할 경우 그림 6 (d)와 같이 합성된 회로를 얻을 수 있으며, 소모 전력이 17.6  $\mu W$ 로 크게 감소된다.

#### IV. 실험 결과

제안된 알고리즘의 성능 평가를 위해 MCNC 벤치마크 회로에 대해 실험을 수행하였다. 표 1에 벤치마크 회로에 대하여 precomputation 설계 방법과 제안된 알고리즘을 적용하여 변환한 회로에 대한 전력 소모를 비교하여 제시하였다. sis 1.2의 script. rugged를 이용하여 최적화된 회로와 참고 문헌 [12]에서 제안한 precomputation 구조의 회로와 각각 결과를 비교하였다. 표에서 '입력수', '출력수'는 회로의 입출력 개수, 'Area'는 회로의 면적과 직접적인 관계가 있는 리터럴 수, 'Power' 열은 각 회로에서 발생하는 전력 소모를 표시하고, ' $\Delta Power$ ' 열과 ' $\Delta Area$ ' 열은 precomputation 설계 방식에 근거한 회로와 비교하여 제안된 알고리즘을 적용한 회로에서 발생하는 전력 소모 증가율과 면적 증가율을 각각 나타낸다. 제안된 알고리즘과 precomputation 구조로 합성된 회로의 전력 소모는 조합 회로와 selection logic, precomputation 함수의 전력 소모를 포함하며, CMOS 회로의 경우 disabled된 latch의 전력 소모는 상대적으로 적으므로 disabled된 입력 latch에 의한 소모 전력 제산은 생략하였다. 이 실험에서 전력 소모량은 sis 1.2를 이용하여 5 V 공급 전압과 20 MHz 클럭 주파수에서 zero-delay model을 사용하여 측정하였다. 실험 결과에서 벤치마크 회로 중 count 회로, pcler 회로, tcon 회로, 9symml 회로는 precomputation 설계 방식에 비하여 제안된 방식이 85-100% 소모 전력이 감소되었다. 이것은 이 회로에 제안된 알고리즘을 적용할 때 출력이 영향을 많이 미치는 입력에 의해 회로 크기가 감소하여 소모 전력이 많이 줄어든 반면, precomputation 설계를 적용할 경우 전이 확률을 줄일 수 있는 입력의 수가 적거나 precomputation 논리 회로에 의한 추가 소모 전력이 전이 확률 감소에 따른 소모 전력보다 큰 경우에 전체 소모 전력이 크게 감소되지 않기 때문이

표 1. Precomputation 설계 방식과 제안된 방식의 전력 소모 비교.

Table 1. Comparison in power consumption between precomputation-based scheme and the proposed scheme.

Circuits	sis 1.2 script.rugged를 적용하여 생성된 회로[26]				Precomputation 설계 방식 [12]		제안된 방식		성능 비교	
	입력수	출력수	Area (리터럴수)	Power (uW)	Area (리터럴수)	Power (uW)	Area (리터럴수)	Power (uW)	ΔArea (%)	ΔPower (%)
cc	21	20	79	182	53	182	53	39	0	- 78.4
cm42a	4	10	34	111	38	108	24	22	- 36.8	- 79.4
cm82a	5	3	24	101	28	112	51	39	+ 82.1	- 65.4
cm138	6	8	36	87	39	57	32	45	- 17.9	- 20.4
cm150	21	1	74	212	75	121	82	85	+ 9.3	- 29.6
cmb	16	4	62	234	24	174	64	51	+166.7	- 70.9
comp	32	3	156	464	224	510	156	464	- 30.4	- 8.9
count	35	16	143	588	223	606	109	32	- 94.6	- 94.8
cordic	23	2	103	344	128	299	111	178	- 13.3	- 40.7
cu	14	11	60	234	61	150	62	42	+ 1.6	- 72.0
c8	28	18	139	554	153	613	139	554	- 9.2	- 9.6
decod	5	16	52	105	58	101	50	56	- 13.8	- 44.3
duke2	22	29	654	1,270	660	1,031	478	264	- 79.3	- 74.4
e64	65	65	253	348	258	111	243	52	- 5.8	- 53.4
majority	5	1	13	64	14	39	17	18	+ 21.4	- 54.7
misex2	25	18	128	363	175	433	128	60	- 26.9	- 86.1
mux	21	1	76	234	93	261	84	81	- 9.7	- 69.2
f51m	8	8	91	491	97	468	91	491	- 6.2	+ 5.0
pcler8	27	17	133	283	135	182	55	17	- 59.3	- 90.6
sao2	10	4	210	611	222	402	171	69	- 23.0	- 82.8
sct	19	15	79	319	84	297	136	129	+ 61.9	- 56.5
tcon	17	16	32	135	32	125	2	0	- 93.8	-100.0
x2	10	7	48	228	51	232	48	28.4	- 5.9	- 87.7
z4ml	7	4	41	208	45	214	41	207.5	- 8.9	- 2.9
9symml	9	1	186	1,058	193	1,312	184	191.7	- 4.7	- 85.4
Average			89	298	98	279	104	128.6	- 5.4	- 58.1

다. 실험 예제 중 tcon 회로는 17개의 입력과 16개의 출력을 가지는 multiplexor 회로이며, 그림 7 (a)에 보인 2개의 입력과 1개의 출력을 가지는 multiplexor 회로를 8개 포함한다. 제안된 알고리즘을 이용하여 합성된 tcon 회로는 입력 i에 의해 분할된 2개의 모든 회로가 tautology 함수로 합성되었으며, sis 1.2의 전력 예측 명령을 이용하여 전력 소모를 측정된 결과 전력 소모가 0이 되었다. 그림 7 (b)는 제안된 알고리즘으로 tcon 회로를 합성했을 때 7 (a) 회로에 해당하

는 부분을 보인 것이다. 표 1에서 보인 바와 같이 제안된 시스템이 sis 1.2의 script.rugged를 이용하여 최적화한 회로보다 평균 63.0% 전력 소모가 감소하고, precomputation 설계 방식보다 58.1% 줄어들어 성능이 향상되었음을 알 수 있다. MCNC 벤치마크 회로에 대한 실험을 통하여 제안된 회로 분할을 이용한 회로 합성 알고리즘이 저전력 회로 설계에 보다 효율적임을 확인하였다.



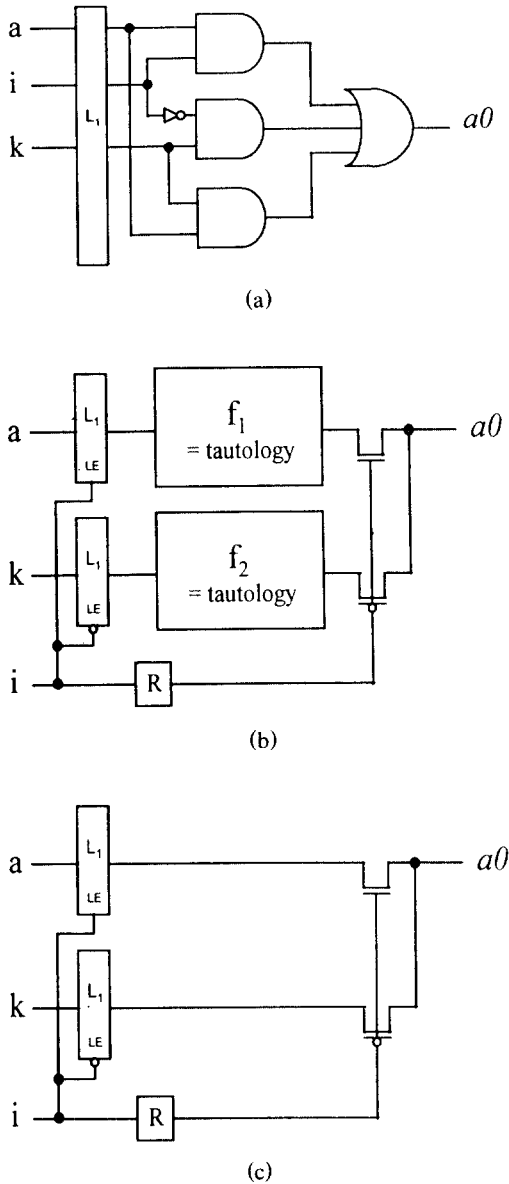


그림 7. 벤치마크 tcon 회로의 subcircuit.

- (a) 2개의 입력과 1개의 출력을 가지는 multiplexor 회로.
- (b) 제안된 구조로 합성한 회로.
- (c) 최종 회로.

Fig 7. Subcircuit in 'tcon' circuit.

- (a) A multiplexor subcircuit with 2 inputs and 1 output.
- (b) Circuit synthesized by the proposed algorithm.
- (c) The final circuit.

## V. 결론

제안된 논문에서는 저전력 회로 설계를 위한 회로 분할 알고리즘을 제안하고 구현하였다. 제안된 회로 분할 알고리즘은 동작에 불필요한 전이를 감소하여 전력 소모를 줄일 수 있도록 입력 조건에 따라 수행할 세부 회로를 결정하고, 이에 따라 다음 클럭에 다수 개의 세부 회로 중 하나를 선택하여 수행하는 구조의 회로를 합성한다. 효율적인 회로의 분할을 위하여 주어진 회로를 Shannon expansion 연산을 이용하여 재귀적으로 분할하며, 이 때 전력 소모를 효과적으로 줄일 수 있도록 입력을 선택하는 알고리즘을 제안하였다. 저전력 회로 합성 과정에서 생성된 세부 회로들은 평균 전력 소모량이 가장 큰 세부 회로를 먼저 선택하여 분할하는 것이 바람직하다. 이를 위하여 분할된 회로들은 priority queue에 평균 소모 전력 값에 따라 저장되며, priority queue에서 평균 소모 전력이 가장 큰 회로를 차례대로 꺼내어 회로 분할 과정을 재귀적으로 반복한다. 제안된 시스템은 출력 함수에 많은 영향을 미치는 입력 집합이 존재하는 경우보다 양호한 결과를 얻었으며, 회로의 입력이 대칭적이거나 반복되는 구조의 경우 선택된 입력 집합에 영향을 받는 회로 영역이 적어 전력 감소량이 상대적으로 적었다. MCNC 벤치마크 회로에 대한 실험을 통하여 제안된 저전력 회로 합성 알고리즘이 기존의 precomputation 구조보다 소모 전력 면에서 보다 효율적임이 확인되었다.

## 감사의 글

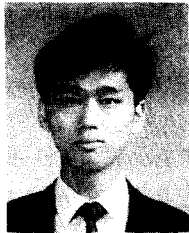
본 연구는 서울대학교 반도체 공동 연구소의 교육부 반도체 분야 학술연구 조성비의 지원(ISRC 97-E-2019)에 의해 수행되었습니다.

## 참고 문헌

1. S. Devadas, S. Malik, "A Survey of Optimization Techniques Targeting Low Power VLSI Circuits," in Proc. 32nd DAC, pp. 242-247, June 1995.
2. J. Chang, M. Pedram, "Register Allocation and Binding for Low Power," in Proc. 32nd DAC, pp. 29-35, June 1995.

3. L. Goodby, A. Orailoglu, and P. Chau, "Micro-architectural Synthesis of Performance-constrained, Low-power VLSI Designs," in Proc. ICCD, pp. 323-326, Oct. 1994.
4. A. Chandrakasan, "Low Power Digital CMOS Design," PhD Thesis, Univ. of California, Berkeley, UCB/ERL Memorandum No. M94/65, August 1994.
5. C. Tsui, M. Pedram, and A. Despain, "Exact and Approximate Methods for Switching Activity Estimation in Sequential Logic Circuits," in Proc. 31st DAC, pp. 18-23, June 1994.
6. J. Monteiro, S. Devadas, and B. Lin, "A Methodology for Efficient Estimation of Switching Activity in Sequential Logic Circuits," in Proc. 31st DAC, pp. 12-17, June 1994.
7. R. Mehra, J. Rabaey, "Behavioral Level Power Estimation and Exploration," in Proc. Int'l Workshop on Low Power Design, pp. 197-204, April 1994.
8. F. Najm, "Transition Density: A Stochastic Measure of Activity in Digital Circuits," in Proc. 28th DAC, pp. 644-649, June 1991.
9. A. Shen, S. Devadas, A. Ghosh, and K. Keutzer, "On Average Power Dissipation and Random Pattern Testability of Combinational Logic Circuits," in Proc. ICCAD, pp. 402-407, Nov. 1992.
10. C. Lemonds, S. Shetti, "A Low Power 16 by 16 Multiplier Using Transition Reduction Circuitry," in Proc. Int'l Workshop on Low Power Design, pp. 139-142, April 1994.
11. K. Roy, S. Prasad, "SYCLOP: Synthesis of CMOS Logic for Low Power Applications," in Proc. ICCD, pp. 464-467, Oct. 1992.
12. M. Alidina, J. Monteiro, S. Devadas, and A. Ghosh, "Precomputation-Based Logic Optimization for Low Power," in Proc. ICCAD, pp. 74-81, Nov. 1994.
13. S. Iman, M. Pedram, "Multi-Level Network Optimization for Low Power," in Proc. ICCAD, pp. 371-377, Nov. 1994.
14. S. Iman, M. Pedram, "Logic Extraction and Factorization for Low Power," in Proc. 32nd DAC, pp. 248-253, June 1995.
15. F. Najm, "Power Estimation Techniques for Integrated Circuits," in Proc. ICCAD, pp. 492-499, Nov. 1995.
16. H. Mehta, M. Borah, R. Owens, and M. Irwin, "Accurate Estimation of Combinational Circuit Activity," in Proc. 32nd DAC, pp. 618-622, June 1995.
17. A. Ghosh, S. Devadas, K. Keutzer, and J. White, "Estimation of Average Switching Activity in Combinational and Sequential Circuits," in Proc. 29th DAC, pp. 253-259, June 1992.
18. R. Bahar, F. Somenzi, "Boolean Techniques for Low Power Driven Re-Synthesis," in Proc. ICCAD, pp. 428-432, Nov. 1995.
19. G. De Micheli, *Synthesis and Optimization of Digital Circuits*, McGraw-Hill, 1994.
20. R. Brayton, G. Hachtel, C. McMullen, and A. Sangiovanni-Vincentelli, *Logic Minimization Algorithms for VLSI Synthesis*, Kluwer Academic Publishers, 1984.
21. Z. Kohavi, *Switching and Finite Automata Theory*, Computer Science Press, 1978.
22. C. Y. Lee, "Representation of Switching Circuits by Binary Decision Programs", Bell System Tech. Journal, Vol. 38, No. 6, pp. 985-999, July 1959.
23. S. Akers, "Binary Decision Diagrams," IEEE Trans. on Computers, Vol. C-27, No. 6, pp. 509-516, June 1978.
24. R. Bryant, "Graph-Based Algorithms for Boolean Function Manipulation," IEEE Trans. on Computers, Vol. C-35, No. 8, pp. 677-691, August 1986.
25. E. Horowitz, S. Sahni, S. Anderson-freed, *Fundamentals of Data Structure in C*, Computer Science Press, 1993.
26. A. Aziz, F. Balarin, R. Brayton, A. Sangiovanni-Vincentelli, "Sequential Synthesis Using SIS," in Proc. ICCAD, pp. 612-617, Nov. 1995.

27. E. Sentovich, K. Singh, C. Moon, H. Savoj, R. Brayton, and A. Sangiovanni-Vincentelli, "Sequential Circuit Design Using Synthesis and Optimization," in Proc. ICCD, pp. 328-333, Oct. 1992.
28. K. Parker, E. McClusky, "Probabilistic Treatment of Combinational Networks," IEEE Trans. Computers, Vol C-24, No. 6, pp. 668-670, June 1975.
29. S. Iman, M. Pedram, "Two-Level Logic Minimization for Low Power," in Proc. ICCAD, pp. 433-438, Nov. 1995.
30. C. Tsui, M. Pedram, C. Chen, and A. Despain, "Low Power State Assignment Targeting Two- and Multi-level Logic Implementations," in Proc. ICCAD, pp. 82-87, Nov. 1994.
31. R. Brayton, R. Rudell, and A. Sangiovanni-Vincentelli, "MIS: Multiple-Level Logic Optimization System," IEEE Trans. on CAD of Integrated Circuits, Vol. CAD-6, No. 6, pp 1062-1081, Nov. 1987.



**최익성(Ick Sung Choi)** 정회원  
 1992년 2월: 서강대학교 전자공학과 졸업  
 1994년 2월: 서강대학교 전자공학과 공학 석사 취득.  
 1994년 2월~현재: 동 대학원에서 박사 과정 재학 중

※주관심분야: CAD 시스템, Synthesis for Low Power, Computer Architecture 및 VLSI Testability 등임.



**김형(Hyoung Kim)** 정회원  
 1979년 2월: 서강대학교 전자공학과 졸업  
 1981년 2월: 서강대학교 전자공학과 공학 석사 취득.  
 1983년 11월: 럭키 금성 그룹 기획 조정실 근무.

1985년 1월: 럭키 엔지니어링 근무.  
 1987년 3월: 금성 소프트웨어 근무.

1992년 3월~현재: 경민 전문대학교 전자계산과 조교수  
 1997년 8월: 서강대학교 전자공학과 공학 박사 학위 취득.

※주관심분야: CAD 시스템, Logic Synthesis for Low Power, Computer Architecture 등임.



**헌민호(Min Ho Hyun)** 정회원  
 1991년 2월: 서강대학교 전자공학과 졸업  
 1993년 2월: 서강대학교 전자공학과 공학 석사 취득.  
 1993년 1월~현재: 동 대학원에서 박사 과정 재학 중

※주관심분야: VLSI CAD, Synthesis, Computer Architecture 및 HW/SW co-design 등임.

**황선영(Sun Young Hwang)** 정회원

1976년 2월: 서울대학교 전자공학과 졸업.  
 1978년 2월: 한국과학원 전기 및 전자공학과 공학석사 취득.  
 1986년 10월: 미국 Stanford 대학 전자전산공학 박사 학위 취득.

1976년~1981년: 삼성 반도체 주식회사 연구원, 팀장.  
 1986년~1989년: Stanford 대학 Center for Integrated Systems 연구소 책임 연구원  
 Fairchild Semiconductor Plao Alto Research Center 기술 자문

1989년~1992년: 삼성전자(주) 반도체 기술 자문.  
 1989년 3월~현재: 서강대학교 전자공학과 교수.  
 ※주관심분야: CAD 시스템, Computer Architecture 및 DSP Systems Design, VLSI 설계 등임.