DBpia

論文 98-23-3-12

광 어드레스 처리기에 사용한 광 수신기 종류에 따른 광 패킷 교환 노드의 성능

正會員 白 承 煥*, 辛 宗 德**, 金 惠 瑛***, 姜 哲 信****

Performance of an Optical Packet Switching Node Using Different Optical Receivers in an Optical Address Processor

Seung-Hwan Paek*, Jong-Dug Shin**, Hye-Young Kim***,
Cheoul-Shin Kang**** *Regular Members*

※본 논문은 한국전자통신연구원 광교환 연구실의 위탁연구 지원에 의한 결과임

요 약

광 패킷 어드레스 처리기의 광섬유 지연선로 정합여파기 출력에 나타나는 광 상관 펄스를 검출하기 위하여 사용한 광 수신기의 종류가 광 패킷 교환 노드의 성능에 미치는 영향을 살펴보았다. 제안된 패킷 오율 모델을 적용하여, 전산 모의 실험을 한 결과, 광섬유 지연선로 정합여파기 출력에 광 수신기로서 PIN 다이오드만을 사용한 경우에는 일정한 패킷 오율을 유지하기 위한 입력 평균 광 전력은 패킷 전송 속도의 제곱근에 비례하였으며, 어드레스 필드에 존재하는 "1" 비트 개수의 증가에 따라 산탄 잡음의 영향이 증가하였다. 반면, EDFA, 광 여파기, 그리고 PIN 다이오드로 구성된 광 수신기를 사용한 경우에는, 입력 평균 광 전력이 패킷의 전송속도에 선형적으로 비례하였으며, ASE 잡음에 의한 파워 페널티가 어드레스 코드에 의한 것보다 훨씬 크게 나타났다. 결과적으로, 전송속도가 증가함에 따라 PIN 다이오드만을 사용한 광 수신기가 EDFA를 사용한 광 수신기보다 수신감도가 양호하였다.

ABSTRACT

Performance of an optical packet switching node has been analyzed depending upon the type of the optical

*숭실대학교 전기공학과
**숭실대학교 정보통신공학과
***한국전자통신연구원 광교환연구실
****한남대학교 전자공학과
論文番號:97300-0827
接受日字:1997年 8月 27日

www.dbpia.co.kr

receiver which detects correlation pulses from the fiber-optic delay-line matched filter of the optical packet address processor. A model to calculate the packet error rates of the switching node has been proposed. The simulation results show that, for the case of the optical packet address processor using a PIN diode as the receiver, the input average optical power has a tendency to depend on the square root of the bit rates and the shot noise effect increases with the number of "1" bits in the address field at a fixed packet error rate. Otherwise, for the case of the optical packet address processor using the other receiver composed of an EDFA, an optical filter, and a PIN diode, the average optical power shows a linear dependence on the bit rates and the power penalty due to the ASE noise is much greater than that due to the address code sets. As a result, the optical receiver using a PIN diode only shows better sensitivity as the bit rate increases than that composed of an EDFA, an optical filter, and a PIN diode.

Ⅰ. 서 론

초고속, 광대역 멀티미디어 서비스를 제공하기 위해 통신망에 입력되는 광신호를 각 노드에서 광전(optical-to-electrical) 또는 전광(electrical-to-optical) 신호 변환없이 교환하므로써, 전기적인 속도 병목 현상을 피할 수 있는 완전 광 패킷 통신망에 관한 연구가 진행 중이다[1-5]. 현재까지 제안된 대부분의 광 패킷 통신망은 광 패킷 신호를 전기적인 신호로 변환하여 어드레스를 처리하므로 헤더의 속도는 전기적 신호 처리 속도의 한계인 수십 Gbps 이하로 제한되어 통신망의 성능에 많은 영향을 준다.

최근에 제안된 완전 광 패킷 교환 노드는 광섬유 지연선로 정합여파기를 광 패킷 어드레스 처리기에 사용하였기 때문에 노드에 입력되는 패킷의 어드레스를 광학적으로 처리하여 헤더 처리 시간을 감소시킬 뿐만 아니라, 광섬유 정합여파기의 지연선로 수를 증가시키면 통신망에 수용할 수 있는 노드의 수를 늘릴 수 있어 대규모 통신망 구축이 용이하다[6,7]. 광섬유 지연선로 정합여파기는 이진 펄스들로 구성되어 있는 입력 어드레스 코드를 정합여파기에 저장된 노드 어드레스와 상관시켜 M-ary신호를 발생시킨다. 이 신호는 광 수신기를 거쳐 문턱값 감지기에서 자국으로 보내진 패킷인지, 다른 노드로 전송될 패킷인지를 결정한다. 따라서, 노드로 수신되는 패킷의 오율은 광섬유 지연선로 정합여파기 출력에 사용하는 광 수신기의 종류에 영향을 받게 된다.

본 논문에서는 상관 펄스의 수신을 위해 광섬유 지연선로 정합여파기 출력에 PIN 다이오드만을 사용한 경우와 EDFA, 광 여파기, 그리고 PIN 다이오드를 사용한 경우에 대하여 전산 모의 실험에 의해 패킷 오율을 측정하므로써, 광 패킷 어드레스 처리기에 사용한 광 수신기의 종류가 노드의 패킷 오율에 미치는 영향을 비교 분석하였다. 16비트 어드레스 필드에 "1" 비트 2개를 조합한 어드레스 코드 셋과 4개를 조합한 어드레스 코드 셋, 패킷 전송속도 10, 40, 그리고 100 Gbps에 대하여 패킷 오율 모델을 적용하여 노드의 패킷 오율을 계산하였다. Ⅱ장에서는 광 패킷 어드레스 처리기를 사용한 광 패킷 교환 노드의 구조 및 동작에 관하여 간단히 설명하였으며, Ⅲ장에서는 패킷 오율 모델을 설명하였다. Ⅳ장에서는 Ⅲ장의 패킷 오율 모델을 적용하여, 서로 다른 광 수신기를 사용하는 광 패킷 어드레스 처리기에 대하여 어드레스 코드, 전송속도가 노드의 패킷 오율에 미치는 영향을 비교, 분석하였다. 마지막으로 Ⅴ장에서는 본 연구의 결과를 정리하였다.

Ⅱ. 광 패킷 교환 노드의 구조 및 동작

1.55㎛ 광 패킷 교환 노드 링크는 그림 1과 같이 두 개의 광 패킷 교환 노드 A, B와 광 링크로 구성되며 각 노드는 송신기(TX), 수신기(RX), 광 스위치(Optical SW), 광섬유 지연선로(Fiber Delay Line), 편광 조절기(Polarization Controller: PC), 광 패킷 어드레스 처리기(Optical Address Processor), 펄스 발생기(Pulse Generator), 광 증폭기(Optical Amp), 그리고 광섬유 결합기(Fiber Coupler)로 구성된다.

패킷 어드레스를 광학적으로 처리할 수 있는 광 패

www.dbpia.co.kr

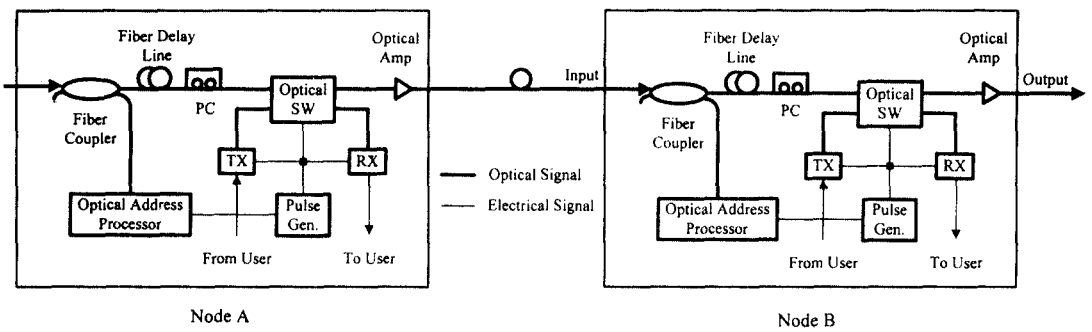


그림 1. 완전 광 패킷 교환 노드 링크.

Fig. 1 Schematic diagram of the all-optical packet switching node link.

킷 어드레스 처리기는 다음과 같은 두 종류를 사용하였다. 첫 번째는, 그림 2(a)와 같이 광섬유 결합기와 금속 박막이 증착된 광섬유 지연선로를 이용하여 입력 어드레스 코드에 따라 상관 펄스 열을 발생하는 광섬유 지연선로 정합여파기와 PIN 다이오드, 그리고 자기 상관 펄스 열과 교차 상관 펄스 열의 중앙 펄스의 크기를 비교하여 올바른 패킷을 검출할 수 있는 문턱값 감지기(threshold detector)로 구성되었으며, 두 번째는 그림 2(b)와 같이 광섬유 지연선로 정합여파기, EDFA, 광 여파기, PIN 다이오드, 그리고 문턱값 감지기로 구성되었다.

광 패킷 교환 노드의 동작은 다음과 같다. 노드로 입력된 패킷 신호는 광섬유 결합기에서 분리되어, 어드레스 처리를 위해 광 패킷 어드레스 처리기로 입력된다. 입력된 광 패킷 신호는 2x2 3 dB 광섬유 결합기들에 의해 동일한 패킷으로 분기된 후, 노드 어드레

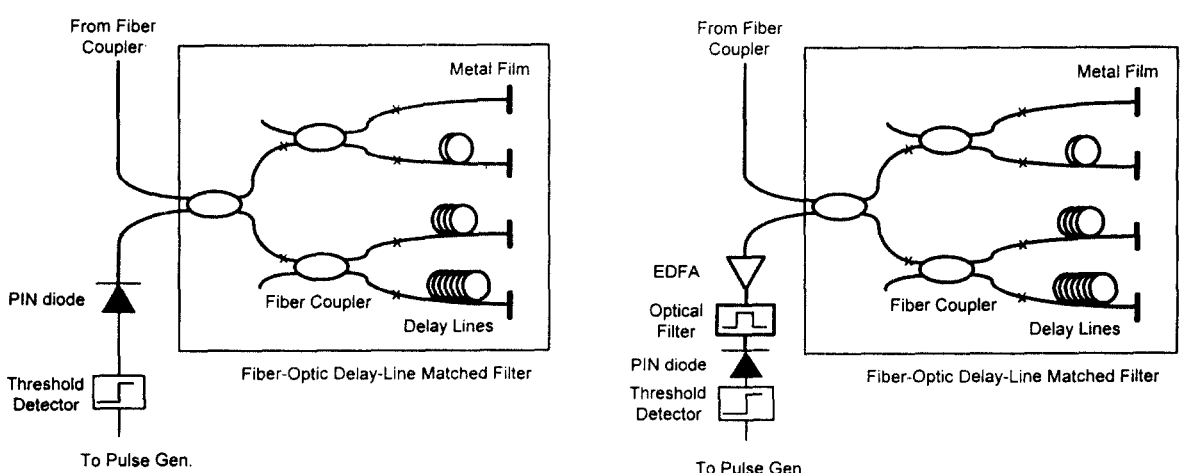


그림 2. (a) 광섬유 지연선로 정합여파기와 PIN 다이오드, 그리고 문턱값 감지기로 구성된 광 패킷 어드레스 처리기, (b) 광섬유 지연선로 정합여파기, EDFA, 광 여파기, PIN 다이오드, 그리고 문턱값 감지기로 구성된 광 패킷 어드레스 처리기.

Fig. 2 Schematic diagram of the optical packet address processor composed of (a) a fiber-optic delay-line matched filter, a PIN diode, and a threshold detector and (b) a fiber-optic delay-line matched filter, an EDFA, an optical filter, a PIN diode, and a threshold detector.

www.dbpia.co.kr

스가 저장된 광섬유 지연선로에 입력된다. 광섬유 지연선로의 수는 어드레스 필드에 존재하는 "1" 비트들의 수와 같다. 광섬유 지연선로를 통과한 패킷들은 광섬유 지연선로 단면에 위치하는 금속 박막에 의해 반사되어 다시 광섬유 지연선로에 지연된 후, 광섬유 결합기들에 의해 결합되어 상관 펄스 열을 출력한다. 입력되는 패킷의 어드레스가 노드의 어드레스와 같으면 (2x어드레스 필드 길이-1)의 길이를 갖는 자기 상관 펄스 열의 중앙에 어드레스 필드에 존재하는 "1" 비트들의 합에 해당하는 레벨의 자기 상관 출력 펄스를 발생하고, 어드레스가 상이하면 자기 상관 중앙 펄스 레벨보다 작은 레벨들을 갖는 교차 상관 펄스 열을 출력시킨다. 광섬유 지연선로 정합여파기에서 출력된 광 상관 펄스는 광 수신기에 의해서 전기 신호로 변환된 후, 자기 상관 펄스 열의 중앙 펄스 레벨과 교차 상관 펄스 열의 중앙 펄스들의 최대 레벨 사이에 설정된 문턱값을 갖는 문턱값 감지기에 의해 어드레스 일치 여부가 결정된다. 입력되는 패킷의 목적지 어드레스가 노드의 어드레스와 일치할 경우, 문턱값 감지기 출력에 연결된 펄스 발생기는 디지털 레벨 "1"에 해당되는 펄스를 발생시켜 패킷의 페이로드 시간 동안 광 스위치를 구동시켜 패킷을 수신하며, 이 때 채널은 휴지 상태에 있게 되므로 송신 버퍼에 저장되어 있는 패킷을 광 스위치를 통해 송신한다. 입력 패킷의 목적지 어드레스가 노드의 어드레스와 일치하지 않을 경우에는, 펄스 발생기가 디지털 레벨 "0"에 해당되는 펄스를 발생시키므로, 패킷 신호는 노드에서 수신되지 않고 광 패킷 신호 경로의 광 증폭기에 의해 증폭된 후, 다음 노드로 전송된다. 광 패킷 신호의 경로에 위치한 광섬유 지연선로는 패킷의 페이로드가 광 스위치의 입력에 도착하기 전에 광 스위치 상태를 변환시킬 수 있도록 어드레스 처리 경로에서 발생되는 시간 지연을 보상한다.

Ⅲ. 패킷 오율 모델

통신망에 수용할 수 있는 노드의 수는 어드레스 코드의 개수와 같으며, 다음과 같이 결정된다. 어드레스 필드의 길이를 n, 어드레스 필드에 존재하는 "1" 비트의 수를 광섬유 정합여파기의 광섬유 지연선로 탭의 수와 같은 p라고 하면, 총 어드레스 코드의 수 N은 $n!/[p!(n-p)!]$가 된다. 슬라티드 링 통신망에서 각 노드가 통신망의 모든 다른 노드들로 패킷을 전송할 확률이 균등 분포라고 가정하면, 각 노드에서의 패킷 오율은 다음과 같이 구할 수 있다. 노드 A로 부터 노드 B의 어드레스를 갖는 패킷이 전송될 경우, 광섬유 지연선로 정합여파기 출력에서 발생되는 자기 상관 중앙 펄스 레벨이 잡음으로 인해서 설정된 문턱값보다 낮게 되면 패킷이 노드 B에서 수신되지 않고 다음 노드로 바이패스되므로 에러가 발생된다. 또한, 다른 노드의 어드레스를 갖는 패킷이 노드 B로 전송될 경우, 광섬유 지연선로 정합여파기 출력에서 발생되는 교차 상관 중앙 펄스가 잡음으로 인해 문턱값보다 높은 레벨의 신호가 발생되면, 패킷이 노드 B로 수신되므로 에러가 발생된다. 따라서, 노드 B에서 발생하는 패킷 오율은 위의 두 오율의 합으로서, 식 (1)과 같이 표현된다[8].

$$P_e = P_c\,P(error\,|\,correct\ addr.) + P_w \sum_{j=1}^{p-1} P(j)$$

$$P(error\,|\,coross-correlation\ center\ pulse\ amp\ j)$$

$$= \frac{1}{N}\left[\int_{-\infty}^{I_{th}} \frac{1}{\sqrt{2\pi\sigma_p^2}}\, e^{-\frac{(I-I_0)^2}{2\sigma_p^2}}\, dI + \frac{N-1}{N}\right.$$

$$\left[P(0)\int_{I_{th}}^{\infty} \frac{1}{\sqrt{2\pi\sigma_0^2}}\, e^{-\frac{(I-I_0)^2}{2\sigma_0^2}}\, dI\right.$$

$$+P(1)\int_{I_{th}}^{\infty} \frac{1}{\sqrt{2\pi\sigma_1^2}}\, e^{-\frac{(I-I_1)^2}{2\sigma_1^2}}\, dI + \cdots + P(p-1)$$

$$\left.\left.\int_{I_{th}}^{\infty} \frac{1}{\sqrt{2\pi\sigma_{p-1}^2}}\, e^{-\frac{(I-I_{p-1})^2}{2\sigma_{p-1}^2}}\, dI\right]\right] \qquad (1)$$

여기서, P_c는 노드 B에서 자신의 어드레스를 갖고 있는 패킷을 수신할 확률(=1/N)이고, $P(error|correct\ addr.)$는 노드 B의 어드레스를 갖는 패킷이 수신되었을 때 어드레스 처리기 출력인 자기 상관 펄스 열의 중앙 펄스 레벨이 문턱값보다 낮을 확률이다. P_w는 다른 노드의 어드레스를 갖는 패킷이 노드 B로 수신될 확률(=$(N-1)/N$)이며, $P(j)$는 다른 노드의 어드레스를 갖는 패킷이 노드 B로 수신되어 어드레스 처리기 출력에 발생된 교차 상관 중앙 펄스 레벨이 j일 확률을 나타낸다. $P(error|cross\text{-}correlation\ center\ pulse$

www.dbpia.co.kr

amp j)는 노드 A에서 노드 B가 아닌 다른 노드로 전송되는 패킷으로 인해 노드 B의 어드레스 처리기 출력에서 발생된 교차 상관 중앙 펄스 레벨이 잡음으로 인해 문턱값보다 높게될 확률을 의미한다. I_{th}는 패킷 오율이 최소가 되는 문턱값 전류이다.

노드에서 발생되는 잡음은 어드레스 처리기에 사용한 광 수신기의 종류에 의해 결정된다. 광 수신기로서 PIN 다이오드만을 사용한 경우에, 중앙 상관 펄스 레벨이 j인 신호의 총 잡음 전력은 열잡음, σ_T^2 과 레벨 j인 신호의 산탄잡음, σ_{sj}^2 의 합으로서 식 (2)와 같이 표현된다.

$$\sigma_j^2 = \sigma_T^2 + \sigma_{sj}^2 \tag{2}$$

또한, 전송 손실과 광섬유 지연선로 정합여파기에서 패킷 분리 및 결합에 의한 손실을 보상하기 위해 광섬유 지연선로 정합여파기 출력에 전치 증폭기로 EDFA를 사용한 광 수신기의 경우에, 중앙 상관 펄스 레벨이 j인 신호의 총 잡음 전력은 식 (3)과 같다.

$$\sigma_j^2 = \sigma_T^2 + \sigma_{sj}^2 + \sigma_{sp-sp}^2 + \sigma_{sigj-sp}^2 + \sigma_{s-sp}^2 \tag{3}$$

여기서, σ_{sp-sp}^2 는 EDFA의 자려 방출간의 비트 잡음, $\sigma_{sigj-sp}^2$ 는 레벨 j인 신호와 자려 방출간의 비트잡음, σ_{s-sp}^2 는 산탄 잡음과 자려 방출간의 비트 잡음을 나타낸다. 이들 부가 잡음은 가우시안 분포를 갖는다고 가정한다. 식 (2)와 (3)의 잡음 성분들은 각각 다음과 같이 주어진다[9, 10].

$$\sigma_T^2 = NEP^2\, \Delta f\, R^2 \tag{4}$$
$$\sigma_{sj}^2 = 2q\, RGP_j\, \Delta f \tag{5}$$
$$\sigma_{sp-sp}^2 = (q\,\eta\, G\, F_n)^2\, \Delta\nu_{opt}\, \Delta f \tag{6}$$
$$\sigma_{sigj-sp}^2 = 2R\,\eta\, q\, G^2\, F_n\, P_j\, \Delta f \tag{7}$$
$$\sigma_{s-sp}^2 = 2q^2\,\eta\, G\, F_n\, \Delta\nu_{opt}\, \Delta f \tag{8}$$

여기서, NEP는 PIN 다이오드의 잡음 등가 전력, F_n은 EDFA의 잡음 지수, Δf는 수신기의 대역폭, R은 PIN 다이오드의 응답도(responsivity), P_j는 레벨이 j인 펄스의 전력, η는 다이오드의 양자화 효율, G는 EDFA의 이득, $\Delta\nu_{opt}$는 광 여파기의 대역폭이다. 전산 모의 실험에서 NEP는 2×10^{-12} W/$\sqrt{Hz}$, R과 η는 1, G는 20 dB, F_n은 5 dB, Δf는 전송속도의 1/2, $\Delta\nu_{opt}$는 1 nm로 가정하였다.

어드레스 필드의 길이 n은 16 비트, 어드레스 필드에 존재하는 "1" 비트의 수 p는 각각 2와 4인 경우에 대해 전산 모의 실험을 통해 어드레스 코드를 모두 교차 상관시켜 구한 교차 상관 중앙 펄스 레벨의 발생 횟수는 표 1과 같다. p가 2인 경우, 자신의 어드레스를 갖는 패킷을 수신할 확률 P_c와 다른 노드의 어드레스를 갖는 패킷을 수신될 확률 P_w는 각각 1/120, 119/120이며, 120개의 어드레스 코드를 교차 상관시켜 발생된 중앙 펄스의 레벨 0은 91개, 레벨 1은 28개, 즉 $P(0)=91/119$, $P(1)=28/119$이다. p가 4인 경우에는, $P_c=1/1820$, $P_w=1819/1820$이며, $P(0)=495/1819$, $P(1)=880/1819$, $P(2)=396/1819$, $P(3)=48/1819$가 된다.

표 1. $p=2$와 4인 경우, 총 어드레스 코드의 수 N과 교차 상관 중앙 펄스 레벨의 발생 횟수.

Table 1. Total number of address codes, N, and the number of cross-correlation center pulse peak levels for $p=2$ and 4.

p	N	교차 상관 중앙 펄스 레벨의 발생 빈도			
		0	1	2	3
2	120	91	28		
4	1820	495	880	396	48

Ⅳ. 패킷 오율 전산 모의 실험 결과 및 분석

광섬유 지연선로 정합여파기 출력에 광 수신기로서 PIN 다이오드만을 사용한 경우와 이득과 잡음지수가 각각 20 dB와 5 dB인 EDFA, 통과 대역폭이 1 nm인 광 여파기, 그리고 PIN 다이오드를 사용하는 경우에 노드의 패킷 오율을 계산하기 위하여 III장의 패킷 오율 모델을 적용하였다. 16비트 어드레스 필드에 2개의 "1" 비트가 포함된 어드레스 코드 셋과 4개의 "1" 비트가 포함된 어드레스 코드 셋을 사용한 경우의 패킷 오율을 비교하여, 어드레스 코드가 광 패킷 교환 노드의 성능에 미치는 영향을 살펴보았다. 또한, 10, 40 그리고 100 Gbps의 전송속도에서 패킷 오율을 구하여, 패킷 전송속도와 노드의 입력 평균

www.dbpia.co.kr

광 전력과의 관계를 구하였다. 패킷 오율을 광섬유 정합여파기 입력에 인가되는 평균 전력의 함수로 표시하기 위해, 평균 광 전력은 패킷 어드레스 필드 내에 있는 "1" 비트 펄스들의 평균 전력으로 정의하였다. p가 2인 어드레스 코드를 검출하는 경우에는 광섬유 지연선로 정합여파기에 3 dB 광섬유 결합기가 한 개 필요하므로 광 패킷 어드레스 처리기의 삽입 손실은 6.02 dB이고 자기 상관 펄스열의 중앙 펄스의 크기가 2이다. 또한, p가 4인 어드레스 코드들의 경우는 3개의 3 dB 광섬유 결합기로 구성되므로 12.04 dB의 삽입 손실이 발생하며, 자기 상관 중앙 펄스의 크기가 4이다. 따라서, 이들 광 패킷 어드레스 처리기의 삽입 손실 및 상관 펄스열의 중앙 펄스 크기를 고려하여 패킷 오율을 계산하였다.

4.1 최적 문턱값

패킷 오율은 문턱값에 따라 변하게 되므로 패킷 오율이 최소가 되는 최적 문턱값을 구한 후에, 패킷 오율을 계산하여야 한다. 입력 광신호 전력을 일정 범위 내의 값으로 고정시킨 다음, 문턱값을 교차 상관의 최대 레벨로부터 자기 상관 중앙 펄스 레벨까지 변화시키면서 각각의 문턱값에서 패킷 오율을 계산하고, 다시 입력 광 전력을 미세하게 변화시킨 다음 패킷 오율을 계산하는 과정을 반복하여, 최소 패킷 오율이 발생하는 문턱값을 최적 문턱값으로 결정하였다. 표 2에 광 수신기의 종류와 전송속도, 그리고 어드레스 코드 셋에 따른 최적 문턱값을 나타내었다. EDFA를 사용하는 경우는 각 어드레스 코드 셋에 대하여 전송속도에 의한 최적 문턱값의 변화는 거의 발생하지 않았으나, PIN 다이오드만을 사용한 경우에는 전송속도가 증가함에 따라 문턱값이 낮아진다.

표 2. 광 수신기의 종류와 전송속도, 그리고 어드레스 코드 셋에 따른 최적 문턱값.

Table 2. Optimum threshold depending on the type of the optical receiver, data rate, and the address code set.

광 수신기 \ 전송속도(Gbps)		10	40	100
PIN diode only	$p=2$	1.523	1.513	1.501
	$p=4$	3.536	3.527	3.524
EDFA ($G=20$, $F_n=5$ dB)	$p=2$	1.456	1.454	1.454
	$p=4$	3.512	3.512	3.512

4.2 전송속도에 따른 패킷 오율

광섬유 지연선로 정합여파기 출력에 PIN 다이오드만을 사용한 어드레스 처리기와 EDFA, 광 여파기, 그리고 PIN 다이오드를 사용한 광 패킷 어드레스 처리기가 있는 광 패킷 교환 노드에 대해 패킷의 전송속도가 패킷 오율에 미치는 영향을 살펴보았다.

그림 3은 각각의 광 수신기를 사용하는 노드에 대하여, p가 2인 어드레스 코드 셋과 전송속도 10, 40, 그리고 100 Gbps인 경우, 광섬유 지연선로 정합여파기 입력 광 전력에 대한 패킷 오율 곡선을 나타내며, 그림 4에는 p가 4인 어드레스 코드 셋에 대한 패킷 오율 곡선을 나타내고 있다. 표 3에는 각각의 경우에 대하여 패킷 오율 10^{-9}에서의 입력 평균 광 전력을 정리하였다.

그림 3과 표 3으로 부터, PIN 다이오드만을 광 수신기로 사용한 경우, p가 2인 어드레스 코드에 대해, PIN 다이오드 광 수신기를 사용한 경우에는 전송속도가 10, 40, 100 Gbps일 때, 광 패킷 어드레스 처리기 입력의 평균 광 전력이 각각 −30.534, −27.123, −24.679 dBm에서 10^{-9}의 패킷 오율을 얻었으며, $G=20$ dB와 $F_n=5$ dB인 EDFA를 사용한 광 수신기의 경우에는, 전송속도가 10, 40, 100 Gbps일 때, 광 패킷 어드레스 처리기 입력에서 평균 광 전력이 각각 −33.196, −27.252, −23.289 dBm에서, 10^{-9}의 패킷 오율을 얻었다. PIN 다이오드 광 수신기를 사용한 경우가 EDFA를 사용한 경우보다 전송속도가 10 Gbps일 때는, 약 2.662 dB의 파워 페널티를 발생하였으며, 전송속도가 40 Gbps로 증가하면, 0.129 dB의 파워 페널티가 발생하나 100 Gbps로 증가하면 반대로 EDFA를 광 수신기에 사용한 경우에 1.390 dB의 페널티가 발생한다.

그림 4와 표 3으로 부터, p가 4인 어드레스 코드의 경우에 대해 살펴보면, PIN 다이오드 광 수신기를 사용한 경우에는 패킷의 전송속도가 각각 10, 40, 100 Gbps 일 때, 광 패킷 어드레스 처리기 입력의 평균 광 전력이 각각 −21.404, −17.548, −14.651 dBm에서 10^{-9}의 패킷 오율을 얻었으며, $G=20$ dB와 $F_n=5$ dB

www.dbpia.co.kr

인 EDFA를 사용한 광 수신기의 경우에는, 전송속도가 각각 10, 40, 100 Gbps에서, 광 패킷 어드레스 처리기 입력 평균 광 전력이 각각 −21.158, −15.153, −11.176 dBm일 때 10^{-9}의 패킷 오율을 얻었다. $p=2$인 경우와 달리 모든 전송속도에서 PIN 다이오드 광 수신기를 사용한 경우가 EDFA를 사용한 경우보다 오율 특성이 좋음을 알 수 있다. 즉, EDFA를 사용한

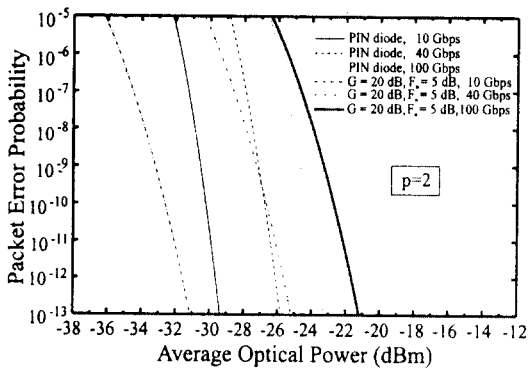


그림 3. $p=2$인 어드레스 코드 셋에 대해, 서로 다른 광 수신기를 사용한 경우에, 광 패킷 어드레스 처리기 입력의 평균 광 전력에 대한 패킷 오율.

Fig. 3 Packet error probability vs. the average optical power at the input of the optical packet address processor using different optical receivers for $p=2$.

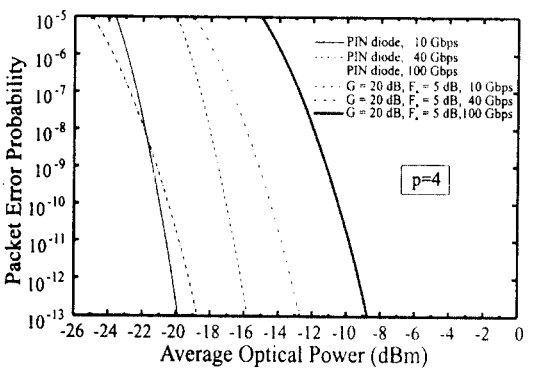


그림 4. $p=4$인 어드레스 코드 셋에 대해, 서로 다른 광 수신기를 사용한 경우에, 광 패킷 어드레스 처리기 입력의 평균 광 전력에 대한 패킷 오율.

Fig. 3 Packet error probability vs. the average optical power at the input of the optical packet address processor using different optical receivers for $p=4$.

표 3. 광 수신기의 종류와 전송속도, 그리고 어드레스 코드 셋에 대해, 10^{-9} 패킷 오율을 얻기 위한 광 패킷 어드레스 처리기 입력의 평균 광 전력.

Table 3. The average optical power at the input of the optical packet address processor depending on the type of the optical receiver, data rate, and the address code set at a packet error probability of 10^{-9}.

전송속도(Gbps) / 광 수신기		10	40	100
PIN diode only	$p=2$	−30.534 dBm	−27.123 dBm	−24.679 dBm
	$p=4$	−21.404 dBm	−17.548 dBm	−14.651 dBm
EDFA ($G=20$ dB, $F_n=5$ dB)	$p=2$	−33.196 dBm	−27.252 dBm	−23.289 dBm
	$p=4$	−21.158 dBm	−15.153 dBm	−11.176 dBm

광 수신기가 PIN 다이오드만을 사용한 광 수신기와 비교할 때, 10, 40, 그리고 100 Gbps의 전송속도에서 각각 약 0.246, 2.395, 그리고 3.475 dB의 파워 페널티를 발생한다.

이상의 결과는 식 (4)-(8)로부터 알 수 있듯이, EDFA를 사용하는 광 패킷 어드레스 처리기에서는 열잡음과 산탄잡음이외에 ASE잡음이 전송속도에 따라 증가하기 때문에, 광섬유 정합여파기 출력에 나타나는 M-ary 상관 펄스의 S/N비는 전송속도가 점차 증가함에 따라PIN 다이오드만을 사용한 광 패킷 어드레스 처리기보다 낮게 되기 때문이다. 따라서, 고속 광 패킷 시스템에서는 PIN 다이오드만을 사용한 광 패킷 어드레스 처리기를 사용하는 것이 적합하다.

표 4에는 각각의 광 수신기에 대하여 전송속도가 증가함에 따라 10^{-9} 패킷 오율을 얻기 위해 광 패킷 어드레스 처리기 입력에서 부가적으로 요구되는 평균 광 전력을 도시하였다. PIN 다이오드만을 사용한 경우에, p가 2인 어드레스 코드 셋에 대해 살펴보면 전송속도가 10 Gbps에서 40 Gbps로 4배 증가했을 때 약 3.4 dB(2.19배), 100 Gbps로 증가하면 광 전력이 약 5.9 dB(3.85배) 증가되어야 10^{-9}의 패킷 오율을 유지하게 된다. 또한, p가 4인 어드레스 코드 셋의 경우에는 전송속도가 10 Gbps에서 40 Gbps 그리고 100 Gbps로 증가했을 때 각각 약 3.9 dB(2.43배), 6.8 dB (4.73배) 증가되어야 10^{-9}의 패킷 오율을 유지하게 된다. 따라서, PIN 다이오드만을 사용한 수신기는 열잡

www.dbpia.co.kr

음 제한 시스템과 같이 입력 평균 광 전력이 전송속도의 제곱근에 근사하게 비례함을 알 수 있으며, 어드레스 필드의 "1" 비트의 개수가 증가함에 따라 광섬유 지연선로 정합여파기 출력에 나타나는 상관 펄스의 레벨 수가 증가하게 되어 점차 산탄잡음에 의한 영향이 커짐을 알 수 있다.

표 4. 전송속도가 10 Gbps에서 40, 100 Gbps로 증가함에 따라 10^{-9} 패킷 오율을 얻기 위해 광 패킷 어드레스 처리기 입력에서 부가적으로 요구되는 평균 광 전력.

Table 4. The additional average optical power at the input of the optical packet address processor as the bit rate increases from 10 Gbps to 40 and 100 Gbps.

전송속도 증가량(배) / 광 수신기		4	10
PIN diode only	$p=2$	3.411 dB	5.855 dB
	$p=4$	3.856 dB	6.753 dB
EDFA ($G=20$ dB, $F_n=5$ dB)	$p=2$	5.944 dB	9.907 dB
	$p=4$	6.005 dB	9.982 dB

반면, EDFA를 사용한 광 패킷 어드레스 처리기의 경우, p가 2인 어드레스 코드 셋에서는 전송속도가 10 Gbps에서 40 Gbps로 4배 증가했을 때 약 5.9 dB (3.89배), 100 Gbps로 10배 증가하면 광 전력이 약 9.9 dB(9.79배) 증가되어야 10^{-9}의 패킷 오율을 유지하며, p가 4인 어드레스 코드 셋의 경우에는 전송속도가 10 Gbps에서 각각 40 Gbps와 100 Gbps로 증가했을 때 약 6.0 dB(3.99배)와 10.0 dB(9.96배) 증가되어야 한다. 따라서, EDFA를 사용한 광 수신기는 산탄잡음 제한된 이진 신호 수신 시스템과 마찬가지로 입력 평균 광 전력이 전송속도에 선형적으로 비례한다.

4.3 어드레스 코드에 따른 패킷 오율의 변화

어드레스 필드에 "1" 비트의 수가 증가하면 어드레스 코드의 수는 증가하지만, 광섬유 지연선로 정합여파기 구성을 위한 광섬유 결합기 수의 증가에 의한 손실의 증가와 광섬유 지연선로 정합여파기 출력 레벨의 증가에 의한 잡음의 증가로 일정한 패킷 오율을 유지하기 위해서는 입력 광 전력이 증가하여야 한다. 따라서, 각각의 광 수신기를 사용하는 광 패킷 교환 노드에 대하여 어드레스 코드에 의한 오율의 변화, 특히 어드레스 필드에 존재하는 "1" 비트의 개수가 증가함에 따라 발생하는 잡음이 오율에 미치는 영향에 관하여 살펴보았다.

4.2절의 표 3으로 부터, 어드레스 필드에 존재하는 "1" 비트의 수가 2에서 4로 증가함에 따라 광섬유 지연선로 정합여파기에 사용하는 광섬유 결합기 수의 증가로 인한 손실 6.021 dB와 어드레스 필드의 "1" 비트 수의 증가에 따른 평균 광 전력의 차이 3.010 dB를 제외한 잡음의 증가만을 표 5에 도시하였다.

PIN 다이오드를 광 수신기로 사용하는 경우, 10^{-9} 패킷 오율과 10 Gbps의 전송속도에서 광 패킷 어드레스 처리기 입력 평균 광 전력은 p가 2에서 4로 증가했을 때, 광섬유 지연선로 정합여파기 출력 레벨 수의 증가에 의한 산탄잡음의 영향은 0.099 dB이며, 40 Gbps와 100 Gbps에서는 각각 0.544 dB와 0.997 dB이다.

또한, EDFA를 사용한 경우에는 전송속도가 각각 10, 40, 그리고 100 Gbps일 때, 잡음 증가로 인해 광 패킷 어드레스 처리기 입력에서 요구되는 평균 광 전력은 각각 3.007 dB, 3.068 dB, 그리고 3.082 dB이다.

광 패킷 어드레스 처리기의 광 수신기로 PIN 다이오드를 사용한 경우에는 어드레스 필드 의 "1" 비트 수가 증가함에 따라 광섬유 지연선로 정합여파기 출력 레벨의 증가로 산탄 잡음의 영향이 점차 증가함을 알 수 있으며, EDFA를 사용한 광 패킷 어드레스 처리기는 산탄잡음의 영향보다는 EDFA의 ASE에 의한 영향이 지배적임을 알 수 있다.

표 5. p가 2에서 4로 증가했을 때, PIN 다이오드를 광 수신기로 사용한 경우와 EDFA를 사용한 경우의 잡음에 의한 파워 페널티.

Table 5. The power penalty due to noise for different optical receivers used in the optical packet address processor when the number of "1" bits in the address field increases from 2 to 4.

전송속도(Gbps) / 광 수신기	10	40	100
PIN diode only	0.099 dB	0.544 dB	0.997 dB
EDFA ($G=20$ dB, $F_n=5$ dB)	3.007 dB	3.068 dB	3.082 dB

www.dbpia.co.kr

Ⅳ. 결 론

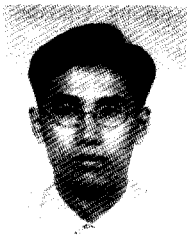
광 패킷 어드레스 처리기의 광섬유 지연선로 정합 여파기 출력에 나타나는 광 상관 펄스의 검출을 위해 PIN 다이오드만을 사용한 광 수신기와 EDFA와 광 여파기, 그리고 PIN 다이오드를 사용한 광 수신기가 광 패킷 교환 노드의 성능에 미치는 영향을 살펴보았다. 16비트 어드레스 필드에 "1" 비트 2개를 조합한 어드레스 코드 셋과 4개를 조합한 어드레스 코드 셋을 사용하여 어드레스 코드가 패킷 오율에 미치는 영향과, 10, 40, 그리고 100 Gbps의 패킷 전송속도에서 광섬유 지연선로 정합 여파기 입력의 평균 광 전력과 패킷 오율에 관한 관계를 살펴보았다. 성능 분석을 위해 광 패킷 교환 노드의 패킷 오율 모델을 적용하여, 전산 모의 실험으로 패킷 오율을 구하였다. 광섬유 지연선로 정합여파기 출력에 광 수신기로서 PIN 다이오드만을 사용한 경우에는 일정한 패킷 오율을 유지하기 위한 입력 평균 광 전력은 패킷 전송 속도의 제곱근에 근사적으로 비례하였으며, 어드레스 필드에 존재하는 "1" 비트 개수의 증가에 따라 산탄잡음의 영향이 증가하였다. 반면, 이득이 20dB이고 잡음 지수가 5 dB인 EDFA, 통과 대역폭이 1nm인 광 여파기, 그리고 PIN 다이오드로 구성된 광 수신기를 광 패킷 어드레스 처리기에 사용한 노드의 경우에는, 입력 평균 광 전력이 패킷의 전송속도에 선형적으로 비례하였으며, ASE 잡음 중에서 신호와 자려 방출간의 비트 잡음에 의한 파워 페널티가 어드레스 코드의 "1" 비트 수의 증가에 따른 산탄 잡음에 의한 파워 페널티보다 훨씬 크게 나타났다. 두 종류의 광 수신기 성능을 비교한 결과, $p=2$인 어드레스 코드를 사용한 경우에는 PIN 다이오드만을 사용하는 광 수신기가 40Gbps 이상의 전송 속도에서는 EDFA를 사용하는 광 수신기 보다 수신 감도가 높았으며, $p=4$인 어드레스 코드의 경우, PIN 다이오드만을 사용하는 광 수신기에서는 10, 40, 100Gbps의 모든 전송 속도에서 EDFA를 사용하는 광 수신기 보다 수신 감도가 높았다. 결론적으로, 광 수신기로서 PIN 다이오드만을 사용한 광 패킷 어드레스 처리기가 EDFA 전치 증폭기를 사용한 광 수신기를 사용하는 광 패킷 어드레스 처리기의 수신감도가 패킷의 전송속도가 증가함에 따라 좋아져 고속 광 패킷 교환 시스템에 보다 적합하다는 것을 알 수 있었다.

참 고 문 헌

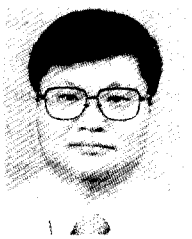
1. Paul E. Green, "Optical Networking Update," *IEEE J. Select. Areas in Commun.*, vol 14, no. 5, pp. 764-779, June 1996.
2. I. P. Kaminow et al., "A Wideband All-Optical WDM Network," *IEEE J. Select. Areas in Commun.*, vol 14, no. 5, pp. 780-799, June 1996.
3. F. Masetti *et al.*, "High Speed, High Capacity ATM Optical Switches for Future Telecommunication Transport Networks," *IEEE J. Select. Areas in Commun.*, vol 14, no. 5, pp. 979-998, June 1996.
4. Richard A. Barry *et al.*, "All-Optical Network Consortium-Ultrafast TDM Networks," *IEEE J. Select. Areas in Commun.*, vol 14, no. 5, pp. 999-1013, June 1996.
5. Seung-Woo Seo, Keren Bergman, and Paul R. Prucnal, "Transparent Optical Networks with Time-Division Multiplexing," *IEEE J. Select. Areas in Commun.*, vol 14, no. 5, pp. 1039-1051, June 1996.
6. Cheoul-Shin Kang, Byung-Seok Park, Jong-Dug Shin, and Je-Myung Jeong, "A Broadband Ring Network : Multichannel Optical Slotted Ring," *Computer Networks and ISDN Systems*, vol. 27, pp. 1387-1398, 1995.
7. Jong-Dug Shin, Min-Yong Jeon, and Cheoul-Shin Kang, "Fiber-optic matched filters with metal films deposited on fiber delay-line ends for optical packet address detection," *IEEE Photon. Technol. Lett.*, vol. 8, pp. 941-943, 1996.
8. Jong-Dug Shin, Seung-Hwan Paek, and Yong Hyub Won, "Performance of an All-optical Packet Switching Node Link with Fiber-Optic Delay-Line Matched Filters," *Proc. IEEE LEOS'97 10th Annual Meeting*, vol. 2, pp. 548-549, San Francisco, CA, Nov. 10-13, 1997.
9. G. P. Agrawal, *Fiber-optic communication systems*, John & Wiley Sons, New York, 1992.
10. R. C. Steele, G. R. Walker, and N. G. Walker,

www.dbpia.co.kr

"Sensitivity of Optically Preamplified Receivers with Optical Filtering," *IEEE Photon. Technol. Lett.*, vol. 3, no. 6, pp. 545-547, June 1991.



白 承 煥(Seung Hwan Paek) 학생회원
1973년 7월 11일생
1996년 2월 : 숭실대학교 정보통신공학과 공학사
1998년 2월 : 숭실대학교 전기공학과 공학석사
※주관심분야 : 완전광통신망, 광교환, 광신호처리



辛 宗 德(Jong-Dug Shin) 정회원
1976년~1981년 : 연세대학교, 전자공학과(학사)
1984년~1988년 : University of Texas at Austin, 전기 및 컴퓨터 공학과(석사)
1988년~1991년 : Texas A&M University, 전기공학과(박사)
1980년~1983년 : 대영전자공업(주) 개발부, 계장
1991년~1995년 : 한국전자통신연구소, 선임연구원
1995년~현재 : 숭실대학교, 정보통신공학과 교수
※주관심분야 : 완전광통신망, 광교환, 광신호처리, 광섬유 소자

金 惠 瑛(Hye-Young Kim) 정회원
1981년 2월 : 이화여자대학교 물리학과(학사)
1989년 6월 : Pennsylvania State University, 물리학과(Ph.D.)
1989년 7월~1992년 7월 : Pennsylvania State University, 화학과(PostDoc)
1993년 2월~현재 : 한국전자통신연구원, 광교환연구실(선임연구원)
※주관심분야 : 광교환, 광소자, 광섬유 레이저

姜 哲 信(Cheoul-Shin Kang) 정회원
1972년~1979년 : 한양대학교, 전자공학과(학사)
1984년 : Oregon State University, 전기 및 컴퓨터공학과(석사)
1987년 : Oregon State University, 전기 및 컴퓨터공학과(박사)
1978년~1982년 : LG전자(금성사) 중앙 연구소, 연구원
1987년~1990년 : 미국 American University, Washington D.C. 전산정보 학과 조교수
1990년~1991년 : 미국 연방국방정보부(DIA), 컴퓨터 통신분야 초청교수
1991년~1992년 : 한국전자통신연구소, 선임연구원
1992년 4월 : IEEE Annual International Phoenix Conference on Computers and Communications, Tutorial 초청강사
1992년~현재 : 한남대학교, 전자공학과, 부교수
1982년~현재 : IEEE, Phi Kappa Phi Sigma Zi 정회원
※주관심분야 : 광통신망 설계, 통신망 프로토콜 설계 및 성능분석

www.dbpia.co.kr