

주파수 호핑방식 무선 LAN의 PLCP 계층 회로 설계

正會員 최해욱*, 김경수**, 기장근***, 조현묵***

Circuit Design of Frequency Hopping Wireless LAN PLCP Sublayer

Hae-Wook Choi*, Kyung-Soo Kim**, Jang-Geun Ki***, Hyeon-Mook Cho*** *Regular Members*

*본 논문은 한국전자통신연구원의 지원으로 수행되었음.

요약

본 논문은 IEEE 802.11 주파수 호핑방식 무선 LAN 규격에 적합한 프로토콜 프로세서 설계 연구의 일환으로, 물리계층의 PLCP(Physical Layer Convergence Protocol) 프로토콜 기능을 하드웨어로 설계하였다. 설계 환경으로는 UNIX 환경하에서 COMPASS 툴을 사용하였으며, 0.8um CMOS 공정인 cmn8a technology를 이용하였다. 결과적으로 사용된 전체 게이트 수는 약 6300 게이트 정도이며, 전체 칩 면적은 약 $2.5 \times 2.5 \text{ mm}^2$ 정도이다. 개발된 PLCP 부계층 회로는 IEEE 802.11 무선 LAN 주파수 호핑방식 규격에서 규정된 내용을 만족시키도록 설계되었으며, 전송속도는 1 Mbps를 갖는다. 설계된 회로의 기능 검증을 위해 COMPASS 툴 상에서 2개의 PLCP 칩을 상호 연결한 회로를 구성하고 시뮬레이션을 통해 데이터를 송수신 하도록 함으로써 모든 기능이 정상적으로 동작함을 확인하였다.

ABSTRACT

In this paper, hardware circuit that performs functions of IEEE 802.11 wireless LAN frequency hopping PLCP protocol is designed using 0.8 um CMOS cmn8a technology of the COMPASS. Transmission rate of the designed hardware is 1Mbps. The designed circuit have about 6300 gates and $2.5 \times 2.5 \text{ mm}^2$ area. In order to verify the circuit, two PLCP circuits are interconnected and frames are transmitted from one PLCP circuit to the other PLCP circuit. As a result of the simulation, we conclude that the designed PLCP circuit works well as the IEEE 802.11 standard specification.

1. 서론

최근 디지털 통신과 휴대용 컴퓨터, 반도체 기술 등의 발전으로 인해 무선 LAN(Local Area Network) 영역이 급속히 확장되고 있다. 무선 LAN의 적용 영역은 주로 무선의 장점인 이동성(mobility)을 제공할 수 있는 영역, 즉 공장에서의 재고 관리나 POS(Point-Of-Sale) 단말, 사용자의 이동이 빈번한 병원이나 대학 환경 등

* 한국정보통신대학원대학교

** 한국전자통신연구원 회로소자연구소

*** 공주대학교 전자공학과

論文番號 : 98111-0312

接受日字 : 1998年 3月 12日

실로 다양한 영역으로 확장되고 있다. 이와 같은 이동성의 장점에도 무선 LAN은 케이블 설치에 많은 비용이 들거나 불가능한 영역에서 경제적으로 설치, 운용될 수 있으며, 또한 망의 유지 관리 측면에서도 기존 유선 LAN에 비해 많은 장점을 가지게 된다.^{11,15)}

이와 같이 무선 LAN의 응용분야 및 수요가 급속히 확장됨에 따라 국내외에서 많은 연구가 활발히 진행되고 있으며, 제품간 호환성을 위해 무선 LAN 프로토콜 표준화의 중요성이 증가되었다. 현재 무선 LAN 국제 표준을 만들기 위한 기구로는 IEEE 802.11 위원회가 있으며, 이 위원회에서는 1990년 부터 무선 LAN 표준¹⁶⁾을 만들기 위한 연구를 진행하여 왔다.

본 논문에서는 이와 같은 IEEE 802.11 위원회의 주파수 호핑방식 무선 LAN 표준 규격에 적합한 프로토콜 프로세서 개발 연구의 일환으로 물리계층의 PLCP (Physical Layer Convergence Protocol) 부계층 기능을 수행하는 하드웨어 회로 설계에 관한 연구를 수행하였다.

본 논문의 구성을 살펴보면 서론에 이어 2장에서는 주파수 호핑방식 무선 LAN의 PLCP 부계층 규격 중 회로 설계와 밀접한 관련이 있는 내용을 중심으로 간략히 기술하였으며, 3장에서는 개발된 PLCP 부계층 회로에 대한 내용을 기술하였다. 4장에서는 개발된 회로의 시뮬레이션 및 기능 검증에 대해 기술하였고, 5장에서 결론을 제시하였다.

II. IEEE 802.11 무선 LAN 주파수 호핑방식 PLCP 부계층 규격

IEEE 802.11 위원회의 연구 결과로 제정된 주파수 호핑방식 물리계층 규격중 PLCP 부계층은 MAC(Medium Access Control) 계층 프로토콜 데이터 유니트(MPDU: MAC Protocol Data Unit)를 관련 미디어(즉 주파수 호핑방식)를 사용하여 둘 이상의 스테이션 사이에 사용자 데이터나 관리 정보를 송수신하기에 적합한 프레임 형식으로 변환하는 방법을 규정하고 있으며,¹⁶⁾ 본 논문에서는 PLCP 부계층의 데이터 송수신 관련 기능을 하드웨어로 설계하는데 연구 목표를 두었다. 따라서 본 장에서는 하드웨어 설계에 필요한 내용을 중심으로 IEEE 802.11 주파수 호핑방식 무선 LAN의 PLCP 부계층에 관한 규격을 분석한 내용을 간략히 기술하였다.

주파수 호핑방식 물리계층에서 규정하고 있는 서비스 프리미티브의 종류 및 기능들을 표 1에 요약하였다.

그림 1에 PLCP 부계층이 데이터 송수신을 위해 사용하는 프레임 형식을 나타내었다.

그림 1에서 PLCP 프리앰블은 안테나 다이버시티(diversity), 클럭과 데이터의 복구, PLCP 헤더와 PLCP_PDU 필드의 구분 등의 여러가지 수신 기능들을 위한 시간을 제공하는 역할을 하며, 다음과 같은 2개의 필드로 구성된다.

- Sync 필드 : 0과 1이 반복되는 80비트로 구성되며, 물리 계층이 프레임 수신동작을 위한 신호(signal)를 검출하고, 안테나를 선택하며, 정상상태 주파수 보정과 수신되는 패킷 타이밍의 동기를 맞추는데 사용되는 필드
- SFD(Start Frame Delimiter) 필드 : 2진수 0000 1100 1011 1101(맨 왼쪽비트부터 송신)로 구성되며, 프레임 타이밍을 규정하는 필드

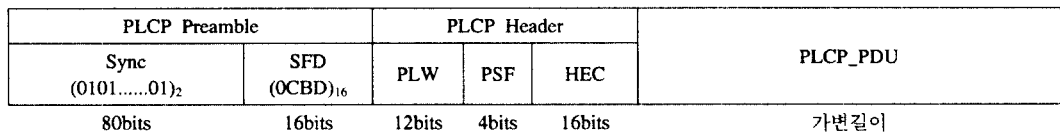
PLCP 헤더는 다음과 같은 3개의 필드로 구성된다.

- PLW(PLCP_PDU Length Word) (12비트) : PLW의 값은 송신 스테이션에서 MAC이 PHY에게 보내는 PHY_TXSTART.req 프리미티브내의 파라미터에 포함되어 있으며, 이 값은 MPDU 패킷에 포함된 데이터의 옥텟 수를 나타낸다. 이 필드는 12비트로 구성되어 0-4095 값을 가질 수 있고, LSB(Least Significant Bit) 부터 전송된다. 수신 스테이션은 이 PLW 필드의 값을 이용하여 패킷의 마지막 비트를 알아낸다.
- PSF(PLCP Signalling Field) (4비트) : PLCP_PDU 필드의 전송속도를 나타내며, 송신시 LSB(비트0) 부터 전송된다.
- HEC(Header Error Check) (16비트) : 16비트 CCITT CRC-16 에러 검출 필드로서, 생성 다항식 $G(x) = x^{16} + x^{12} + x^5 + 1$ 을 이용한다.

PLCP_PDU 필드는 데이터 화이트너(whitener)에 의해 생성된 MPDU 데이터를 가진다. PLCP_PDU 데이터 화이트너는 데이터를 랜덤화하고 DC 바이어스(bias)와 최대 run length를 최소화 하기 위해 길이-127 프레임 동기식 스크램블러(scrambler)와 32/33 바이어스 억압 인코딩(bias suppression encoding)을 사용한다. PLCP_PDU 필드의 각 옥텟은 LSB부터 전송된다. 프레임 동기식 스크램블러는 생성다항식으로 $S(x) = x^7 + x^4 + 1$ 이 사용된다.

표 1. 주파수 호핑방식 물리계층 서비스 프리미티브

프리미티브	타입	파라미터	값	기능	비고	
PHY_DATA	Req.	DATA	00-FFh	MAC이 PHY에게 한 옥텟 전송을 요구	peer간	
	Ind.	DATA	00-FFh	PHY가 MAC에게 수신한 한 옥텟을 올려보냄		
	Con.	-	-	PHY_DATA.Req에 대한 응답으로 PHY가 MAC에게 보냄		
PHY_TXSTART	Req.	TXVECTOR	LENGTH	0-4095	MAC이 PHY에게 전송시작을 요구	MPDU 옥텟 수 옵션사항
			PLCP_BITRATE	1, 2, ...		
	Con.	-	-	PHY_TXSTART.Req에 대한 응답으로 PHY가 MAC에게 보냄	sublayer간	
PHY_TXEND	Req.	-	-	PHY로 부터 마지막 PHY_DATA.Con을 수신한 MAC이 현재 MPDU의 전송이 완료되었음을 PHY에게 알림		
	Con.	-	-	PHY_TXEND.Req에 대한 응답으로 PHY가 MAC에게 보냄		
PHY_RXSTART	Ind.	RXVECTOR	LENGTH	0-4095		수신된 PLCP 헤더내의 LENGTH 필드 값 옵션사항 현재의 MPDU를 수신한 안테나에서 SFD필드부터 HEC필드까지 측정된 상대적인 에너지값을 나타냄
			RSSI	0-RSSI _{max}		
PHY_RXEND	Ind.	RXERROR	No_Error, Format_Violation, Carrier_Lost	MPDU 수신완료를 알림		
PHY_CCARST	Req.	-	-	MAC이 PHY에게 CCA 상태머신을 리셋하도록 요구 (NAV 타이머 종료후 요구)		
	Con.	-	-	PHY_CCARST.Req에 대한 응답		
PHY_CCA	Ind.	STATUS	BUSY, IDLE	PHY가 MAC에게 현재 미디어의 상태를 알림		



PLCP: Physical Layer Convergence Procedure SFD: Start Frame Delimiter PLW : PLCP_PDU Length Word
 PSF : PLCP Signalling Field HEC: Header Error Check PLCP_PDU : PLCP Protocol Data Unit

그림 1. PLCP 프레임 형식

그림 2에 PLCP 프레임 송수신에 관련된 타이밍 관계를 나타내었다. 송신측 PLCP는 MAC으로 부터 PHY_TXSTART.req(TXVECTOR)를 수신한 시점부터 최대 20 us 이내에 안테나에서 프리엠블의 첫 비트를 송출해야 한다. PLCP 프리엠블과 헤더는 반드시 1 Mbps 속도로 전송되어야 하는 반면, PLCP_PDU 데이터는 선택된 데이터 전송율로 송신할 수 있다. PLCP

는 PLCP_PDU의 마지막 비트를 공기중으로 송출한 후에 PHY_TXEND.con을 MAC에게 보내며, 송신기의 파워를 끄고, PMD 회로를 송신상태에서 수신상태로 전환한다. 그림에서 PHY_DATA.req(DATA)와 PHY_DATA.con의 교환은 각 데이터 옥텟이 필요한 시점 이전에만 발생하면 되며, 그 이상의 타이밍 조건은 없다.

수신측 PLCP의 PDU 수신 절차는 SFD와 헤더 필드를 정상적으로 수신한 직후 CS/CCA 절차로부터 호출되어 시작되며, 마지막 비트를 수신한 후에 MAC에게 PHY_RXEND.ind(RXERROR)을 보내게 된다. 만일 수신 도중에 에러가 검출되면 PLCP는 에러검출후 8 us 이내에 수신 절차를 끝내야 한다.

Ⅲ. PLCP 부계층 하드웨어 설계

1. PLCP 부계층과 MAC 계층 인터페이스

PLCP 부계층과 MAC 계층 사이의 인터페이스를 위해 사용되는 제어 레지스터의 종류와 주소 할당을 표 2에 나타내었다.

표 2에서 rxFIFO와 txFIFO는 MAC 계층과 PLCP 계층이 송수신 데이터를 주고 받을 때 사용되며, 각각 64×8 비트 크기를 갖도록 설계되었다.

SYNC 레지스터는 쓰기 전용 레지스터이며, PLCP 프레임의 프리앰블(preamble) 필드중 80비트 크기를 갖는 Sync 필드의 패턴 값을 저장하는 레지스터로, 이 레

표 2. PLCP-MAC 인터페이스를 위한 제어 레지스터 및 주소 할당

주소 할당	read/write	레지스터	비트 수	기능
0	read	rxFIFO	64×8	MAC과 PLCP 계층 사이의 송수신 데이터 교환을 위한 저장장(64word, 8bits/word)
	write	txFIFO	64×8	
1	read	Status	4	FIFO read/write 에러 상태 저장
	write	SYNC	8	PLCP 프레임의 Sync 패턴 저장
2	write	SFDa	8	PLCP 프레임의 Start Frame Delimiter 패턴 저장
3	write	SFDb	8	
4	write	HEADERa	8	PLCP_PDU Length Word(PLW) 필드(12비트)와 PLCP Signalling Field(PSF) 필드(4비트) 값 저장
5	write	HEADERb	8	
6	write	TX_start_flag	1	전송시작 및 완료를 지시하는 플래그
7	write	Restart	1	PLCP software reset 지시 플래그
8-15				reserved

지스터에 저장된 8비트 값이 10회 반복해서 전송되도록 설계하였다. PLCP 칩이 초기화 될때 SYNC 레지스터에 패턴 값 "10101010"이 자동으로 들어가도록 설계되었으며, 만일 이 패턴을 바꾸고 싶으면 MAC

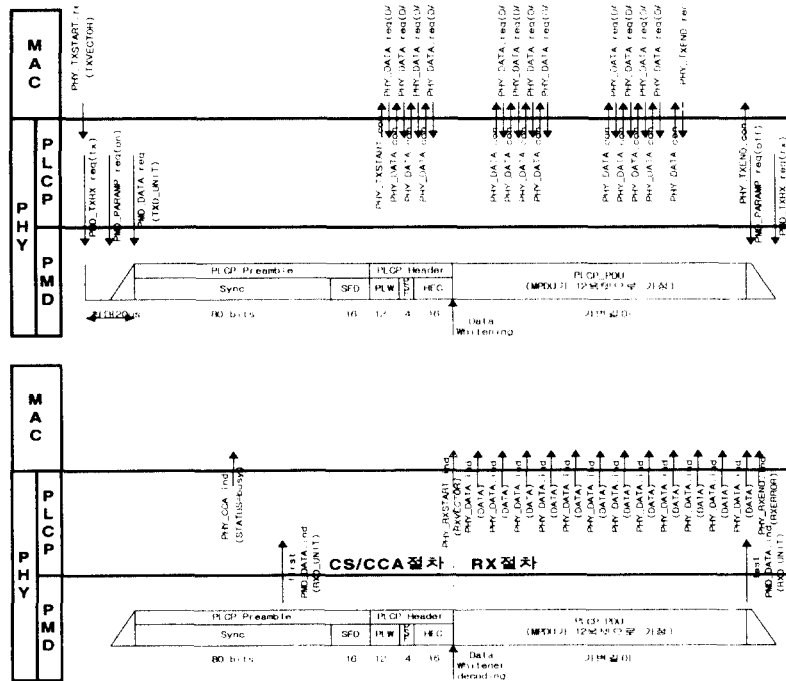


그림 2. PLCP 프레임 송수신 타이밍

프로세서가 1번지에 원하는 패턴값 8비트를 write 하면 되도록 하여 융통성을 두었다. Status 레지스터는 읽기 전용으로 SYNC 레지스터와 동일한 1번지를 사용하도록 설계되었다. 즉 MAC 프로토콜 프로세서가 1번지에 write를 하면 SYNC 레지스터에 값이 써지며, 1번지를 read 하면 Status 레지스터의 값이 읽히게 된다. Status 레지스터는 rxFIFO와 txFIFO의 운영중 발생하는 에러에 대한 상태정보를 나타낸다.

SFDa와 SFDb 레지스터는 PLCP 프레임의 프리앰블 필드 중 16비트 크기를 갖는 SFD(Start Frame Delimiter) 필드의 패턴 값을 저장하는 레지스터이다. 본 논문에서 설계된 PLCP 칩은 SFDa의 LSB 비트부터 차례로 8비트를 전송한 후 SFDb 레지스터의 LSB부터 MSB(most significant bit) 순서로 비트들을 송신하도록 설계되어 있다. 따라서 PLCP 칩이 초기화 될때 SFDa 레지스터에 이진수 "00110000"(16진수 "30")이, SFDb 레지스터에 "10111101"(16진수 "BD")이 자동으로 들어가도록 회로가 구성되었다. 만일 SYNC 레지스터와 마찬가지로 MAC 프로토콜 프로세서가 SFD 패턴을 다른 값으로 초기화시키기를 원하면 원하는 패턴 값 16비트를 각각 2번지와 3번지에 쓰면 된다.

HEADERa와 HEADERb 레지스터는 PLCP 프레임의 헤더(header) 필드중 12비트 크기의 PLW(PLCP_PDU Length Word)와 4비트 크기의 PSF(PLCP Signalling Field) 필드에 대응되는 레지스터로, MAC 프로토콜 프로세서는 MPDU(MAC Protocol Data Unit)를 전송할 때 마다 MPDU의 길이와 전송속도를 이 레지스터

에 설정해 주어야 한다. 802.11 주파수 호핑방식 무선 LAN에서 데이터 길이를 나타내는 PLW 값은 LSB부터 전송되도록 되어 있고, 데이터 전송속도를 1 Mbps로 지정할 경우 PSF 필드의 값은 "0000"이며, PLW 필드 전송 후 PSF 필드가 전송되도록 규정되어 있다. 본 연구에서 설계된 PLCP 칩은 HEADERa의 LSB부터 HEADERb의 MSB 순서로 비트들이 전송되며, 따라서 만일 전송할 데이터의 길이가 1000(16진수로 "3E8") 바이트이고 1Mbps 속도로 전송하고자 할 경우라면 MAC 프로세서는 HEADERa 레지스터에 이진수로 "11101000"(16진수로 "E8")을, HEADERb 레지스터에 "0000011"(16진수로 "03")을 저장하면 된다.

1비트 크기의 TX_start_flag 레지스터는 MAC 프로세서가 PLCP 칩에게 전송을 시작하라는 명령을 나타내는 역할을 수행한다. 이 TX_start_flag 레지스터는 MAC 프로세서가 주소 버스에 6을 지정하고 데이터 버스의 맨 하위비트(LSB)에 1을 설정하고 write 신호를 주면 1로 세트되도록 회로가 구성되어 있으며, 이 플래그 값이 1이 되면 PLCP 프레임 전송이 시작되고, 프레임 전송이 완료된 후 PLCP 칩에 의해 0으로 리셋된다.

1비트 크기의 Restart 레지스터는 MAC 프로세서가 PLCP 칩을 소프트웨어적으로 초기화시키고 싶을 때 사용하는 레지스터이다.

2. PLCP 부계층 블록 구조 설계

설계된 PLCP 부계층 회로에서 최상위 레벨의 회로

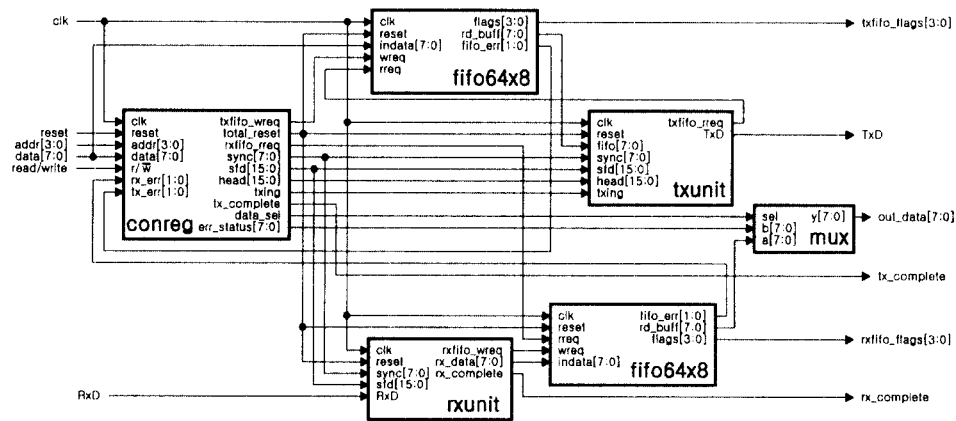


그림 3. PLCP 부계층 최상위 레벨 회로도

를 그림 3에 나타내었다. 그림에서 알 수 있듯이 PLCP 부계층 회로는 MAC 계층과의 인터페이스를 위한 각종 제어 레지스터들이 들어 있는 conreg 블록(제어 레지스터부), MAC 프로토콜 프로세서와 데이터를 주고 받기 위한 fifo64×8 블록(FIFO 회로), 데이터 송신 기능을 수행하는 txunit 블록(데이터 송신부), 데이터 수신 기능을 수행하는 rxunit 블록(데이터 수신부) 등으로 구성되었다.

그림 3에서 conreg 블록은 앞에서 설명한 표 2의 제어 레지스터들중 FIFO를 제외한 나머지 레지스터들이 들어있는 블록으로, 블록 내부의 TX_start_flag 레지스터 값이 1이 되면 txing 출력신호가 0에서 1로 되어 데이터 송신 기능이 시작되고, 데이터 송신이 완료되면 tx_complete 신호가 0에서 1로 된다. 2개의 fifo64x8 블록은 MAC과의 데이터 교환을 위한 송수신용 FIFO 로써 각각 64x8 비트의 크기를 가진다. txunit와 rxunit는 IEEE 802.11 주파수 호핑방식 무선 LAN의 PLCP 부계층 규격에 부합된 데이터 송수신 기능을 수행하며 현재 1 Mbps 전송속도를 가지도록 설계되었다. 다음에 데이터 송신부와 수신부 회로에 대해 보다 상세히 기술하였다.

3. 데이터 송신부

데이터 송신부는 그림 3의 PLCP 회로에서 txunit 블록을 말한다. 이 블록은 IEEE 802.11 주파수 호핑방식 무선 LAN의 PLCP 부계층의 데이터 송신 기능을 수행하며, 이 블록의 회로도들 그림 4에 나타내었다. 그림에서 클럭과 리셋관련 선 연결은 생략하였다.

그림 4에서 txcontrol 블록은 txing 신호가 0에서 1이 되면 카운터를 이용하여 전체 회로에서 필요로 하는 각종 제어 신호들을 발생 시키는 블록으로, 비트 카운터 모듈과 제어 신호들을 만들어 내는 조합회로들로 구성되어 있다. psmux 블록은 PLCP 프레임 형식에 따라 전송에 필요한 값들을 바이트 단위의 타이밍으로 다중화하여 병렬-직렬 변환 기능을 수행하는 pscnv 블록으로 전송한다. crccalc 블록은 PLCP 헤더 필드의 HEC(Header Error Check) 필드 값을 계산해주는 회로이다. scramble 블록은 PLCP 프레임 형식에서 PLCP_PDU 필드 데이터에 대한 스캐램블 기능을 수행하기 위한 127비트 시퀀스를 생성한다. biascalc와 biasaccu 블록은 IEEE 802.11 주파수 호핑방식 무선 LAN PLCP 계층의 데이터 화이트너(whitener) 알고리즘을 구현한 회로 블록으로 stuff bit를 결정해 주는 역할을 수행한다. shiftr32 블록은 32비트 길이의 쉬프트 레지스터로 32 us의 시간 지연을 얻기 위한 기능 블록인데 다음과 같은 이유로 삽입되었다. 즉, 그림 4의 모든 회로 동작은 기본 클럭 속도가 1 MHz인데 실제 PLCP 칩의 출력 편인 TxD 핀을 통해 출력되는 데이터의 전송속도도 1 Mbps이다. 그런데 PLCP 계층의 데이터 화이트너 알고리즘에서는 현재까지 전송한 데이터의 bias 값과 앞으로 전송될 데이터 32 비트의 bias 값을 가지고 연산을 수행하여 stuff 비트 값을 결정해야 하며, 결정된 stuff 비트를 전송한 후 다음 데이터 32비트가 전송되게 되어 있다. 따라서 개념적으로 볼 때 MAC 계층으로부터 PLCP가 넘겨 받는 데이터와 PLCP가 출력하는 데이터 사이

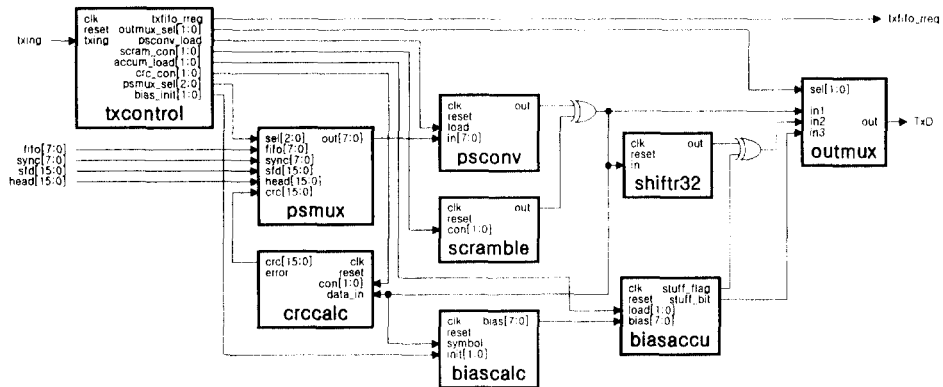


그림 4. PLCP 데이터 송신부 회로도

에는 32비트 길이의 시간 지연이 있어야 하며 이를 효율적으로 해결하기 위한 방안으로 본 연구에서는 shiftr32 블록과 outmux 블록을 사용하였다. outmux 블록은 다중화 기능을 수행하는 블록이다.

4. 데이터 수신부

PLCP 부계층의 데이터 수신 기능은 주로 그림 3의 rxunit 블록에서 수행되며, 이 블록에 대한 상세 회로는 그림 5와 같다.

그림 5에서 rxcontrol 블록은 데이터 수신 상태에 따라 적절한 제어신호를 발생시켜 다른 블록들을 제어하는 기능을 수행한다. whitener 블록과 scrambler 블록은 IEEE 802.11 주파수 호핑방식 무선 LAN 규격에 기술된 데이터 화이트너 및 스크램블러 기능을 하드웨어로 구현한 블록이다. sponcv 블록은 수신되는 직렬 데이터를 16비트의 병렬 데이터로 변환하는 직렬/병렬 변환회로로, 쉬프터를 이용하여 구현되었다. crccalc 블록은 데이터 송신부에서 사용했던 crccalc 블록과 동일한 구조를 가지며, 수신된 프레임의 헤더 필드에 대한 CRC 계산을 수행하는 하드웨어 블록이다. synccomp 블록과 sfdcomp 블록은 각각 수신 프레임의 Sync 패턴과 SFD 패턴을 찾기 위해 16비트 병렬 데이터로 변환된 수신 비트들과 Sync 패턴 또는 SFD 패턴과 비교하는 블록이다. rxlndown 블록은 수신 프레임의 헤더 필드내에 있는 PLW(PLCP_PDU Length Word) 필드의 값을 저장하였다가 데이터가 한 바이트

수신될 때마다 1씩 감소하여 모든 바이트가 수신되었을 때 0이 되는 카운터를 포함하고 있으며, 이 카운터가 0이 되면 수신완료로 나타내는 제어신호를 생성하는 블록이다.

그림 5의 데이터 수신부 회로에서 데이터가 수신되는 동작을 차례로 기술하면 다음과 같다. 먼저 rxcontrol 블록은 상태 "00"으로 초기화된다. 이 상태에서는 rxcontrol 블록으로 부터 PLCP 프레임의 Sync 패턴을 찾으라는 제어신호 seek_sync가 출력되고 이에 따라 synccomp 블록은 수신되는 비트들과 sync 패턴 "0101...0101"을 비교하게 된다. (참고로 PLCP 수신부가 상태 "00"에 있을때에는 whitener 블록과 scrambler 블록은 RxD 라인을 통해 수신되는 직렬 데이터 패턴을 그대로 통과시켜 직렬/병렬 변환회로인 sponcv 블록으로 넘겨주게 된다.) 만일 sync 패턴이 발견되면 synccomp 블록은 이를 rxcontrol 블록에 알려주게 되고 rxcontrol 블록의 상태는 "01"이 된다. 상태 "01"에서는 rxcontrol 블록으로 부터 PLCP 프레임의 SFD 필드를 찾으라는 제어신호 seek_sfd가 출력되게 되고 이에 따라 sfdcomp 블록이 동작하게 된다. 만일 SFD 필드가 발견되면 이 사실이 다시 rxcontrol 블록에 통보되어 rxcontrol 블록의 상태는 "10"이 된다. rxcontrol 블록이 "10" 상태가 되면 rxcontrol 블록은 내부에 있는 비트 카운터의 동작을 시작하고, 이 비트 카운터의 값을 이용하여 적절한 타이밍에 수신 PLCP 프레임의 헤더필드로 부터 수신될 데이터의 길이(PLW

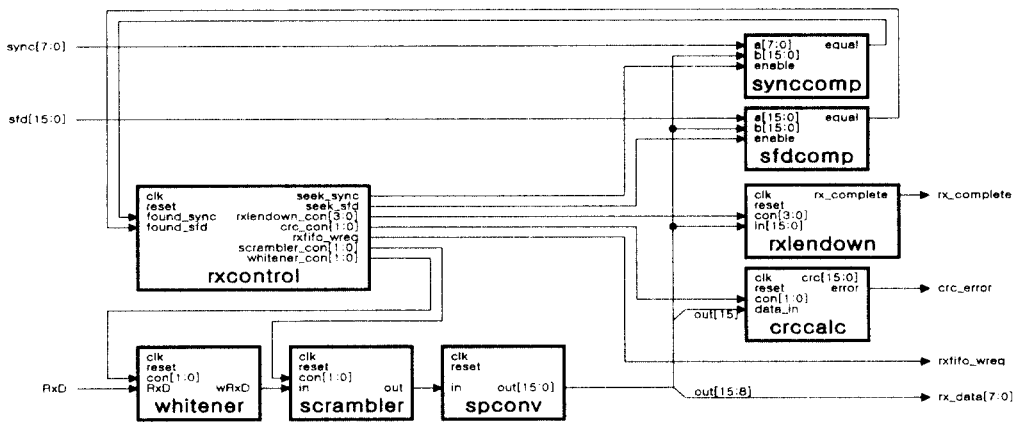


그림 5. PLCP 데이터 수신부 회로도

필드)와 PSF 필드의 값을 rxlendown 블록에 저장하도록 하는 제어신호를 발생시킨다. 또한 수신 프레임의 헤더필드에서 에러가 발생했는지의 여부를 검사하기 위해 제어신호 crc_con[2:0]를 활성화함으로써 crccalc 블록을 동작시킨다. 만일 헤더필드에 대한 CRC 검사에서 수신에러가 검출되면 crccalc 블록으로부터 crc_error 제어신호가 발생하고 이 경우 수신부의 기능이 모두 초기화 된다. 수신에러가 없을 경우에는 rxcontrol 블록은 내부의 비트 카운터 값을 이용해 헤더 필드 수신 완료 시점에서 "11" 상태로 천이하고 이때 부터 수신데이터에 대한 화이트너 기능과 스크램블러 기능을 수행하는 whitener 블록과 scrambler 블록을 활성화시킨다. 화이트너 기능과 스크램블러 기능을 거친 수신 데이터는 바이트 단위로 rx_data[7:0] 신호선을 통해 FIFO에 저장되며 저장되는 타이밍은 rxcontrol 블록이 rxfifo_wreq 제어신호를 통해 FIFO에게 알려주게 된다. 또한 데이터가 한 바이트씩 수신될 때마다 rxlendown 블록의 카운터 값이 1씩 감소하게 되고, 이 카운터 값이 0이 되면 출력신호 rx_complete가 활성화되어 수신부 기능 전체가 초기상태로 돌아간다.

5. FIFO 회로 설계

그림 6에 PLCP 칩과 MAC 계층간에 송수신 데이터를 교환할 때 사용되는 fifo64x8 블록의 회로를 나타내었다. fifo64x8 블록은 송신용과 수신용 2개가 있

으며 각각이 64워드×8비트 크기를 갖는다. 또한 클럭 신호로 clk와 clk의 2배 주파수인 clkx2를 필요로 한다.

그림 6에서 sigt3 블록은 클럭 clk의 상승 모서리에서 1이 되었다가 클럭 clkx2의 상승 모서리에서 0으로 되돌아 가는 타이밍 신호를 발생시키는 블록이다. latchcon 블록은 FIFO에 데이터를 저장하거나 꺼내는 요구신호 wreq와 rreq 입력신호를 래치하는 블록이다. wrbuff와 rdbuff 블록은 각각 FIFO에 저장하려는 데이터나 FIFO로부터 읽혀 나오는 데이터를 저장하는 블록이며, wrptr와 rdptr 블록은 FIFO에 데이터를 쓰거나 읽을 때 위치를 지시하는 포인터 레지스터이다. updowncnt 블록은 현재 FIFO에 들어있는 데이터의 갯수를 나타내는 카운터 블록이다. flagblk 블록에는 FIFO의 상태를 나타내는 레지스터들이 포함되어 있다.

IV. 시뮬레이션 및 검증

개발된 PLCP 부계층 회로에서 설계사 사용된 전체 게이트 수와 면적 등에 관한 정보는 COMPASS 툴상에서 제공하는 utility screen check 기능을 사용하였다. 결과적으로 사용된 전체 게이트 수는 기본 게이트를 기준으로 약 6300 게이트 정도이며, 전체 칩 면적은 약 2.5×2.5 mm² 정도이다. 또한 설계된 회로의 ramp delay를 확인하기 위해 Pre route report를 수행하였으며, 최종적으로 RAMP DELAY= LOAD

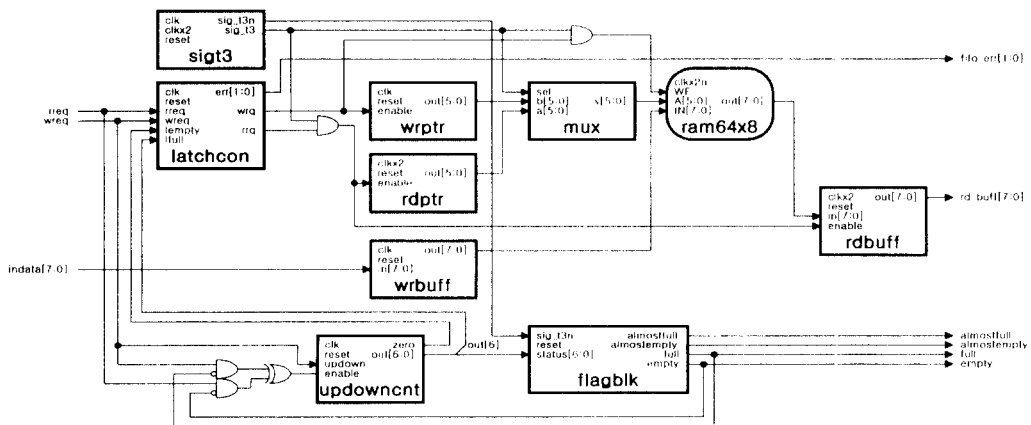


그림 6. fifo64x8 블록 회로도

FACTOR * (GATE CAP+METAL CAP) [IN NANO-SECOND] 수식에 의해서 최악조건에서의 ramp delay 를 계산한 후 권고하는 ramp delay 권장 값인 3ns를 모두 만족함을 확인하였다.

다음에 본 연구에서 설계된 PLCP 회로의 기능을 검증하기 위해 그림 7에 나타낸 것과 같이 COMPASS 틀상에서 PLCP 회로 2개를 연결하여 위쪽 송신측 PLCP에서 아래쪽 수신측 PLCP 쪽으로 데이터를 전송 하도록 시뮬레이션 하였다. 수신측 PLCP는 수신 FIFO 에 데이터가 들어있지 않음을 나타내는 rx_empty 신호가 0이 되면(이는 수신 데이터가 있음을 의미함) 바로 rx_retrieve_fifo 신호를 활성화 시켜 마치 MAC 계층이 수신된 데이터를 읽는 것처럼 회로를 구성하였다. rx_retrieve_fifo 신호가 활성화되면 이 신호는 수신측 PLCP의 read 제어신호 선에 인가되고 결과적으로 수신 FIFO로 부터 데이터가 한 바이트 읽혀 rx_

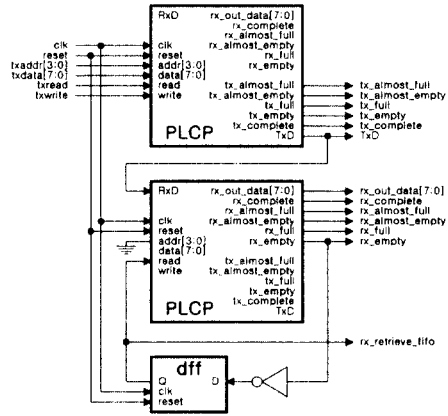


그림 7. PLCP 회로의 기능 검증을 위한 시뮬레이션 환경

out_data[7:0] 출력선으로 나오게 된다.

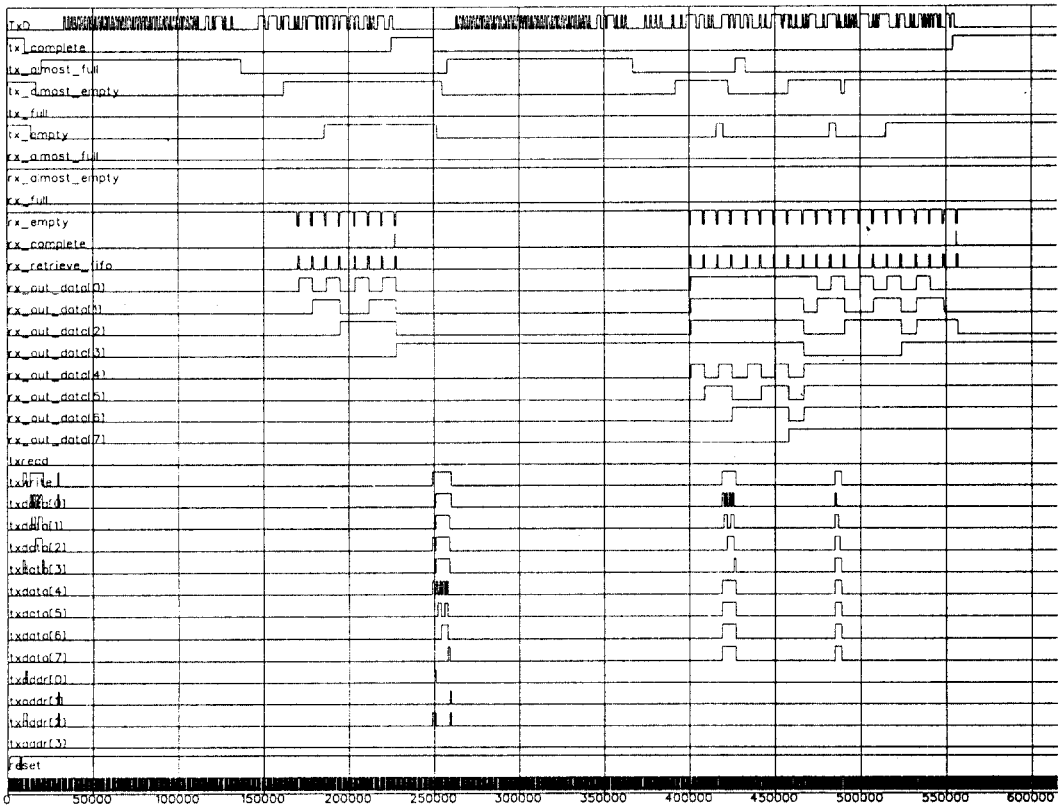


그림 8. PLCP 회로 검증을 위한 시뮬레이션 결과 예

이와 같은 환경하에서 수행한 시뮬레이션의 결과중 한 예를 주요 신호들을 중심으로 그림 8에 나타내었다. 이 결과는 8바이트의 프레임과 20바이트의 프레임을 차례로 전송하는 과정을 보여주고 있다. 먼저 첫번째 프레임(크기 = 8바이트)을 전송하기 위해 시뮬레이션 초기에 송신측 PLCP의 송신 FIFO에 8바이트의 데이터(01h, 02h, 03h, 04h, 05h, 06h, 07h, 08h)를 한꺼번에 넘겨주고 송신을 시작하도록 하였다. 첫번째 프레임의 전송이 완료된 후 두번째 프레임(크기 20바이트)을 전송할 때는 먼저 8바이트의 데이터(1Fh, 2Fh, 3Fh, 4Fh, 5Fh, 6Fh, 7Fh, 8Fh)를 송신 FIFO에 넘겨주고 송신을 시작하라고 지시하였으며, 나머지 12 바이트는 2개(8바이트, 4바이트)로 나누어 각각 송신 FIFO가 거의 비었음을 나타내는 tx_almost_empty 신호가 1일때 8바이트, 4바이트를 송신 FIFO에 넘겨주었다. 이와 같은 상황에 대한 시뮬레이션 결과를 나타낸 그림 8에서 rx_out_data[7:0] 신호선을 확인하면 정확한 타이밍에 송신 데이터를 어려없이 수신함을 알 수 있고, 따라서 설계된 PLCP 회로가 논리적으로 정상적으로 동작함을 확인할 수 있다.

V. 결 론

최근 기존 유선 LAN(Local Area Network)에 비해 망 구성 및 유지 관리가 용이하고 또한 이동성의 장점을 제공하는 무선 LAN에 대한 수요가 급속히 증가하고 있으며, 이와 비례하여 표준화된 무선 LAN 프로토콜의 필요성이 증가하고 있다.

본 논문은 국제 표준화 기구인 IEEE 802.11 위원회에서 규정한 주파수 호핑방식 무선 LAN 규격에 적합한 프로토콜 프로세서 설계 연구의 일환으로, 물리계층의 PLCP(Physical Layer Convergence Protocol) 부계층의 기능을 하드웨어로 구현하였다. 설계 환경으로는 UNIX 환경하에서 COMPASS 툴을 사용하였으며, 0.8um CMOS 공정인 cmn8a technology를 이용하였다. 결과적으로 사용된 전체 게이트 수는 기본 게이트를 기준으로 약 6300 게이트 정도이며, 전체 칩 면적은 약 $2.5 \times 2.5 \text{ mm}^2$ 정도이다. 개발된 PLCP 부계층 회로는 IEEE 802.11 무선 LAN 주파수 호핑방식 규격에서 규정한 내용을 만족시키도록 설계되었으며, 전송속도는 1 Mbps를 갖는다. 설계된 회로의 기능을 최종적으로 검증하기 위해 COMPASS 툴 상에서 2개의 PLCP 칩

을 상호 연결한 회로를 구성하고 시뮬레이션을 통해 데이터를 송수신 하도록 함으로써 모든 기능이 정상적으로 동작함을 검증하였다.

참 고 문 헌

1. Richard O. LaMaire, Arvind Krishna, Pravin Bhagwat, James Panian, "Wireless LANs and Mobile Networking: Standards and Future Directions", IEEE Communications Magazine, pp.86-94, August 1996.
2. David F.Bantz, Frederic J.Bauchot, "Wireless LAN Design Alternatives", IEEE Network, pp.43-53, 1994.3-4.
3. Jim Geier, Wireless Networking Handbook, New Riders Publishing, 1996.
4. 정보통신시대, "신세대 네트워크 무선 LAN", pp. 54-70, 1993.11.
5. "무선 LAN 및 무선 ISDN 특집", 전자공학회지, Vol.21, No.7, 1994.7.
6. IEEE P802.11, Wireless LAN Medium Access Control(MAC) and Physical Layer(PHY) Specifications, 1997.



최 해 옥(Hae Wook Choi) 정회원
 1973년: 서울대 전자공학과(공학사)
 1980년: 프랑스 그레노블공대 전자공학과(공학석사)
 1984년: 프랑스 그레노블공대 정보융합공학부(공학박사)
 1981년~1984년: 프랑스 톰슨반도체(주) 연구원

1984년~1997년 12월: 한국전자통신연구원 책임연구원
 1997년 12월~현재: 한국정보통신대학원대학교(부교수)
 ※주관심분야: 알고리즘 및 VLSI 구조, Soft Radio 무선 단말기용 VLSI 구조, 고속 DSP 구조, 고속 무선 LAN 구조, 고속 모뎀 VLSI 구조 등

