

디지털 영역에서 파이프라인 가능한 제자형 웨이브 디지털 필터구조의 유도

정회원 김 상 민*, 김 재 원*, 김 정 학*, 조 상 인*, 정 진 균*

Derivation of Pipelinable Ladder Wave Digital Filters in Digital Domain

Sang-Min Kim*, Jae-Won Kim*, Jeong-Hak Kim*, Sang-In Cho*,
Jin-Gyun Chung* *Regular Members*

*본 논문은 1995년도 전북대학교 신진교수 연구지원과제 학술분야연구조성비에 의하여 지원 되었음.

요 약

최대전력전달 조건을 만족하도록 디자인된 아날로그 복중단 무손실 회로망은 회로 소자값의 변동에 큰 영향을 받지 않는 좋은 통과 대역 특성을 보인다. 제자형 WDF(Wave Digital Filter)는 이러한 복중단 무손실 회로망을 웨이브 개념을 이용하여 디지털 영역으로 변환해서 얻어지며 필터 계수 및 필터 내부신호들의 양자화에 대해서 좋은 특성을 가지고 있음이 알려져 있다. 본 논문에서는 기존의 방법과는 달리 LC 필터나 마이크로웨이브필터 이론을 적용하지 않고 바로 디지털 영역에서 제자형 WDF의 구현 방법을 제시한다. 또한 본 논문에서는 필터를 합성한 후 파이프라인하는 것이 아니라 제자형 WDF의 합성과정에서 원하는 레벨로 파이프라인하는 방법이 제시된다. 제안한 파이프라인 방법은 파이프라인을 위한 레지스터의 삽입이 필요할 때 디자인 과정에서 사용되는 함수를 수정하여 파이프라인을 수행하기 때문에 어댑터 계수의 nonzero 비트 갯수와 어댑터 구조를 고려하여 요구 속도와 하드웨어 소모를 최적으로 만족하도록 쉽게 제자형 WDF를 디자인할 수 있는 장점이 있다.

ABSTRACT

Classical doubly-terminated lossless networks designed to meet maximum available power bound are known to have good passband sensitivity. In this paper, a synthesis method for ladder WDFs(Wave Digital Filters) corresponding to the classical doubly-terminated lossless networks is developed. The synthesis procedures are carried out only in the digital domain so that no knowledge of LC filter or microwave filter theory is needed. Pipelinable ladder WDF structure is obtained by simple modifications of the synthesis procedures such that the length of the critical path of the designed WDF is optimal in terms of speed and hardware cost.

* 전북대학교 정보통신공학과
論文番號 : 98178-0421
接受日字 : 1998年 4月 21日

I. 서론

디지털 필터의 하드웨어 구현 시 필터의 계수와 내부 신호들의 양자화로 인해 계산 결과가 이상적인 값과 차이가 나는 유한 워드길이 효과가 발생한다. 따라서 유한 워드길이 효과의 영향을 최소화하는 디지털 필터 구조에 대한 많은 연구가 있었으며 그 중 대표적인 것으로 WDF [1], 디지털 격자필터 [2-3], 직교 디지털 필터 [4], LBR(Lossless Bounded Real) 필터 [5] 등이 있다. 유한 워드길이 효과뿐만 아니라 속도, 면적, 전력소모 등도 하드웨어 구현 시 특히 고려해야 할 사항들이며 파이프라인 기술을 사용함으로써 이러한 요소들을 효율적으로 조절할 수 있다 [6-8].

파이프라인은 적절한 위치에 레지스터를 삽입하여 critical path를 단축시키는 기술로써 critical path의 단축 결과로 고속동작 또는 저전력 구현이 가능해진다. 그러나 FIR 필터에서는 임의의 레벨로 쉽게 파이프라인이 가능하지만 IIR 필터에서는 귀환 루프 때문에 파이프라인이 용이하지 않다.

WDF는 아날로그 무손실 회로를 웨이브 개념을 이용하여 디지털 영역으로 변환하여 얻어지며 아날로그 회로의 종류에 따라 여러 타입의 WDF가 존재하는데 그 중 대표적인 것으로 격자형 WDF와 제자형 WDF가 있다 [1]. 격자형 WDF는 디자인이 쉽고 통과 대역 감도(sensitivity)가 좋다. 그러나 전송 영점(transmission zero)을 구현할 때 두 개의 전역 통과(allpass) 함수의 정확한 상쇄를 이용하기 때문에 저지 대역에서의 감도 특성이 나빠지며 저지 대역 스펙에 따라서는 다른 종류의 WDF 보다 더 긴 워드 길이를 필요로 하게 된다. 제자형 WDF는 일반적으로 격자형 WDF 보다 더 많은 수의 곱셈기와 덧셈기를 필요로 하지만 통과 대역뿐만 아니라 저지 대역에서도 좋은 감도를 갖기 때문에 더 적은 워드길이를 이용한 구현이 가능하다.

WDF를 디자인하기 위해서는 우선 아날로그 LC 필터를 디자인해야 하므로 아날로그 필터 이론에 익숙해야 한다. 그러나 현재 공학의 여러 분야에서 디지털 필터가 쓰인다는 점을 감안 할 때 디지털 영역에서 직접 WDF를 디자인 할 수 있다면 훨씬 편리하게 쓰일 것이다. 격자형 WDF의 디지털 영역 디자인 방법은 [9]에 발표되었다.

본 논문에서는 아날로그의 리액턴스(reactance) 감소 방법 [10]에 근거하여 아날로그 회로망에 관한 지식

없이 디지털 영역에서 직접 제자형 WDF를 디자인하는 방법을 제시한다. 또한 제자형 WDF의 파이프라인 방법을 제시하여 critical path의 길이에 따른 동작 속도, 전력소모 및 하드웨어 최소화 문제를 쉽게 조정할 수 있도록 한다.

II장에서는 복종단 무손실 회로망 (Doubly-Terminated Lossless Network)에 대해 간략히 살펴보고 III장에서는 제자형 WDF의 디지털 영역 합성방법을 제시하며 IV장에서는 제자형 WDF의 파이프라인 방법을 제시한다.

II. 복종단 무손실 (Doubly-Terminated Lossless) 회로망

그림 1은 복종단 무손실 LC 회로망이다. 이러한 회로망의 저감도(low-sensitivity) 특성은 Orchard's principle에 의해 설명 될 수 있다 [11].

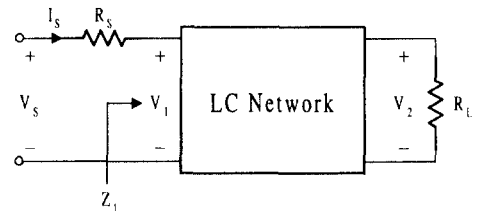


그림 1. 복종단 무손실 회로망

임피던스 정합이 되어 최대로 전달 가능한 전력을 P_a 라고 실제 부하저항 R_L 에 도달되는 전력을 P_L 이라 하면 다음과 같이 전송계수(transmission coefficient) $t(s)$ 를 정의할 수 있다.

$$|t(j\omega)|^2 = P_L / P_a. \quad (1)$$

실제 부하저항에 도달되는 전력 P_L 이 최대로 전달 가능한 전력 P_a 를 초과할 수 없으므로 어떠한 주파수에서도 전송계수 $t(s)$ 의 크기는 1을 초과할 수 없으며 이때 부하저항에 의한 반사계수(reflection coefficient) $\rho(s)$ 는 다음과 같이 정의된다.

$$|\rho(j\omega)|^2 = 1 - |t(j\omega)|^2. \quad (2)$$

그림 1에서 구동점(driving-point) 임피던스 $Z_1(s)$ 는 $\rho(s)$ 와 다음과 같은 관계를 갖는다 [10].

$$Z_1(s) = \frac{R_s(1-\rho(s))}{1+\rho(s)} \quad \text{또는} \quad Z_1(s) = \frac{R_s(1+\rho(s))}{1-\rho(s)}. \quad (3)$$

따라서 그림 1 회로망의 합성은 주어진 스펙으로부터 $|t(j\omega)|^2$ 를 구한 다음 이로부터 $\rho(s)$ 와 $Z_1(s)$ 를 얻어 $Z_1(s)$ 를 구현하면 된다.

III. 제자형 WDF 합성

복중단 무손실 회로망을 아날로그 영역에서 디자인한 후 웨이브 개념을 이용하여 디지털영역으로 변환하면 그림 2와 같은 제자형 WDF 구조를 얻을 수 있다 [1].

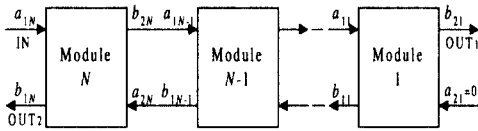


그림 2. 제자형 WDF의 구조

그림 2의 각각의 모듈은 1차 어댑터(adaptor), 또는 2차 어댑터로 이루어지며 어댑터에 대한 연쇄 행렬(chain matrix) Θ 은 다음과 같이 정의된다.

$$\begin{bmatrix} a_2 \\ b_2 \end{bmatrix} = \Theta \begin{bmatrix} b_1 \\ a_1 \end{bmatrix}. \quad (4)$$

그림 3은 2-포트 병렬 어댑터를 나타내고 있는데 2-포트 어댑터에 대한 연쇄 행렬은

$$\Theta = \frac{1}{1+\gamma} \begin{bmatrix} 1 & \gamma \\ \gamma & 1 \end{bmatrix} \quad (5)$$

이다. 만일 그림 3의 (a_2, b_2) 포트가 z^{-1} 에 연결된

다면 $a_2 = z^{-1}b_2$ 이므로, 이때

$$b_1 = -\frac{\gamma z - 1}{z - \gamma} a_1 \quad (6)$$

이고, (a_2, b_2) 포트가 $-z^{-1}$ 에 연결된다면

$$b_1 = -\frac{\gamma z + 1}{z + \gamma} a_1 \quad (7)$$

이다.

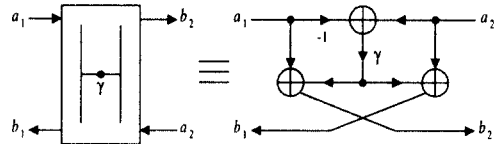


그림 3. 2-포트 병렬 어댑터의 구조

그림 4는 3-포트 직렬 어댑터를 나타내고 있는데 3-포트 직렬 어댑터는 다음과 같은 행렬식으로 표현해볼 수 있다 [12].

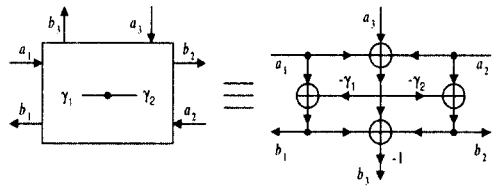


그림 4. 3-포트 직렬 어댑터의 구조

$$\begin{bmatrix} b_1 \\ b_2 \\ b_3 \end{bmatrix} = (I - \Gamma_s) \begin{bmatrix} a_1 \\ a_2 \\ a_3 \end{bmatrix}. \quad (8)$$

여기서

$$\Gamma_s = \begin{bmatrix} \gamma_1 & \gamma_1 & \gamma_1 \\ \gamma_2 & \gamma_2 & \gamma_2 \\ \gamma_3 & \gamma_3 & \gamma_3 \end{bmatrix}, \quad \gamma_3 = 2 - \gamma_1 - \gamma_2 \quad (9)$$

이다. 그림 5는 3-포트 병렬 어댑터를 나타내고 이 어댑터에 대한 행렬식은 다음과 같다.

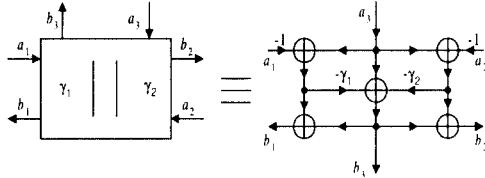


그림 5. 3-포트 병렬 어댑터의 구조

$$\begin{bmatrix} b_1 \\ b_2 \\ b_3 \end{bmatrix} = (\Gamma_p - I) \begin{bmatrix} a_1 \\ a_2 \\ a_3 \end{bmatrix}. \quad (10)$$

여기서

$$\Gamma_p = \begin{bmatrix} \gamma_1 & \gamma_2 & \gamma_3 \\ \gamma_1 & \gamma_2 & \gamma_3 \\ \gamma_1 & \gamma_2 & \gamma_3 \end{bmatrix}, \quad \gamma_3 = 2 - \gamma_1 - \gamma_2 \quad (11)$$

이다. 그림 2의 제자형 WDF를 구성하는 1차, 2차 어댑터는 레지스터와 2-포트 어댑터 및 3-포트 어댑터로 이루어진다. 그림 6의 1차 어댑터와 그림 7의 2차 어댑터의 연쇄 행렬은 식 (5), 식 (8), 식 (10)을 이용하여 다음과 같이 유도할 수 있다.

(i) $-z^{-1}$ 을 갖는 1차 직렬 어댑터(그림 6(a)) :

$$\Theta_{1s-} = \frac{1}{\gamma_1(z+1)} \begin{bmatrix} -z+1-\gamma_1-\gamma_2 & (1-\gamma_1)z+\gamma_2-1 \\ (\gamma_2-1)z+1-\gamma_1 & (1-\gamma_1-\gamma_2)z-1 \end{bmatrix}$$

(ii) z^{-1} 을 갖는 1차 병렬 어댑터(그림 6(b)) :

$$\Theta_{1s+} = \frac{1}{\gamma_2(z+1)} \begin{bmatrix} z-1+\gamma_1+\gamma_2 & (1-\gamma_1)z+\gamma_2-1 \\ (\gamma_2-1)z+1-\gamma_1 & (-1+\gamma_1+\gamma_2)z+1 \end{bmatrix}$$

(iii) $-z^{-1}$ 을 갖는 2차 직렬 어댑터(그림 7(a)) :

$$\Theta_{2s-} = \frac{1}{\gamma_1(z^2+2\gamma_0z+1)} \begin{bmatrix} -z^2-\gamma_0(\gamma_1+\gamma_2)z+1-\gamma_1-\gamma_2 & (1-\gamma_1)z^2+\gamma_0(\gamma_2-\gamma_1)z+\gamma_2-1 \\ (\gamma_2-1)z^2+\gamma_0(\gamma_2-\gamma_1)z+1-\gamma_1 & (1-\gamma_1-\gamma_2)z^2-\gamma_0(\gamma_1+\gamma_2)z-1 \end{bmatrix}$$

(iv) z^{-1} 을 갖는 2차 병렬 어댑터(그림 7(b)) :

$$\Theta_{2s+} = \frac{1}{\gamma_2(z^2-2\gamma_0z+1)} \begin{bmatrix} z^2-\gamma_0(\gamma_1+\gamma_2)z-1+\gamma_1+\gamma_2 & (1-\gamma_1)z^2+\gamma_0(\gamma_1-\gamma_2)z+\gamma_2-1 \\ (\gamma_2-1)z^2+\gamma_0(\gamma_1-\gamma_2)z+1-\gamma_1 & (-1+\gamma_1+\gamma_2)z^2-\gamma_0(\gamma_1+\gamma_2)z+1 \end{bmatrix}$$

연쇄 행렬 (i)의 모든 z 를 $-z$ 로 치환하게 되면 그림 6(a)의 $-z^{-1}$ 을 $+z^{-1}$ 로 바꾼 어댑터를 얻을 수 있다. 마찬가지로 연쇄 행렬 (ii)의 모든 z 를 $-z$ 로 치환하면 그림 6(b)의 $+z^{-1}$ 을 $-z^{-1}$ 로 바꾼 어댑터를 얻을 수 있다.

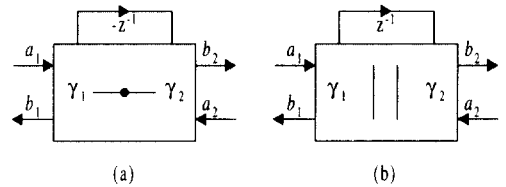


그림 6. 1차 어댑터: (a) 직렬 어댑터 (b) 병렬 어댑터

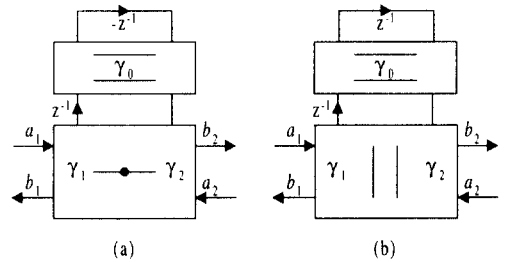


그림 7. 2차 어댑터: (a) 직렬 어댑터 (b) 병렬 어댑터

어댑터의 전달 행렬(transfer matrix)은 H 로 표시하고 다음과 같은 관계식으로 정의한다.

$$\begin{bmatrix} b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} H_{11} & H_{12} \\ H_{21} & H_{22} \end{bmatrix} \begin{bmatrix} a_1 \\ a_2 \end{bmatrix}. \quad (12)$$

전달 행렬 H 는 Θ 로부터 쉽게 유도할 수 있다. 한 예로 1차 직렬 어댑터 Θ_{1s-} 에 상응하는 H_{1s-} 는 다

음과 같다.

$$\Pi_{1s-} = \frac{1}{z + \gamma_1 + \gamma_2 - 1} \begin{bmatrix} (1 - \gamma_1)z - 1 + \gamma_2 \\ -\gamma_2(z + 1) \\ -\gamma_1(z + 1) \\ (1 - \gamma_2)z - 1 + \gamma_1 \end{bmatrix} \quad (13)$$

그림 8은 구현된 제자형 WDF 구조와 전달 행렬과의 관계를 나타낸 것이다. 그림 8의 구조를 실제로 구현하기 위해서는 무지연 루프(delay free loop)가 없어야 한다. 따라서 이러한 조건을 만족하기 위해서는 식 (12)의 Π_{11} 이나 Π_{22} 가 지연소자를 가져야 한다. 즉, γ_1 또는 γ_2 가 1이어야 한다. 이 조건은 다른 모든 형태의 어댑터에도 적용되고 이러한 어댑터를 constrained 어댑터라 한다 [1]. γ_1 또는 γ_2 가 1이 아닌 어댑터를 unconstrained 어댑터라 하고, 제자형 WDF를 구현하기 위해서는 일반적으로 1개 이상의 unconstrained 어댑터가 사용되어야 한다.

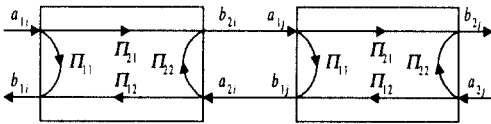


그림 8. 전달 행렬로 표시한 모듈의 연결

아날로그 영역에서 식 (3)의 $Z_1(s)$ 은 리액턴스 감소 방법을 이용하여 구현한다. 이것은 주어진 함수로부터 리액턴스에 해당하는 함수를 유도해내서 LC 소자로 구현하는 것이다. 다음은 아날로그 영역의 리액턴스 감소 방법에 해당하는 디지털 영역에서의 방법이다. 이와 유사한 방법이 LBR(Lossless Bounded Real) 구조의 구현에 사용된다 [5].

필터의 N 차 전달 함수가 $H_M(z) = N_N(z) / D_N(z)$ 로 주어졌을 때 다음 관계를 만족하는 $E_N(z)$ 를 구한다.

$$|E_N(e^{j\omega})|^2 = |D_N(e^{j\omega})|^2 - |N_N(e^{j\omega})|^2. \quad (14)$$

식 (14)는 식 (2)를 디지털 영역으로 변환한 것이라고 할 수 있다. 그림 2에서 입력 $a_{1N} = D_N(z)$, 출

력 $b_{2N} = N_N(z)$ 이면 b_{1N} 에서의 출력은 $E_N(z)$ 가 되도록 제자형 WDF를 디자인한다. $D_N(z)$ 와 $E_N(z)$ 는 모듈 N 의 같은 포트(port)에 나타나고, 또한 $G_N(z) = E_N(z) / D_N(z)$ 는 반사계수 $\rho(s)$ 로부터 얻어지는 구동점 임피던스 $Z_1(s)$ 에 해당한다고 볼 수 있으므로 제자형 WDF를 합성하는데 $G_N(z)$ 를 이용한다.

그림 6, 7에서 b_1/a_1 은 $G_i(z)$ 로 a_2/b_2 는 $G_{i-1}(z)$ 로 정의한다. 제자형 WDF를 합성하기 위해서는 주어진 전달 함수의 전송 영점 z_0 에서의 $G_i(z_0)$ 의 값에 따라 다음의 (a)~(e)에 맞는 적당한 어댑터를 선택해야 한다. 여기서는 무지연 루프를 피하기 위해서 γ_2 를 1로 하였으며 $\gamma_1 = 1$ 인 경우에도 같은 방법으로 유도할 수 있다.

(a) 전송 영점 $z_0 = \pm 1$ 일 때 $G_i(z_0) = 1$ 인 경우: 이 경우에는 1차 직렬 어댑터를 이용하고, γ_1 은 다음과 같은 값을 가진다.

$$\gamma_1 = \frac{b_1' - a_1'}{b_1' - a_1' - z_0 a_1}, \quad \text{at } z = z_0 = \pm 1. \quad (15)$$

여기서 b_1' 은 b_1 의 z 에 대한 1차 미분을 의미한다. $z_0 = -1$ 인 경우에는 그림 6(a)를 사용하고, $+1$ 인 경우에는 그림 6(a)의 $-z^{-1}$ 을 $+z^{-1}$ 로 바꿔 사용한다. 식 (15)의 γ_1 은 $G_{i-1}(z)$ 가 $G_i(z)$ 보다 1차수 감소하도록 L'Hospital's rule을 이용하여 얻어진 것이다.

(b) 전송 영점 $z_0 = \pm 1$ 일 때 $G_i(z_0) = -1$ 인 경우: 이 경우에는 다음과 같은 γ_1 값을 가진 1차 병렬 어댑터를 이용한다.

$$\gamma_1 = \frac{b_1' + a_1'}{b_1' + a_1' + z_0 a_1}, \quad \text{at } z = z_0 = \pm 1. \quad (16)$$

$z_0 = -1$ 인 경우에는 그림 6(b)를 사용하고, $+1$ 인 경우에는 그림 6(b)의 z^{-1} 의 부호를 바꿔 사용한다.

(c) 전송 영점 $z_0 = e^{j\theta}$ 일 때 $G_i(z_0) = 1$ 인 경우: 이 경우에는 다음과 같은 값을 갖는 그림 7(a)의 2차 직렬 어댑터를 사용한다.

$$\gamma_0 = -\cos \theta, \quad \gamma_1 = \frac{-(a_i' - b_i')(\gamma_0 z_0 + 1)}{(z_0 + \gamma_0)(2a_1 + a_i' z_0) + b_i'(\gamma_0 z_0 + 1)}, \quad \text{at } z = z_0 = e^{j\theta}. \quad (17)$$

(d) 전송 영점 $z_0 = e^{j\theta}$ 일 때 $G_i(z_0) = -1$ 인 경우 : 이 경우에는 다음과 같은 값을 갖는 그림 7(b)의 2차 병렬 어댑터를 사용한다.

$$\gamma_0 = \cos \theta,$$

$$\gamma_1 = \frac{(a_i' + b_i')(\gamma_0 z_0 - 1)}{(z_0 - \gamma_0)(2a_1 + a_i' z_0) + b_i'(\gamma_0 z_0 - 1)}, \text{ at } z = z_0 = e^{j\theta}. \quad (18)$$

식 (17)과 (18)의 γ_1 은 실수가 됨을 보일 수 있다.

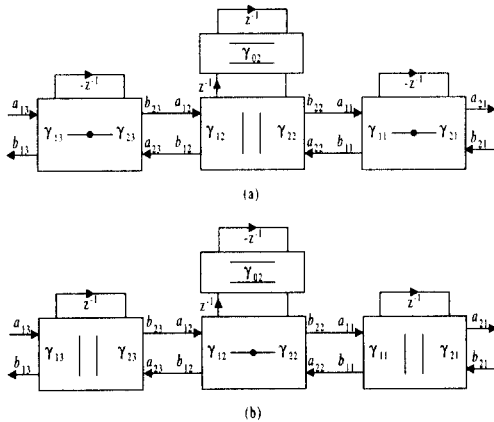


그림 9. 전송 영점이 $e^{j\theta}$ 에 있을 때의 제자형 WDF 구조 : (a) 직렬-병렬-직렬 어댑터 구조 (b) 병렬-직렬-병렬 어댑터 구조

(e) 전송 영점 $z_0 = e^{j\theta}$ 일 때 $|G_i(z_0)| = 1$ 인 경우 : 아날로그 영역에서 전송 영점이 허축상에 있을 때, 이것을 합성하기 위해서는 영점 추이(zero shifting) 기법이 이용된다. 이 기법은 원하는 위치에 전송 영점을 옮긴 다음 다시 이 영점을 실현하는 것이다. 이 경우를 디지털 영역으로 변환했을 때 그림 9와 같은 두 가지 구조가 존재하며 구현 절차는 다음과 같다: 1) 1차 어댑터를 이용하여 $G_{i-1}(z_0) = \pm 1$ 이 되도록 한다. 2) $G_{i-1}(z_0)$ 의 값에 따라 (c)나 (d)의 경우를 적용한다. 3) 끝으로 1차 어댑터를 이용하여 1)의 영향, 즉 디지털 영역에서의 영점 추이로 인한 영향을 상쇄시킨다. 이와 유사한 기법을 [5]에서 볼 수 있다. 다음은 그림 9의 각 경우에 따른 γ_{13} 과 γ_{11} 의 값이다.

i) 그림 9(a)의 경우 :

$$\gamma_{13} = \frac{(a_{13} - b_{13})(z_0 - 1)}{2(z_0 a_{13} + b_{13})}, \text{ at } z = z_0 = e^{j\theta}, \quad (19)$$

$$\gamma_{11} = \frac{\gamma_{12}(1 + \gamma_{02}) + 2(1 - \gamma_{13})(1 - \gamma_{12})}{(1 + \gamma_{02})(\gamma_{12} + \gamma_{13} - 1) + 2(1 - \gamma_{13})(1 - \gamma_{12})}.$$

ii) 그림 9(b)의 경우 :

$$\gamma_{13} = \frac{(a_{13} + b_{13})(z_0 - 1)}{2(z_0 a_{13} - b_{13})}, \text{ at } z = z_0 = e^{j\theta}, \quad (20)$$

$$\gamma_{11} = \frac{\gamma_{12}(1 - \gamma_{02}) + 2(1 - \gamma_{13})(1 - \gamma_{12})}{(1 - \gamma_{02})(\gamma_{12} + \gamma_{13} - 1) + 2(1 - \gamma_{13})(1 - \gamma_{12})}.$$

식 (14)로부터 $N_N(z_0) = 0$ 일 때, $|E_N(z_0)/D_N(z_0)|^2 = 1$ 임을 알 수 있다. 즉 $|G_i(z_0)| = 1$ 의 경우들을 (a) ~ (e)의 절차에 따라 실현함으로써 실제로는 주어진 전달 함수의 전송 영점을 실현해 나가는 것으로 볼 수 있다. 또한 (a), (b)의 경우에는 전달 함수의 1차항을, (c) ~ (e)의 경우에는 전달 함수의 2차항을 각각 실현하는 것이다.

Example 1: 전달 함수가 다음과 같은 3차의 저역 통과 타원필터 함수를 고려해보자 [12].

$$H_3(z) = \frac{N_3(z)}{D_3(z)} = \frac{0.117895(1+z)(1+1.349933z+z^2)}{z^3 - 0.640908z^2 + 0.813919z - 0.383131}.$$

식 (14)를 사용하여 $E_3(z) = 0.630103(1-z)(1-0.251979z+z^2)$ 를 얻을 수 있다. 주어진 전달 함수의 전송 영점, 즉 $N_3(z)$ 의 근은 -1 과 $-0.674966 \pm j0.737848$ 에 있다. 우선 전송 영점이 -1 인 경우를 실현한다. $E_3(-1)/D_3(-1) = -1$ 이므로 식 (16)으로부터 $\gamma_{14} = 0.22814$ 이다. 따라서

$$\frac{b_{13}}{a_{13}} = \frac{a_{24}}{b_{24}} = \frac{0.621392(1.014019 - 0.938831z + z^2)}{0.452466 - 0.389413z + z^2}$$

이다. 다음으로 $z_0 = -0.674966 \pm j0.737848$ 에 있는 전송 영점을 실현하기 위해 $|b_{13}(z_0)/a_{13}(z_0)| = |0.957870 + j0.287203| = 1$ 이므로 그림 9(b)의 구조를 사용한다. 식 (20)으로부터 $\gamma_{13} = 1.069084$ 이다. 따라서

$$\frac{b_{12}}{a_{12}} = \frac{a_{23}}{b_{23}} = \frac{0.516618(1.152510+z)(1.058273-0.957256z+z^2)}{(0.868223+z)(0.440567-0.362410z+z^2)}$$

이다. 여기서 $b_{12}(z_0)/a_{12}(z_0) = 1$ 이므로 식 (17)을 이용하여 γ_{02} 와 γ_{12} 를 구하면 각각 0.674966, 0.318724이다. 따라서

$$\frac{b_{11}}{a_{11}} = \frac{a_{22}}{b_{22}} = \frac{0.516618(-1.219670+z)}{0.146721-z}$$

이다. 마지막으로 식 (20)으로부터 $\gamma_{11} = 0.296535$ 이다. 그림 10은 합성된 제자형 WDF를 보여주고 있다. 연이어 있는 1차 병렬 어댑터는 [13]과 유사한 방법을 이용하여 그림 10에서 보인 바와 같이 하나의 어댑터로 구현할 수 있다.

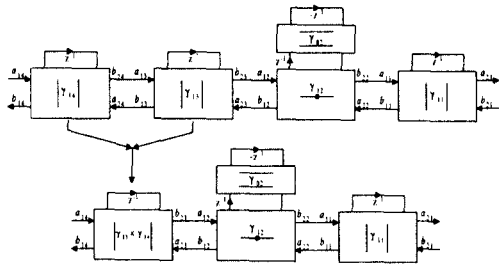


그림 10. Example 1의 합성된 제자형 WDF 구조

IV. 제자형 WDF의 파이프라인

III절의 방법으로 제자형 WDF를 디자인하면 디자인된 필터의 critical path의 길이가 필터의 차수에 따라 증가하게 된다. 이를 극복하기 위해 본 논문에서는 $G_{i-1}(z)$ 를 $G_{i-1}(z) = a_2/b_2$ 대신 $G_{i-1}(z) = za_2/b_2$ 로 변형하고 이렇게 변형된 함수를 이용하여 제자형 WDF를 구현한다. 이렇게 수정된 $G_{i-1}(z)$ 를 이용하여 제자형 WDF를 구현하면 그림 11과 같이 모듈과 모듈 사이에 하나씩의 지연소자를 갖게 되어 파이프라인이 가능하게 된다. 따라서 앞에서 언급했던 전달행렬의 Π_{11} 나 Π_{22} 가 지연소자를 가질 필요가 없게 되고 각 경우에 따른 γ 에 대한 식도 바뀌게 된다. 즉, γ_1 은 za_2 의 최고차 항을 없애기 위한 값을 갖고, γ_2 는 각각

(a)~(c) 경우의 조건을 만족시키기 위한 값을 갖는다.

1차 직렬 어댑터 Θ_{1s} 의 γ_1 을 구하기 위해 다음을 정의한다.

$$C_k[a_2] = C_k[z(-b_1 + (1-\gamma_1)a_1) - \gamma_1 b_1]. \quad (21)$$

여기에서 $Ch[p_i]$ 는 다항식 p_i 의 z 에 대한 최고차항의 계수를 의미한다. 따라서 이 경우에는 $Ch[a_2] = 0$ 이기 위해서 γ_1 이 다음과 같은 값을 가져야 한다.

$$\gamma_1 = 1 - \frac{b_1(\infty)}{a_1(\infty)}. \quad (22)$$

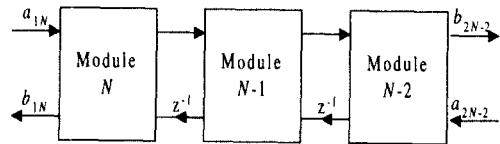


그림 11. 제자형 WDF의 파이프라인 구조

다른 어댑터의 경우에도 같은 방법으로 다음과 같은 γ_1 을 구할 수 있다.

$$\Theta_{1s\pm}, \Theta_{2s\pm} : \gamma_1 = 1 - \frac{b_1(\infty)}{a_1(\infty)}, \quad (23)$$

$$\Theta_{1p\pm}, \Theta_{2p\pm} : \gamma_1 = 1 + \frac{b_1(\infty)}{a_1(\infty)}. \quad (24)$$

다음으로 γ_2 는 III절의 각 경우에 따라 γ_1 을 구했던 것과 동일한 방법으로 구하며 다음과 같다.

i) $\Theta_{1s\pm}$ 를 사용할 때((a) 경우) :

$$\gamma_2 = \frac{-\gamma_1(za_1 + a_1' - b_1') + 2(a_1' - b_1')}{a_1' - b_1'}. \quad (25)$$

여기서 Θ_{1s} 는 $z = z_0 = -1$ 에서, $\Theta_{1s\pm}$ 는 $z = z_0 = 1$ 에서 각각 γ_2 를 계산한다.

ii) $\Theta_{1p\pm}$ 를 사용할 때((b) 경우) :

$$\gamma_2 = \frac{-\gamma_1(z a_1 + a_1' + b_1') + 2(a_1' + b_1')}{a_1' + b_1'} \quad (26)$$

여기서 Θ_{1p} -는 $z = z_0 = -1$ 에서, Θ_{1p} 는 $z = z_0 = 1$ 에서 각각 γ_2 를 계산한다.

iii) Θ_{2s} 을 사용할 때((c) 경우) :

$$\gamma_2 = \frac{z^3[(\gamma_1 - 1)a_1' + b_1'] + z^2[\gamma_0 \gamma_1(a_1' + b_1') + 3\gamma_1 a_1] + z[a_1' + (\gamma_1 - 1)b_1' + 4\gamma_0 \gamma_1 a_1] + \gamma_1 a_1}{z(\gamma_0 z + 1)(a_1' - b_1')} \quad (27)$$

at $z = z_0 = e^{j\theta}$.

iv) Θ_{2p} -를 사용할 때((d) 경우) :

$$\gamma_2 = \frac{z^3[(1 - \gamma_1)a_1' + b_1'] + z^2[(\gamma_0 \gamma_1(a_1' - b_1') - 3\gamma_1 a_1] - z[a_1' + (1 - \gamma_1)b_1' - 4\gamma_0 \gamma_1 a_1] - \gamma_1 a_1}{z(\gamma_0 z - 1)(a_1' + b_1')} \quad (28)$$

at $z = z_0 = e^{j\theta}$.

v) (e) 경우: 이 경우를 실현할 수 있는 4가지 구조를 그림 12에 보였으며 각 실현 구조에 따른 γ_{23} 의 값은 다음과 같다.

① 그림 12(a) : $\Theta_{1s} \times \Theta_{2s} \times \Theta_{1s}$ 구조

$$\gamma_{23} = \frac{(1 - z)[z((1 - \gamma_{13})a_{13} - b_{13}) + (1 - \gamma_{13})b_{13} - a_{13}]}{2z(a_{13} - b_{13})} \quad (29)$$

at $z = z_0 = e^{j\theta}$.

② 그림 12(b) : $\Theta_{1s+} \times \Theta_{2p+} \times \Theta_{1s}$ 구조

$$\gamma_{23} = \frac{(1 + z)[z((1 - \gamma_{13})a_{13} - b_{13}) - (1 - \gamma_{13})b_{13} + a_{13}]}{2z(a_{13} - b_{13})} \quad (30)$$

at $z = z_0 = e^{j\theta}$.

③ 그림 12(c) : $\Theta_{1p+} \times \Theta_{2p+} \times \Theta_{1p+}$ 구조

$$\gamma_{23} = \frac{(1 - z)[z((1 - \gamma_{13})a_{13} + b_{13}) - (1 - \gamma_{13})b_{13} - a_{13}]}{2z(a_{13} + b_{13})} \quad (31)$$

at $z = z_0 = e^{j\theta}$.

④ 그림 12(d) : $\Theta_{1p} \times \Theta_{2s} \times \Theta_{1p}$ 구조

$$\gamma_{23} = \frac{(1 + z)[z((1 - \gamma_{13})a_{13} + b_{13}) + (1 - \gamma_{13})b_{13} + a_{13}]}{2z(a_{13} + b_{13})} \quad (32)$$

at $z = z_0 = e^{j\theta}$.

γ_{21} 의 값은

$$\gamma_{21} = 2 - \frac{\gamma_{11}(A + 2B + C + 2D)}{a} \quad (33)$$

이며, 여기서 $\Theta_{1s} \times \Theta_{2s} \times \Theta_{1s}$ 구조와 $\Theta_{1s+} \times \Theta_{2p+} \times \Theta_{1s+}$ 구조일 경우에는 다음과 같고

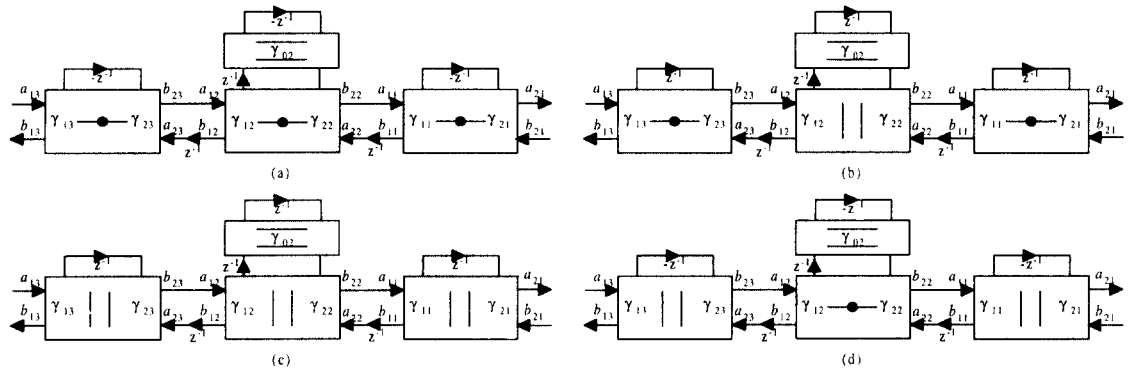


그림 12. 전송 영점이 $e^{j\theta}$ 에 있을 때의 제차형 WDF의 파이프라인 구조:

- (a) $\Theta_{1s} \times \Theta_{2s} \times \Theta_{1s}$ 구조 (b) $\Theta_{1s+} \times \Theta_{2p+} \times \Theta_{1s+}$ 구조
 (c) $\Theta_{1p+} \times \Theta_{2p+} \times \Theta_{1p+}$ 구조 (d) $\Theta_{1p} \times \Theta_{2s} \times \Theta_{1p}$ 구조

$$\begin{aligned}
 A &= 8 - 2\gamma_{12} + 2\gamma_{02}\gamma_{12} - 4\gamma_{13} + \gamma_{12}\gamma_{13} + \gamma_{02}\gamma_{12}\gamma_{13}, \\
 B &= -2\gamma_{22} + \gamma_{13}\gamma_{22}, \\
 C &= -4\gamma_{23} + 2\gamma_{12}\gamma_{23}, \\
 D &= \gamma_{22}\gamma_{23}, \\
 E &= \gamma_{02}(-2\gamma_{22} + \gamma_{13}\gamma_{22}) = \gamma_{02} \times B, \\
 F &= \gamma_{02}\gamma_{22}\gamma_{23} = \gamma_{02} \times D, \\
 \alpha &= A + B + C + D + \gamma_{02}(B + D),
 \end{aligned} \tag{34}$$

$\Theta_{1p+} \times \Theta_{2p+} \times \Theta_{1p+}$ 구조와 $\Theta_{1p} \times \Theta_{2s} \times \Theta_{1p}$ 구조일 경우에는 다음과 같다.

$$\begin{aligned}
 A &= 8 - 2\gamma_{12} + 2\gamma_{02}\gamma_{12} - 4\gamma_{13} + \gamma_{12}\gamma_{13} - \gamma_{02}\gamma_{12}\gamma_{13}, \\
 B &= -2\gamma_{22} + \gamma_{13}\gamma_{22}, \\
 C &= -4\gamma_{23} + 2\gamma_{12}\gamma_{23}, \\
 D &= \gamma_{22}\gamma_{23}, \\
 E &= -\gamma_{02}(-2\gamma_{22} + \gamma_{13}\gamma_{22}) = -\gamma_{02} \times B, \\
 F &= -\gamma_{02}\gamma_{22}\gamma_{23} = -\gamma_{02} \times D, \\
 \alpha &= A + B + C + D - \gamma_{02}(B + D).
 \end{aligned} \tag{35}$$

γ_{13} , γ_{12} , γ_{11} 및 γ_{22} 는 식 (23)~(24)와 식 (27)~(28)로부터 구한다.

그림 11에서는 모듈과 모듈 사이에 레지스터를 삽입함으로써 파이프라인을 하였으나 모듈 사이마다 레지스터 삽입이 필요하지 않은 경우, 예를 들어 두개의 모듈에 한 번씩 레지스터 삽입이 필요한 경우에는 III절과 본 절의 방법을 조합하여 제자형 WDF를 합성할 수 있다.

Example 2: Example 1의 타원필터 함수를 파이프라인 구조로 구현해보자. Example 1과 마찬가지로 우선 전송 영점이 -1 인 경우를 실현한다. $E_3(-1)/D_3(-1) = -1$ 이므로 1차 병렬 어댑터 Θ_{1p+} 를 사용해야 하고 식(24)와 (26)으로부터 $\gamma_{14} = 0.369897$ 과 $\gamma_{24} = 0.378608$ 이다. 따라서,

$$\frac{b_{13}}{a_{13}} = \frac{za_{24}}{b_{24}} = \frac{0.205717(1.022086 - z)z}{0.369897(0.099247 - 0.043827z + z^2)}$$

이다. 다음으로 $-0.674966 \pm j0.737848$ 에 있는 전송

영점을 실현하기 위해 $\Theta_{1p+} \times \Theta_{2p+} \times \Theta_{1p+}$ 구조를 이용한다. γ_{13} 과 식 (31)로부터 γ_{23} 을 구하면 각각 0.443852, 0.189385이다. 이 때,

$$\begin{aligned}
 \frac{b_{12}}{a_{12}} &= \frac{za_{23}}{b_{23}} \\
 &= \frac{-0.122235(1.285509 + 1.881591z + z^2)z}{0.164179(1.668635 + z)(0.707579 + 1.257820z + z^2)}
 \end{aligned}$$

이다. 여기서 $z_0 = -0.674966 \pm j0.737848$ 일 때 $b_{12}(z_0)/a_{12}(z_0) = -1$ 이므로 식 (24)과 (28)을 이용하여 γ_{12} , γ_{22} 를 구하면 각각 0.255479, 1.644221이다. γ_{02} 는 식 (18)과 마찬가지로 $\cos \theta$ 값을 가지며 계산하면 -0.674966 이다. 이로부터,

$$\frac{b_{11}}{a_{11}} = \frac{za_{22}}{b_{22}} = \frac{0.075950z}{0.041944(2.810736 + z)}$$

이다. 마지막으로 γ_{11} 은 2.810736이고 식 (33)과 (35)로부터 γ_{21} 을 구하면 1이다. 그림 13은 합성된 파이프라인 제자형 WDF 구조를 보여주고 있다. 그림 13으로부터 파이프라인된 제자형 WDF의 critical path의 길이는 모듈 하나의 critical path로 제한되며 필터차수와는 무관함을 알 수 있다. □

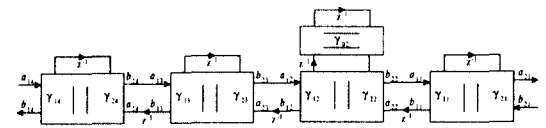


그림 13. Example 2의 파이프라인된 제자형 WDF 구조

V. 결 론

본 논문에서는 아날로그 이론과 무관하게 디지털 영역에서 직접 파이프라인 가능한 제자형 WDF를 디자인하는 방법을 제안하였다. 제자형 WDF는 아주 좁은 천이 대역폭이 요구되는 스펙을 적은 워드길이로 다른 필터에 비해 우수한 특성을 갖도록 구현할 수 있음이 알려져 있다. 그러나 기존의 방법을 이용하여 제자형 WDF를 구현하게 되면 주어진 필터의 차수가 증가함에 따라 critical path가 증가하여 고속 동작이

요구되는 응용분야에는 사용할 수 없게된다. 본 논문에서 제안한 파이프라인 방법은 디자인 과정에서 사용되는 함수 $G(z)$ 를 수정함으로써 합성과정에서 바로 파이프라인 가능하기 때문에 격자 필터나 직접형 IIR 필터처럼 파이프라인을 위한 전달 함수를 컴퓨터 프로그램이나 수학적 변환에 의해 별도로 구할 필요가 없다. 또한 각 모듈과 모듈 사이에 파이프라인 레지스터를 삽입할 필요가 있을 경우만 $G(z)$ 를 수정하여 파이프라인하기 때문에 파이프라인 구조와 그렇지 않은 구조 모두를 사용하여 구현한다면 파이프라인으로 인해 증가한 하드웨어 비용을 최소로 하여 원하는 동작속도를 얻을 수 있다.

추후 연구과제로는 파이프라인에 따른 하드웨어 증가를 합성과정에서 미리 최소화하는 방법에 대한 연구가 필요할 것으로 여겨지며 본 논문의 결과로 IIR 필터가 사용되는 영역에서 필터의 디자인과 선택의 폭을 다양하게 하는데 도움이 될 것으로 기대된다.

참 고 문 헌

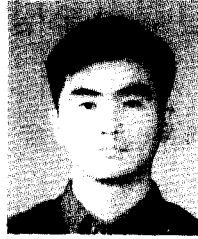
1. A. Fettweis, "Wave digital filters: theory and practice," *Proceedings of IEEE*, pp. 270-327, Feb. 1986.
2. A. H. Gray, Jr. and J. D. Markel, "Digital lattice and ladder filter synthesis," *IEEE Trans. on Audio and Electroacoustics*, vol. AU-21, pp. 491-500, Dec. 1973.
3. A. H. Gray, Jr. and J. D. Markel, "A normalized digital filter structure," *IEEE Trans. on Acoustics, Speech and Signal Processing*, vol. ASSP-23, pp. 268-277, Jun. 1975.
4. S. K. Rao and T. Kailath, "Orthogonal digital filters for VLSI implementation," *IEEE Trans. on Circuits and Systems*, pp. 933-945, Nov. 1984.
5. P. P. Vaidyanathan and S. K. Mitra, "Low pass-band sensitivity digital filters: a generalized viewpoint and synthesis procedures," *Proc. IEEE*, pp. 404-423, Apr. 1984.
6. K. K. Parhi and E. G. Messerschmitt, "Pipeline interleaving and parallelism in recursive digital filters-part I: pipelining using scattered look-ahead and decomposition," *IEEE Trans. on Acoustics, Speech and Signal Processing*, pp. 1099-1117, July 1989.
7. J. G. Chung and K. K. Parhi, "Pipelining of lattice IIR digital filters," *IEEE Trans. on Signal processing*, vol. 42, pp. 751-761, Apr. 1994.
8. J. G. Chung, H. Kim and K. K. Parhi, "Pipelined lattice WDF design for wide-band filters," *IEEE Trans. on Circuits and Systems, Part II: Analog & Digital Signal Processing*, vol. 42, pp. 616-618, Sep. 1995.
9. L. Gazsi, "Explicit formulas for lattice wave digital filters," *IEEE Trans. on Circuits and Systems*, vol. CAS-32, pp. 68-88, Jan. 1985.
10. L. Weinberg, *Network Analysis and Synthesis*. New York: McGraw-Hill Book Co., 1962.
11. H. J. Orchard, "Inductorless filters," *Electron Lett.*, vol. 2, pp. 224-225, Sep. 1966.
12. A. Antoniou, *Digital Filters: Analysis, Design, and Applications*. International Editions: McGraw-Hill Book Co., pp. 388-443, 1993.
13. I. T. Lim and B. G. Lee, "Two-Type-Interlaced Structure and LBR Test for Low-Sensitivity Digital Filter Realization," *IEEE Trans. on Circuits and Systems*, vol. 473-477, No. 7, July. 1995.



정진균(Jin-Gyun Chung) 정회원
1985년 2월: 전북대학교 전자공학과(공학사)
1991년 12월: University of Minnesota 전기공학과(공학석사)
1994년 12월: University of Minnesota 전기공학과(공학박사)

1995년 3월~현재: 전북대학교 정보통신공학과 조교수
전북대학교 전기전자회로합성연구소 운영부장

※주관심분야: VLSI 신호처리
Email: jgchung@moak.chonbuk.ac.kr



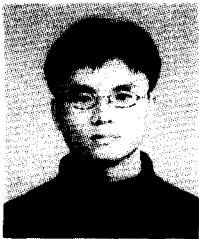
조상인(Sang-In Cho) 정회원
1997년 2월: 전북대학교 정보통신공학과(공학사)
1997년 3월~현재: 전북대학교 대학원 정보통신공학과 석사과정
※주관심분야: VLSI 신호처리
Email: sicho@vlsi.chonbuk.ac.kr



김상민(Sang-Min Kim) 정회원
1996년 2월: 전북대학교 정보통신공학과(공학사)
1998년 2월: 전북대학교 대학원 정보통신공학과(공학석사)
※주관심분야: VLSI 신호처리
Email: vlsipc@vlsi.chonbuk.ac.kr



김재원(Jae-Won Kim) 정회원
1997년 2월: 순천대학교 정보통신공학과(공학사)
1997년 3월~현재: 전북대학교 대학원 정보통신공학과 석사과정
※주관심분야: VLSI 신호처리
Email: jeanny@vlsi.chonbuk.ac.kr



김정학(Jeong-Hak Kim) 정회원
1997년 2월: 전북대학교 정보통신공학과(공학사)
1997년 3월~현재: 전북대학교 대학원 정보통신공학과 석사과정
※주관심분야: VLSI 신호처리
Email: andrea@vlsi.chonbuk.ac.kr