

디지털 위상 정렬 기법을 사용한 데이터와 클럭 복구 장치

정회원 나 지 하*, 이 범 철*

Data and Clock Recovery with Digital Phase Alignment Scheme

Ji-Ha Nah*, Bhum-Cheol Lee* *Regular Members*

요 약

대부분의 데이터와 클럭 복구 장치는 metastability를 고려하지 않으므로 그 신뢰성이 안정적으로 보장되지 않는다. 본 고에서는 플립 플롭의 metastability에 의해 발생하는 비트 오류율을 개선시키는 디지털 위상 정렬 기법을 사용하는 데이터와 클럭 복구 장치를 제안하였다. 또한, 제안된 데이터와 클럭 복구 회로에 대한 신뢰성과 에러 성능을 보였으며 구현된 데이터와 클럭 복구 장치에 대한 실험 결과를 통해 이를 입증하였다. 본 논문에서는 metastability에 의해 유발되는 비트 에러에 독립적인 데이터와 클럭 복구 장치를 지연에 대해 derating factor 변이가 큰 게이트 어레이를 이용하여 구현할 수 있음을 제안하였다.

ABSTRACT

We propose a data and clock recovery with digital phase alignment scheme which takes account of bit error rate due to metastability of flip-flops. Also it shows the error performance for the proposed data and clock recovery circuit and the experimental results for the implemented data and clock recovery. The proposed data and clock recovery which is independent of bit error caused by metastability can be implemented with a gate array that has large delay derating factor variance.

I. 서 론

디지털 위상 정렬(Digital Phase Alignment) 기법을 사용하는 데이터와 클럭 복구 장치가 최근 수년동안 많이 연구되고 있다[1, 2]. 그러나, 대부분의 연구가 metastability 조건을 고려하지 않고 수행되므로 DPA의 에러 성능이 안정적으로 보장받지 못하게 된다. DPA 기법을 사용하는 데이터와 클럭 복구 장치의 문제는 허용 지터(jitter tolerance)와 metastability에 의한 비트 오류율(Bit Error Rate: BER)이라고 할 수 있다. 허용 지터와 metastability의 비트오류율에 의한 성능을 근본적으로 개선하기 위해서는 전달지연값이 매우 정확한 게이트들과 래칭(latching) 레턴 루프의 이득이 매우 높은 플립 플롭들이 필요하다. 그러나 이것은 구현을 불가능하게 하는 물리적 제약이 된다.

본 논문에서는 먼저, DPA 기법을 사용하는 일반적인 데이터와 클럭 복구 장치를 기술한 후 그것을 비동기 동기화 장치를 갖는 DPA 회로로 일반화하였다. 또한, 비트 에러 성능은 metastability에 의한 비트 오류율로 수식화하여 기술될 수 있으므로, 통상적인 DPA의 에러 성능을 metastability에 의한 비트 오류율로 기술한 후 제안된 DPA의 에러 성능과 비교하였다. 마지막으로, 제안된 DPA를 구현한 후 우월성을 증명하기 위한 측정치를 제시하였다.

II. DPA 기법을 사용한 데이터와 클럭 복구 장치의 구조

일반적으로, DPA 기법을 사용하는 데이터와 클럭 복구 장치는 다중 위상 클럭 신호를 생성하는 블럭, 리

* 한국전자통신연구원 ATM 교환용용소자팀(jina@nice.etri.re.kr) 정회원
논문번호 : 98179-0423, 접수일자 : 1998년 4월 23일

타이밍 클럭 펄스를 위해 선택 신호를 생성하는 블록, 데이터를 리타이밍하기 위해 클럭 펄스를 합성하는 블록, 눈 모양(eye pattern)의 중앙에서 데이터를 리타이밍하는 블록, 슬립을 흡수하는 블록으로 구성되어 있다. 통상의 DPA 기법은 입력 데이터의 지연을 제어하는 방법을 사용하는 대신 원천 클럭 신호의 위상을 제어하는 방법이 많이 사용된다. 이것은 입력 데이터의 지연을 제어하는 방법에서 1UI(Unit Interval) 이상 지연하려면 데이터가 비주기적이므로 전달 지연이 일정하지 않고, 1UI 이상의 원더(wander)나 슬립(slip)을 흡수하도록 구현하기가 어렵기 때문이다. 그러나, 원천 클럭의 위상을 제어하는 방법은 클럭 신호가 주기적이기 때문에 1 UI 이상을 지연하면 같은 위상이 반복되므로 원더나 슬립을 제어하기 쉽고, 복구된 클럭 신호를 얻을 수 있다는 이점이 있다.

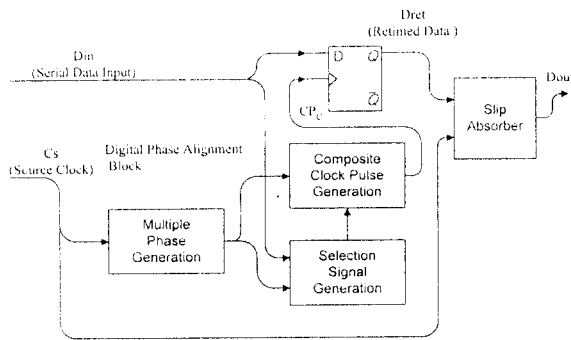


그림 1. DPA 기법을 사용한 일반적인 데이터와 클럭 복구 장치의 블럭도

Fig. 1 Block diagram of general data and clock recovery with DPA scheme.

데이터와 클럭 복구 장치의 각 블록에 대한 동작은 다음과 같다. 다중 위상을 갖는 클럭 신호를 생성하는 블록은 송신부와 동일한 주파수를 갖는 원천 클럭 신호를 수신한다. 이 원천 클럭은 다중 위상을 갖는 클럭 신호를 생성하기 위해 일정 분해능(constant resolution)으로 지연된다. 리타이밍 클럭 신호를 만들기 위해 선택 신호를 생성하는 블록은 입력 데이터의 중앙에 근접하여 상승 천이를 갖는 클럭 신호를 선택한다. 데이터를 리타이밍하는 클럭 펄스를 합성하는 블록은 입력 데이터의 눈 모양 중앙에 클럭 신호의 상승 천이가 위치하도록 선택된 클럭 신호를 합성한다. 슬립을 흡수하는 블록은 저 주파수에서 1UI 이상

의 데이터 지터나 데이터 원더를 흡수하기 위한 레지스터로 구성된 리타이밍 버퍼로 구성된다. 슬립 흡수에 대해 본 논문에서는 기술하지 않는다.

III. 통상의 DPA 회로

그림 2는 전형적인 DPA의 동기 회로를 나타낸 것이다[1]. 그림 2에서, 원천 클럭 신호는 D1에서 Dn-1 까지 n-1 개의 지연 소자의 연결로 인가되는 국부 클럭을 제공한다. 이러한 각각의 지연 소자들은 연쇄적으로 원천 클럭 신호 주기에 대해 1/(n-1)인 시간 지연을 제공한다. 따라서, 원천 클럭 신호와 지연 소자 D1부터 Dn-1의 출력 신호들은 n 개의 서로 다른 신호가 되며 각각은 이전 출력 신호에 대해 동일한 위상차로 지연된다. 원천 클럭 신호는 D-플립플롭 FF1의 입력 단자 D로 인가되고 지연 소자 D1부터 Dn-1의 출력 신호는 플립플롭 FF2부터 FFn의 각각의 입력 단자 D로 인가된다. 직렬 데이터 입력은 플립플롭 FF1부터 FFn 각각의 클럭 단자로 펄스 신호를 제공한다. 각 플립플롭 FF1부터 FFn은 직렬 데이터의 상승 천이에서 그 내부 상태에 따라 입력 단자 D로 인

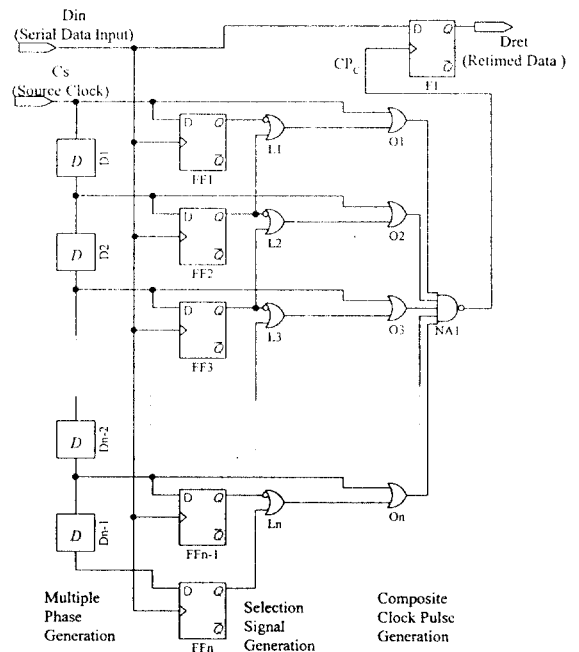


그림 2. 통상의 DPA 회로도
Fig. 2 Circuit Diagram of conventional DPA.

가된 신호 값을 로드한다. 그러므로 다수의 플립플롭 FF1~FFn의 상태는 지연 소자 D1부터 Dn-1에 의해 결정된 시간 간격으로 샘플된 직렬 데이터의 하나의 상승 천이 간격을 나타낸다.

선택 신호 생성과 합성 클럭 펄스 생성에 의해 선택된 합성 클럭 펄스 CPC는 그림 3에 보인 바와 같이 직렬 데이터의 상승 천이와 근사적으로 일치하여 발생하는 하강 천이를 갖는다. 그림 3에서 T_{jfd} , D , T_{ld} , T_{od} , T_{nad} 와 T_{jd} 는 플립플롭 FF1~FFn, 지연 소자 D1~Dn-1, 논리 게이트 L1~Ln, OR 게이트 O1~On, NAND 게이트 NA1, 플립플롭 F1의 전달 지연을 각각 나타낸다.

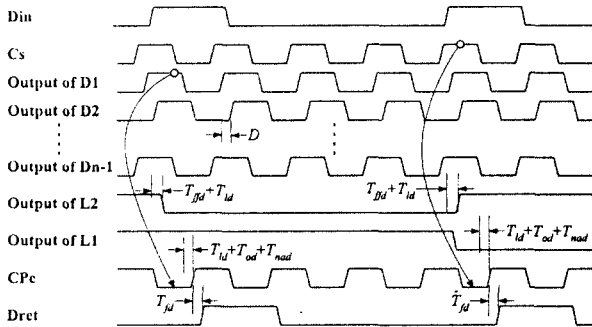


그림 3. DPA 회로의 타이밍도
Fig. 3 Timing Diagram of conventional DPA.

IV. DPA 기법을 사용한 데이터와 클럭 복구 장치의 에러 성능

디지털 전송 링크의 비트오류를 성능은 주로 시스템 잡음과 타이밍 지터에 의해 감쇄된다. DPA를 사용하는 데이터와 클럭 복구 회로에서 metastability에 의한 비트오류율은 데이터와 클럭 복구 회로의 비트오류율에 더해진다. 잡음, 타이밍 지터, metastability가 독립적으로 랜덤하면, DPA를 사용하는 데이터와 클럭 복구 회로의 전체 BER은 식 (1)과 같이 된다.

$$BER_{DR} = BER_{SNR} + BER_{TJ} + BER_{MS} \quad (1)$$

BER_{SNR} 은 신호 대 잡음 비에 의한 BER, BER_{TJ} 는 타이밍 지터에 의한 BER, BER_{MS} 는 metastability에 의한 BER이다. metastability에 의해서 발생하는 BER

은 나중에 자세히 기술된다. 비동기 데이터에 대한 비트 동기는 metastable 상태를 완전히 배제할 수 없으므로 DPA에서의 비트오류를 피할 수 없이 직면하게 된다[3]. 그림 2에서 비록 직렬 데이터(Din)와 원천 클럭(Cs)가 동기되어 있더라도, 직렬 데이터(Din)와 원천 클럭(Cs)에 지터가 존재하므로, 플립플롭 FF1~FFn은 비동기 회로에서의 동기화(Synchronization) 플립플롭으로 모델될 수 있다. 만약, 플립플롭이 metastable 상태에 있으면, 플립플롭의 출력은 High와 Low 상태 사이 중간에 떠있게 된다. 플립플롭의 출력이 High도 아니고 Low도 아닌 기간을 resolving time(또는 setting time)이라고 한다. Resolving time이 길면, metastable 상태에 있는 플립플롭의 출력은 발전할 수도 있다. 그림 2에서는 플립플롭 FF1~FFn중 특정한 플립플롭이 metastable 조건에 있더라도, DPA에서 문제가 될 때는 오직 선택 신호를 구동하는 플립플롭이 metastable 상태로 되면서 입력 데이터의 1UI이상 metastable 상태가 지속될 때이다. 만약 선택 신호를 구동하는 플립플롭이 metastable 상태에 있지 않으면, 임의의 다른 플립플롭이 metastable 상태에 있더라도 metastable 상태가 L1~Ln 게이트에 의해 마스크되므로 문제가 없게 된다. 예를 들어, 직렬 데이터의 상승 천이에 대한 metastable 상태는 L1~Ln 게이트의 두 입력중 하나에 의해 마스크되고 metastable 상태는 NA1 게이트로 전달되지 않게 된다. 그러므로, 그림 4에 보인 것처럼 선택 신호를 구동하는 플립플롭 FF1~FFn에서 metastable 상태가 T_s 동안 계속되면, 통상의 DPA에서 CPc 합성 파형인 NA1 게이트를 통과하는 파형은 그림 4에 보인 것처럼 로직 Low나 로직 High가 아닌 불확실한 상태에 있게 된다. 그림 2와 그림 3에서, DPA에 있는 선택 신호 생성부에 의해 선택된 플립플롭(FF1~FFn)의 클럭 입력의 유효 주파수는 지연 소자의 갯수가 n-1일 때 nf_{sc} 가 된다. 그림 2와 그림 3에서 통상의 DPA의 고장율은 식 (2)와 같이 계산될 수 있다.

$$FR_{DPA} = \frac{k_1 n f_{sc} f_{Din}}{e^{T_s/k_2}} \quad (2)$$

f_{sc} 는 원천 클럭의 주파수, f_{Din} 은 직렬 데이터의 평균 상승 천이 간격의 역수, T_s 는 플립플롭이 상승 천이 후 안정되기까지의 시간인 resolving 시간, k_1 과 k_2 는 레지스터의 설계 및 공정에 관계있는 파라미터이다[3,4]. 그림 3은 동작 조건이 worst case인 경우에

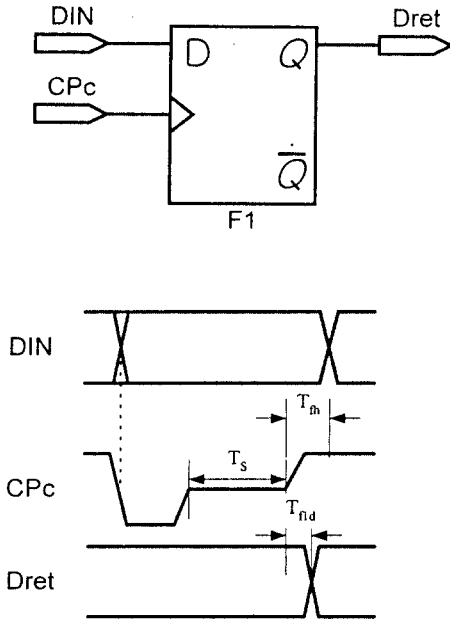


그림 4. DPA에서의 metastability
Fig. 4 Metastability in a DPA.

직렬 데이터의 상승 천이로 만들어진 CPc의 상승 천이가 D 만큼 지연되는 것을 보인 것이다. D는 지연 소자의 전달지연이고 T_s 는 식 (3)과 같다.

$$T_s = T_{sc} - T_{ffd} - T_{gd} - T_{fh} - D \quad (3)$$

T_{sc} 는 원천 클럭의 주기, T_{ffd} 는 플립플롭 FF1~FFn의 전파 지연, T_{gd} 는 $T_{ld} + T_{od} + T_{nd}$, T_{fh} 는 플립플롭 FF1~FFn의 hold time이다. 직렬 데이터와 원천 클럭에는 지터가 존재하므로 DPA는 전체적으로 비동기 회로가 된다. DPA의 고장율이란 1초동안 고장이 발생하는 빈도수를 나타내므로, BER의 정의에 의해 metastable에 의해 야기되는 BER은 식 (2)의 고장율을 f_{Din} 으로 나눈 값이다. 직렬 데이터의 비트율은 f_{Din} 의 두배이므로 즉, metastable에 의해 야기되는 BER_{MS} 는 식 (4)와 같이 된다.

$$BER_{MS} = \frac{FR_{DPA}}{0.5BER_{Din}} \quad (4)$$

BR_{Din} 은 직렬 데이터의 비트율이고 $f_{Din} = 0.5BER_{MS}$

이다.

만약, $BER_{SNR} + BER_{TJ} < BER_{MS}$ 라는 관계가 성립하면, 동기화기를 설계할 때 레지스터의 metastable에 의해 야기되는 BER_{MS} 를 분석하는 것은 중요한 의미를 갖게 된다. 표 1은 GaAs 게이트 어레이를 사용하여 그림 1의 DPA 회로를 구성했을 때의 에러 성능 표이다[4]. 표 1에서 알 수 있듯이, 통상의 DPA를 사용할 때 n이 10이면 $BER_{MS} = 3 \times 10^{-9}$ 으로 $BER_{SNR} + BER_{TJ}$ 에 비해 충분히 작은 값이 아니므로 작게 하기 위한 방법이 필요하게 된다. BER_{MS} 를 줄이기 위해 선택 신호를 2개 선택하는 방법을 통상의 DPA에서 사용할 수 있으나 metastable 상태에 빠진 플립플롭이 발진하는 경우에는 효과가 없게 된다.

표 1. GaAs 게이트 어레이를 이용한 통상의 DPA의 에러 성능

Table 1. The error performance for conventional DPA using GaAs Gate Array.

Parameter	Value(Typical)
k_1	7.44×10^{-13} sec
k_2	1.82×10^{-10} sec
f_{sc}	250 MHz
f_{Din}	125 MHz
T_{ffd}, T_{nod}	300 psec
$T_{gd} = T_{ld} + T_{od} + T_{nd}$	800 psec
T_{ld}, T_{od}	250 psec
T_{fh}	100 psec
D	500 psec
FR_{DPA}	$0.75n \text{ sec}^{-1}$
$BER_{MS}(@250 \text{ Mbps})$	$3n \times 10^{-10}$

DPA의 에러 성능을 보장하기 위해서는, $BER_{SNR} + BER_{TJ} \ll BER_{MS}$ 인 관계가 성립해야 한다. 이러한 관계는 metastability에 의한 BER이 전체 비트오류율에 비해 충분히 작게 되도록 제어될 때만 만족될 수 있다. DPA 회로가 고장날 확률을 영으로 감소시키는 방법은 없으며 단지 허용할 수 있는 낮은 수준으로 확률을 감소시킬 수는 있다. 또 다른 방법은 2단 종속 플립플롭의 클럭 펄스 반복 시간을 길게 하거나 [3] 래칭(latching) 퀘환 루프에서 높은 이득을 갖는 안전한 플립플롭을 사용하여 metastability를 방지하는 것이다[5].

V. 제안된 DPA 회로

제안된 DPA 회로는 그림 2에 보인 CPc의 metastability 확률을 감소시킴으로써 DPA의 비트 오류율을 개선하기 위한 것으로서, 그림 5는 본 논문에서 제안한 DPA 회로이다[6]. 리타이밍 클럭 신호를 만들기 위해 선택 신호를 생성하는 블록은 입력 데이터의 중앙에 근접하여 상승 천이를 갖는 두 개 또는 세 개의 클럭 신호를 선택한다. 두 개 또는 세 개의 클럭 신호를 선택하는 이유는 하나의 클럭 신호만 선택되었을 때, metastability에 의해 야기되는 클럭 펄스의 고장율이 데이터와 클럭 복구 장치에 대해 요구되는 비트 오류율에 비해 무시할 만큼 작지 않기 때문이다. 그러므로, 데이터와 클럭 복구 장치에 대해 요구되는 비트 오류율(10^{-15} 이하)을 만족시키기 위해, metastability에 의해 야기되는 합성 클럭 펄스의 고장율이 10^{-15} 이하가 되도록 여분의 클럭 펄스를 두었다. 그러나, 다수의 클럭 펄스를 선택하면 합성 클럭 펄스의 duty가 줄어들어 허용 지터를 감소시킨다. 리타이밍 클럭이 다수의 클럭 신호로부터 합성될 때, 합성에 사용되는 클럭 신호의 위상은 서로 일치하지 않으므로 합성 클럭 펄스의 상승 천이는 직렬 입력 데이터의 눈 모양 중앙과 일치하지 않게 되어 허용 지터가 줄어들게 된다.

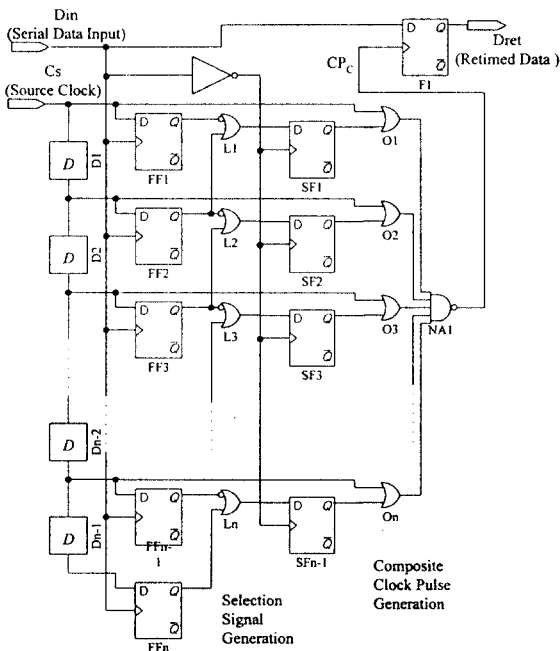


그림 5. 제안된 DPA의 회로도
Fig. 5 Circuit diagram of the proposed DPA.

데이터를 리타이밍하는 클럭 펄스를 합성하는 블록은 입력 데이터의 눈 모양 중앙에 클럭 펄스의 상승 천이가 위치하도록 두 개 또는 세 개의 선택된 클럭 신호를 합성하는 기능을 갖는다. 그림 5에서, 각각의 지연 소자는 원천 클럭 신호 주기의 $1/(n-1)$ 보다 큰 시간 지연을 연쇄적으로 제공한다. 그러나, 허용 지터를 고려할 경우 각 지연 소자에 의한 시간 지연은 원천 클럭 신호 주기의 두 배에 대해 $1/(n-1)$ 을 취한 값보다 크지 않아야 한다. 이와 같은 조건이 성립되면, 선택 신호 생성부에서 선택된 클럭 신호의 개수는 항상 두 개 또는 세 개가 된다. 제안된 DPA의 타이밍도를 그림 6에 나타내었다.

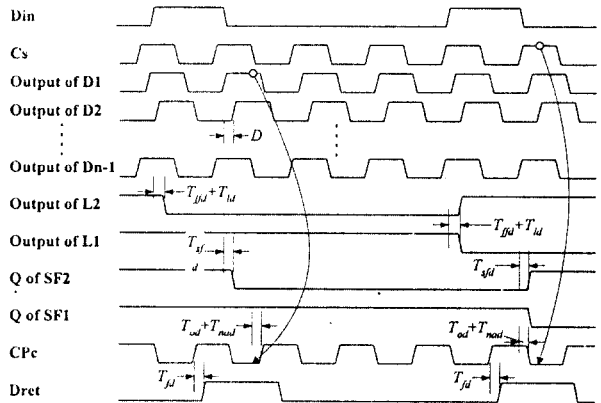


그림 6. 제안된 DPA의 타이밍도
Fig. 6 Timing diagram of the proposed DPA.

그림 5에서, 선택 신호 생성 블록의 플립플롭은 동기화기의 동기화 플립플롭 또는 resolving 플립플롭으로 해석될 수 있다. 즉, FF1~FFn 플립플롭은 동기화 플립플롭으로, SF1~SFn-1은 resolving 플립플롭으로 모델할 수 있다. L1~Ln 게이트의 출력과 직렬 입력 데이터의 반전된 신호는 동기되어 있기 때문에 물리적으로 SF1~SFn-1 플립플롭은 동기화 회로이지만, FF1~FFn 플립플롭에서 metastable 상태가 발생하여 SF1~SFn-1 플립플롭에까지 metastability가 전달되었다고 가정하자. 선택 신호 생성부에서 선택된 클럭 신호의 개수가 항상 두 개이면, FF1~FFn 중에 선택 신호를 구동하는 2개의 플립플롭에서 모두 metastable 상태가 발생하거나 선택 신호를 구동하는 FF1~FFn 플립플롭과 여기에 연결된 SF1~SFn-1 플립플롭에서 모두 metastable 상태가 발생하는 경우에만 제안된 DPA는 실패

하게 된다. 본 논문에서는 나머지 플립플롭에서 *meta-stable* 상태가 발생할 경우에 대한 논리적인 해석은 하지 않지만 나머지 경우는 논리적으로 안정한 상태가 된다. 제안된 DPA의 고장율은 직렬 데이터의 천이 간격에 관계하나 여기서는 직렬 데이터의 논리 High 펄스 폭을 $1UI$ 또는 $1T_{sc}$ 로 가정하여 분석하였다. *Metastability*에 의해 눈 모양 중앙에서 데이터를 리타이밍하는 CPC를 합성하지 못할 확률은 첫번째단 플립플롭FF1~FFn에서 선택 신호를 구동하는 플립플롭과 여기에 연결된 두번째단 플립플롭SF1~SFn-1에서 모두 *metastability*가 발생할 확률 또는 첫번째단 플립플롭 FF1~FFn중에서 선택 신호를 구동하는 두 개의 플립플롭에서 *metastability*가 발생할 확률이다. *metastability*에 의해 DPA가 고장날 확률은 상기 두 가지 경우의 고장율을 직렬 데이터의 천이 발생 빈도수로 나눈 값이므로, 제안된 DPA의 고장율은 식 (5)와 같이 계산될 수 있다.

$$FR_{pDPA} \approx \frac{FR_{ff}(FR_{ff} + FR_{cf})}{f_{Din}} \quad (5)$$

FR_{ff} 는 첫번째단 플립플롭 FF1~FFn-1중 하나에 대한 *metastability*에 의한 고장율, FR_{cf} 는 두번째단 플립플롭 SF1~SFn-1중 하나에 대한 *metastability*에 의한 고장율이다. 그림 6에 보인 것처럼, 첫번째단 고장율의 T_s 은 $T_{sc} - T_{ffd} - T_{td} - T_{sfs} - D$ 로서 T_{sfs} 는 두번째단 플립플롭 SF1~SFn-1의 setup time이며, 두번째단 고장율의 T_s 는 $T_{sc} - T_{sfd} - T_{od} - T_{nad} - T_{jh}$ 이다.

식 (2)의 고장율 정의, 첫번째단의 T_s 와 두번째단의 T_s 를 이용하면, 디지털 위상 정렬 회로의 여러 성능은 표 2와 같이 계산될 수 있다. 표 2의 BER_{MS} 는 데이터 비트율로 곱해진 고장율(FR_{pDPA})이다. 일반적으로, $n > 10$ 이므로 $FR_{ff} + FR_{cf} \approx FR_{ff}$ 라는 관계가 성립한다. 표 2는 worst case 동작 조건에서 분석한 것이므로, 실제의 여러 성능은 훨씬 더 좋다고 할 수 있다. 그러므로, *metastability*에 의한 비트 오류율을 감소시키기 위해 제안된 방법은 DPA의 여러 성능을 개선시키는 노력의 일환으로 효과적이라고 할 수 있다. 표 2에 보인 바와 같이, 제안된 DPA에서 BER_{MS} 는 BER_{MS} 를 배제한 전체 오류율에 비해 충분히 낮다. 통상의 DPA와 비교할 때, 표 2의 여러

성능은 제안된 DPA가 *metastability*에 의한 BER 측면에서 통상의 DPA보다 우수함을 나타낸다.

표 2. GaAs 게이트 어레이를 이용한 제안된 DPA의 여러 성능

Table 2. The error performance for the proposed DPA using GaAs Gate Array.

Parameter	Value(Typical)
k_1	7.44×10^{-13} sec
k_2	1.82×10^{-10} sec
f_{sc}	250 MHz
f_{Din}	125 MHz
$T_{ffd}, T_{sfd}, T_{nad}$	300 psec
T_{td}, T_{od}	250 psec
T_{jh}	100 psec
T_{sfs}	150 psec
D	500 psec
FR_{ff}	$9.68n \times 10^{-3}$ sec ⁻¹
FR_{cf}	0.0012 sec ⁻¹
FR_{pDPA}	$7.5n^2 \times 10^{-3}$ sec ⁻¹
$BER_{MS}(@250 \text{ Mbps})$	$6n^2 \times 10^{-21}$

VI. 구현 및 결과

제안된 DPA 기법을 사용한 데이터와 클럭 복구 장치는 Vitesse FX10K GaAs 게이트 어레이로 구현되었다. Vitesse FX10K GaAs 게이트 어레이의 특성으로는 6,000개의 사용 게이트, 110psec의 intrinsic setup time과 70psec의 hold time을 갖는 D-플립플롭을 갖는다. 제안된 데이터와 클럭 복구 장치는 200~300Mbps 비트율을 갖는 직렬 NRZ 데이터를 복구하기 위해 구현되었으며, FX10K 라이브러리중 게이트

표 3. Vitesse GaAs 게이트 어레이로 구현된 제안된 DPA의 특성

Table 3. Characteristics of the proposed DPA which is implemented in the Vitesse GaAs Gate Array.

Technology	0.6 μ GaAs 10K Gate Array(Vitesse)
BER	10^{-15} (@250Mbps)
Jitter tolerance(pk-to-pk)	0.3 UI(@31.25 MHz)
Slip Control bits	3.5UI
Max. transmission length	15 M(@ Twinx cable)
Allowable bit rate	150~400 Mbps
Transceiver level	ECL Differential
Transmission Impedance	50Ω(Differential)
Data format	NRZ
No. of delay tap	12 or 24(@500psec gate delay)

