실시간 고성능 움직임 추정기 성능향상을 위한 데이터처리 제어 방법에 관한 연구

정회원 이 강 환*, 추 봉 조**

A Study on the Efficient Data Processing Control for Real-time Motion Estimator

Kangwhan Lee*, Bongjo Choo** *Regular Members*

요 약

본 논문에서는 선형 시스톨릭 어레이를 이용한 블록 정합 움직임 추정 장치의 기준 블록 및 탐색 영역 데이터를 효율적으로 공급하기 위한 새로운 데이터 입력 제어부의 구조를 보여준다. 제안된 구조는 탐색영역의 데이터 처리를 위해 외부로부터 2개의 밴드를 가지고 있으며, 중복되는 메모리의 접근을 제거하여 하드웨어의 복잡도를 감소하였다. 또한 움직임 추정을 위해 제안된 다중 프로세서어레이(Multiple Processor Array Unit(MPAU)내로의 데이터 입력 처리시 추가적인 외부 제어로직이 요구하지 않고 우수화소열과 기수화소열로 입력 데이터를 다중 처리 함으로써 데이터 처리 연산량을 증가시키고 하드웨어 크기는 감소시킬 수 있는 실시간 움직임 추정연산의 효율적인 움직임 추정구조를 보여준다.

ABSTRACT

In this paper, we describe a new efficient data control processing that used the linear systolic array for real time motion estimator. The proposed data control processing provides to the multiple processor array unit(MPAU) input data from search area and reference block data. The proposed data control architecture scheme has based on two slice band for input data processing. And it has shown the characteristics of any required external control logic blocks for input data as like reference block or search area data.

The proposed architecture has characteristics as follows ;

1) An efficient data input control architecture which has an even and odd pixel stream for candidate frame and reference blocks processing.

2) The proposed input data scheme can reduce almost a half hardware scale architecture and speed up about twice with inducing the real time motion estimation processing which is good to VLSI implementation.

3) Reduced hardware complexity caused by removing the redundancy memory access control.

*김천대학 전자통신과(kwlee@semilab.ee.cau.ac.kr), 정회원
**김천대학 사무자동화, 정회원
논문번호 : 98002-0814, 접수일자 :1998년 8월 14일
※ 본 연구는 김천대학 학술연구 조성비에 의해 수행되었습니다.

I. 서 론

최근 인터넷, 영상회의, HDTV 등은 초고속정보통신망과 컴퓨터시스템의 발달로 인해 사용자에게 좀더 친숙한 정보전달의 방법으로 영상과 음향이 결합된 멀티미디어 매체를 필수적으로 요구하게 되었다. 특히 제한된 전송선로를 통한 HDTV, 화상회의, 영상통신 등의 영상정보의 취득과 전송을 효율적으로 수행하기 위한 데이터의 압축기술이 필수적으로 요구된다.[1][2]

움직임 추정 연산부는 후보프레임으로부터 탐색영역의 데이터 처리가 요구되며, 기준 프레임으로부터는 탐색영역에 요구되는 적절한 기준블록의 데이터 처리가 수행되어야 한다. 이때 외부 메모리를 사용한 데이터 처리 방식의 경우 메모리로부터 데이터 접근 방식이 중복되고, 이를 제어하기 위한 외부로직 블록이 요구된다. 따라서 이는 하드웨어의 복잡도가 증가하는 요인으로 작용한다.

본 논문에서는 기존의 움직임 추정 연산 구조를 변형하여 움직임 추정연산 동작시 외부로부터 요구되는 제어로직이 필요 없고, 실시간 움직임 추정이 가능한 효율적인 데이터의 입력 처리 제어 방법을 연구하고 이의 설계 방법을 제안하고자 한다.

본 논문의 구성은 다음과 같다. 먼저 2장에서는 일반적인 블록정합 움직임 추정 알고리즘을 살펴보고 3장에서는 기존의 움직임 추정기 기존 구조와 이로부터 효율적인 데이터 입출력을 위한 제안된 새로운 움직임 추정기의 구조를 보여준다. 이때 움직임 추정 연산을 위해 제안된 구조에서 요구되는 탐색영역 및 기준블록의 데이터 흐름과 제어의 특징을 설명하고 4장에서는 결론을 맺는다.

II. 블록정합 움직임 추정알고리즘

블록정합 움직임 추정 알고리즘(Block Matching Motion Estimation Algorithm)은 기준 프레임의 블록(N×N)의 정방형의 블록으로 나누어 각 블록을 기준블록(Reference block) $R(i, j)$으로 한다. 기준블록과 비교하는 후보프레임을 탐색영역(Search Area) $S(i+u, j+v)$의 크기에 따라 나누고, 각각의 기준블록에 대한 탐색영역에서의 움직임 추정 연산을 수행한다. 움직임 벡터는 후보 프레임의 탐색영역 중에서 기준 프레임의 각 기준블록에 대응하는 블록을 중심으로 주변 영역을 탐색하여 절대 오차값이 가장 작은 블록을 선택하고, 그때의 변위(Displacement)를 계산하여 움직임 벡터로 설정하게 된다.

그림 1은 블록정합 움직임 추정의 개념을 나타낸 것으로 블록의 최대탐색거리를 ($\pm q_h \times \pm q_v$)로 한정함으로써 지정된 탐색영역은 블록의 원점을 기준으로부터 ($N+2q_h$, $N+2q_v$)인 탐색영역에서 합의 절대차이(SAD:Sum of Absolute Difference)를 구한다. 블록정합 알고리즘에서는 탐색영역이 정방형인 경우 $(2q+1)^2$번의 기준블록과 비교연산을 수행하고, 이때 최소값을 갖는 위치의 움직임벡터를 선택한다.

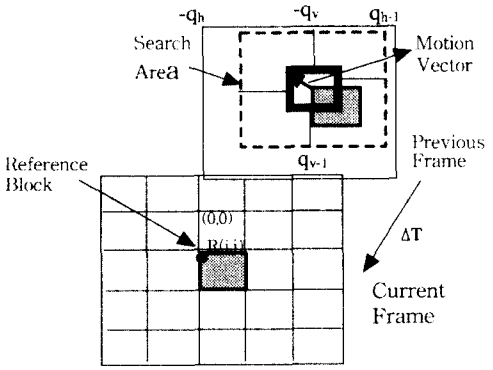

그림 1. 블록정합 움직임 추정처리
Fig. 1. Block Matching Motion Estimation Process

III. 움직임 추정기의 구조 및 설계

1. 기존의 움직임 추정기 구조와 데이터 입력 방법

일반적인 움직임 추정기는 그림 2처럼 구성이 되며 움직임 추정 연산은 탐색영역 후보 프레임의 데이터가 프로세서어레이로 화소 단위로 입력되며 이와 동시에 기준블록의 프레임 데이터를 입력받

아 각 화소별로 탐색영역 화소와 기준블록 화소간의 오차를 구하고 오차값들 중에서 최소값을 찾아 움직임 추정기의 움직임벡터(Motion Vector)를 계산한다.

후보프레임의 탐색영역 데이터는 프레임 메모리로부터 제어부의 반복되는 입력신호에 따라 프로세서어레이로 한 화소씩의 데이터를 연속적으로 공급하게 되고, 해당하는 기준프레임의 기준블록의 화소데이터를 프로세서어레이로 전달하게 된다. 이때 기준블록의 프레임 메모리는 제어부로부터 발생된 신호에 의해 (N×N)기준블록 데이터를 탐색영역으로부터 요구되는 일정주기동안 연속적으로 전달한다. 이러한 일련의 메모리 중복접근이 허용되는 시스톨릭어레이 구조의 움직임 추정 구조는 탐색영역의 데이터와 기준블록의 (N×N) 화소 데이터로부터 각 블록에 대한 정합기준함수의 누적결과를 적용하여 움직임벡터를 구한다.

기준블록과 움직임벡터 $MV(u, v)$에 해당하는 후보프레임의 탐색영역과의 오차를 구하기 위하여 식(1)과 같은 SAD(Sum of Absolute Difference) 연산을 이용한다.

$$SAD(u.v) = \sum_{i=0}^{N-1}\sum_{j=0}^{N-1} |S(i+u, j+V) - R(i,j)|$$
$$where \quad -q_h < u < q_{v-1} \tag{1}$$

여기서 $R(i, j)$와 $S(u+i, v+j)$는 각각 기준블록과 탐색블록의 (i, j)번째의 화소값을 나타내며, $MAD(u, v)$의 값이 최소인 탐색블록을 정합블록(Matching block)이라고 하고 이 블록정합으로부터의 변위값 (u, v)을 움직임벡터(Motion vector)라 한다. 따라서 최종 이동벡터는 $\overrightarrow{MV}$는 식 (2)와 같이 구할 수 있다.

$$\overrightarrow{MV} = Min_{u,v}\{MAD(u,v)\} \tag{2}$$

탐색영역 $S(u+i, v+j)$ 내에서 식 (1)과 같은 정합기준함수를 적용한 그림 2의 프로세서어레이는 SAD값과 이때의 메모리 주소값을 출력하여 최종적인 움직임 변위 결과를 발생한다. 이러한 구조의 움직임 추정연산은 주어진 탐색영역 내에서의 움직임벡터를 구하기 위해 탐색영역의 프레임메모리와 기준블록 메모리로부터 데이터를 중복 접근하여 프로세서어레이에 전달하는 시스톨릭 어레이구조를 나타낸다. 이 구조는 프레임 메모리로부터 탐색영역 데이터를 PE(Processing Element) 어레이로 전달시, 기준프레임의 지정된 매크로블록(N×N)의 처리를 위해 주어진 탐색영역에서 매번 마다 초기 PE의 유휴시간(idle time)이 프로세서 어레이(PA)에서 존재한다는 것을 의미한다.[3][4][5]

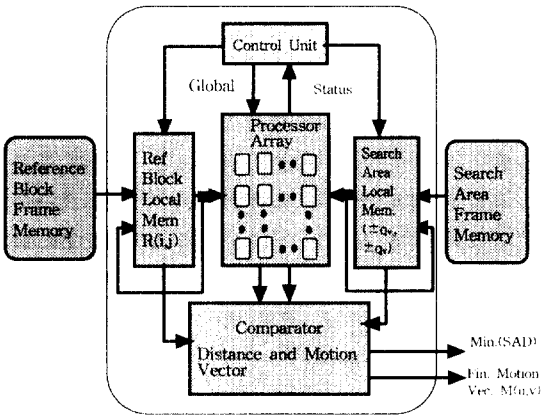

그림 2. 일반적 움직임 추정기 구조
Fig. 2. General Motion Estimation Structure

이러한 기준블록 메모리와 탐색영역 프레임 메모리로부터 메모리의 중복접근으로 인한 불규칙적인 데이터 입출력은 VLSI 설계과정에서 비효율적인 제어구조가 발생되며, 결국에는 하드웨어 경비 상승과 시스템의 동작속도를 낮게 하는 요인으로 작용된다.

블록정합 알고리즘의 실시간 구현은 VLSI 구조 개발에 크게 의존하며, 이를 위해 많은 제안들이 기존 논문을 통해 연구되어 왔다.[6] 특히 시스톨릭 어레이 구조를 기반으로 한 움직임추정구조는 자체의 확장성으로 인하여 탐색영역확장에 유용하게 적용되고 있으나, 이 구조는 그림 2에서 보여주는 바와 같이 기준블록 및 탐색영역데이터의 프레임 메모리 중복접근에 따른 효과적인 방안을 제시하

지 못하고 있다.

이를 위해 본 논문에서는 VLSI 시스템 설계의 복잡도를 감소시키고, 외부에 부가적인 메모리 제어 요소가 필요 없으면서 PE 구조 내에서 탐색영역 데이터와 기준블록 데이터를 입출력의 대역폭(Bandwidth)과 매크로블록(Macro Block) 크기에 따라 처리되는 입출력구조를 가지고, 또 요구되는 하드웨어 크기를 1/2로 감소되는 고속 실시간 움직임 추정기의 VLSI 연산구조를 연구 개발하였다.

2. 제안된 움직임 추정기 구조

본 논문에서 제안된 실시간 VLSI 움직임추정기의 구조는 기준블록과 탐색영역 데이터처리를 위한 효율적인 탐색영역 데이터의 입력 제어 방법을 제안한다.

제안되는 방법으로부터 얻는 효과는 기존의 프로세서 어레이 구조로부터 입력되는 외부 데이터를 교번(interleaving)으로 처리하는 PA구조를 개발하여 PA내에서 데이터 처리 계산량이 증가되고, 소요되는 하드웨어 크기는 1/2로 감소하는 구조를 갖는 움직임 추정 구조를 얻는다.[7] 이를 위해서 기준블록 처리기와 후보프레임으로부터 입력되는 탐색영역의 데이터를 제어하는 탐색영역처리기를 기존의 움직임 추정 계산기 구조의 기준블록 메모리 및 탐색영역 데이터 메모리 대신에 추가한다. 그림 3에서는 본 논문에서 제안된 움직임 추정기의 구조를 보여준다.

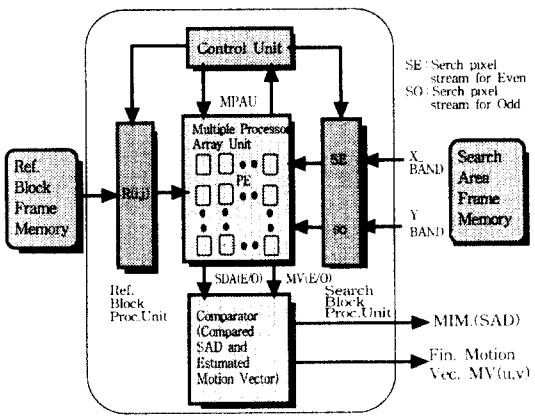

그림 3. 제안된 움직임 추정기 구조
Fig. 3. Proposed Motion Estimation Structure

그림 3의 제안된 움직임추정기 동작을 살펴보면, 외부로부터 입력되는 두 개의 슬라이스단위(Slice Unit)의 탐색영역데이터 X-BAND, Y-BAND는 구성된 다중프로세서 어레이로 직접 입력되지 않고 먼저 탐색영역 처리부로 입력된다. 다중프로세서 어레이로부터 출력된 우수 화소 및 기수 화소에 대한 각각의 SAD(E/O) 및 PE의 위치 정보를 이용한 MV(E/O)는 비교부에서 처리되어 최종적인 움직임 벡터를 선택한다.

3. 입력 데이터 제어부 구조

본 논문에서 입력되는 탐색영역 데이터의 구조는 제안된 다중 프로세서 어레이로부터 요구되는 우수화소열(SE)과 기수화소열(SO)의 교번 형태를 가지며, 이는 그림 4처럼 후보프레임의 탐색영역 데이터 대역폭을 가지게 된다. 이때 각 슬라이스 단위로 입력되는 두 개의 슬라이스 밴드(Slice Band)인 X-BAND 및 Y-BAND의 구조는 입력되는 기준블록의 크기를 제어하게 된다.[7]

그림 5에서는 움직임 추정기의 탐색영역 및 기준블록의 크기를 축소된 형태에서의 기준블록과 탐색영역데이터를 보여준다. 여기서 적용된 기준블록의 크기는 (2×2)이며, 탐색영역은 수평과 수직으로 10×6으로 설정하였다. 설정된 X-BAND 및 Y-BAND는 슬라이스 단위시간인 ST(0)에서는 X-BAND(T0)의 X(0)와 Y-BAND(T0)의 Y(0)로 구성

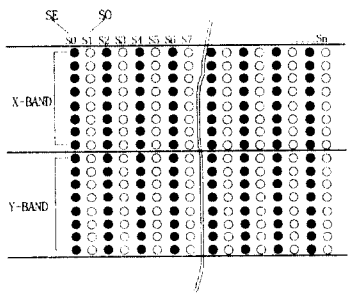

그림 4. 탐색영역 데이터 구조
Fig. 4. Structure of Search Area Data.

되어 프로세서어레이로 입력되고 있으며 ST(1)에서는 Y-BAND(T0)가 X-BAND(T1)인 X(1)이 되고 Y-BAND(T1)의 Y(1)은 새로운 다음 슬라이드 탐색영역데이터가 되어 중복되는 탐색영역 데이터의 메모리접근을 제거한다. 이때 입력되는 기준프레임의 기준블록과 탐색영역 데이터 흐름도를 그림 6에서 보여준다. 그림 6을 살펴보면, 우수화소열(SE)는 입력 시점이 T=0에서 부터 입력되고 기수화소열(SO)은 블록크기 (N×N)에 대해 2N[T] 지연된 후 입력된다. 마찬가지로 현재 프레임의 기준블록 데이터는 입력 시점이 T=0에서 우수기준블록(RE)를 입력하고, 다시 이를 블럭크기 (N×N)의 2N+1[T]만큼 지연 후 기준블록의 데이터를 다시 한번 입력하여 기수 기준블록(RO)를 입력한다.

그림 6처럼 우수화소열과 기수화소열로된 탐색영역 및 기준블록의 데이터를 다중프로세서어레이(MPAU)로 발생하기 위해서는 탐색영역 제어부와 기준블록 입력 처리부가 필요하다. 따라서 다중처리 연산을 일으키는 다중프로세서어레이(MPAU) 우수 및 기수화소열의 탐색영역에 상응되는 기준블록의 데이터를 적절히 입력하여 탐색영역의 우수화소열(SE)을 기준으로 하는 움직임변위와 기수화소열(SO)을 기준으로 하는 움직임변위의 계산을 동시에 수행하여 비교연산부에서는 우수 및 기수 비교연산만을 간단히 처리하여 최종적인 움직임 벡터를 구하게 된다.

그림 7에서는 제안된 구조의 움직임 추정 연산에서 요구되는 탐색영역 제어부 구성을 보여 준다. 후보프레임의 탐색영역 데이터는 그림 4에서 슬라이스 단위로 입력되고 이를 각각 X-BAND와 Y-BAND로 나타낸다. 먼저 그림 4의 우수화소열(SE)을 발생하기 위해서는 ST(0)에서 X-BAND의 데이터는 그림 7의 멀티플렉스(MUX)의 상위단자로 직접 입력하고, Y-BAND의 데이터는 기준블록크기 (N×N) 화소수에 대해 N[T] 만큼 지연된 데이터를 그림 7의 멀티플렉스(MUX)의 하위단자로 입력한다. 기수화소열(SO)을 발생하기 위해서 X-BAND의 데이터는 멀티플렉스(MUX)의 하위 단자로 직

Search Range		Search Area	Block Size	PE number
Horizontal	Vertical	H×V	2×2	4
H) 4+3	V) 2+1	10×6		

Reference Data(RE#)	
R(0,0)	R(0,1)
R(1,0)	R(1,1)

Reference Data(RO#)	
R(0,0)	R(0,1)
R(1,0)	R(1,1)

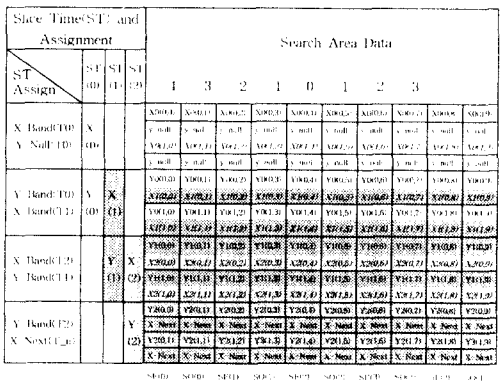

그림 5. 움직임추정부의 탐색영역데이터 및 기준블록 데이터 대역폭 구성도

Fig. 5. The Structure of Bandwidth data for Search Area and Reference Block with Scale down (2×2)

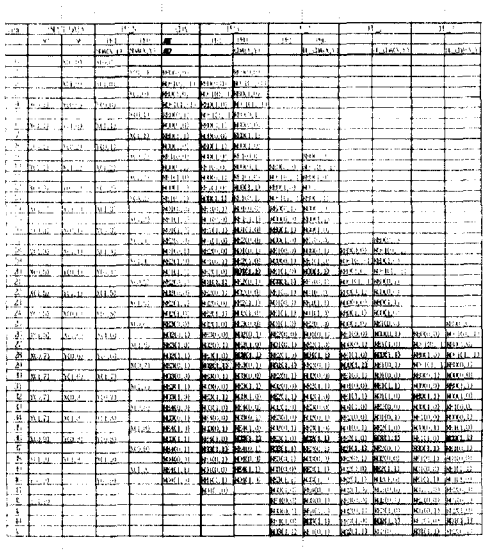

그림 6.움직임추정부의 탐색영역데이터 및 기준블록 데이터의 흐름도

Fig. 6. Motion Estimator Data flow of Search Area and Reference Block.

의 데이터는 멀티플렉스(MUX)의 하위 단자로 직접 입력하고, Y-BAND의 데이터는 (N×N) 화소수에 대해 2N[T]만큼 지연된 데이터를 멀티플렉스의 상위단자로 입력한다. 이때의 두개의 멀티플렉스는 제어부로부터 발생된 선택신호 "SEL"에 의해 기준블록 (N×N) 화소수에 대한 2N[T] 만큼 간격을 두고서 X-BAND신호와 Y-BAND에 해당하는 후보프레임의 탐색영역 데이터를 우수화소열(SE)와 기수화소열(SO)로 출력되어 프로세서어레이로 전달된다.

그림 8에서는 그림 7의 후보프레임의 탐색영역 데이터를 처리하기 위한 타이밍도를 보여준다. 제어신호 "SEL"에 의해 후보프레임의 탐색영역 데이터 X-BAND와 Y-BAND는 우수열(SE)와 기수열(SO)로 출력되어 프로세서어레이로 입력되어 처리된다.

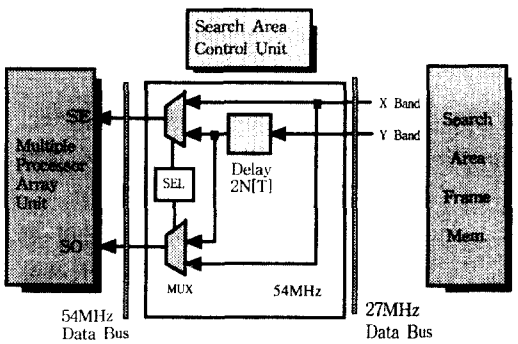

그림 7. 탐색영역 제어부 구성
Fig. 7. Structure of Search Area Control Unit.

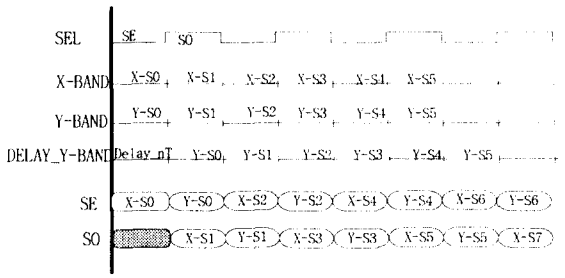

그림 8. 탐색영역 제어부 타이밍
Fig. 8. Timing Diagram of Search Area Control Unit.

한편 그림 3의 기준블록 입력 처리부의 구성은 그림 9에서 보여준다. 현재프레임의 기준블록 데이터는 다중프로세서어레이(MPAU) 처리속도의 1/2 속도로 발생되고, 이 데이터를 2N+1[T]만큼 지연시킨 후 그림 7에서 처럼 다중화하여 2배의 속도로 데이터를 다중프로세서어레이(MPAU)로 입력하여 움직임 추정 연산을 수행한다.

Ⅳ. 결 론

본 논문에서 제안하는 실시간 움직임추정기의 VLSI 구조는 설계의 복잡도를 감소시키고 외부의 부가적인 메모리제어요소가 필요 없으며, PE 구조 내의 탐색영역 데이터와 기준블록 데이터를 입출력 대역폭에 따라 매크로블록의 크기조정이 가능하며, 동시에 입출력의 단순한 구조를 얻는다. 한편 탐색영역 데이터의 제어방법을 슬라이스 단위인 X-BAND 및 Y-BAND로 각각 슬라이스 시간(Slice time)에 따라 제어함으로써 중복되는 메모리의 접

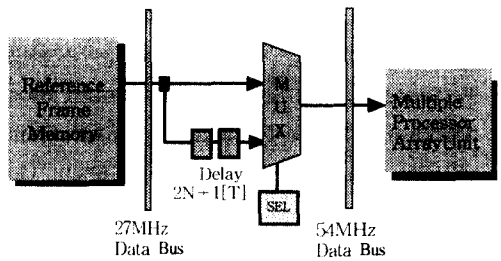

그림 9. 기준블록 데이터 입력부
Fig. 9. Data Input Unit of Reference Block.

근을 제거하였다.

또한 우수화소열(SE)와 기수화소열(SO)로 처리된 후보 프레임의 탐색영역 $S(i+u, j+v)$의 데이터를 다중프로세서 어레이에서 동시에 처리하여 데이터의 처리량을 증가시키고 소요되는 하드웨어 크기를 1/2로 감소시킬 수 있는 효율적인 실시간 움직임 추정기의 데이터 입력 제어방법을 제안 설계하였다.

감사의 글

※ 본 연구는 김천대학 학술연구 조성비에 의해 수행되었습니다. 그리고 본 논문이 완성 되기 까지 많은 조언을 해 주신 한국전자통신연구원의 영상통신연구실 연구원 여러분께 감사를 드립니다.

참 고 문 헌

1. G. B. De Natale and Daniele D. Giusto, "High Performance Hierarchical Block based Motion Estimation for Real Time Video Coding," Real Time Imaging Vol4. pp 67-79, 1998
2. Thomas Komarek and Peter Pirsch, "Array Architecture for Block Matching Algorithm," IEEE Trans. Circuit and Systems, Vol. 36, No.10, pp.1309-1316, Oct. 1989.
3. Bor-Min Wang, Jui-Chen Yen and Shyang Chang, "Zero waiting-cycle Hierarchical Block Matching Algorithm and its Array Architecture," IEEE Trans. Circuit and Systems for video technology, Vol. 4, No. 1, pp.18-27, Feb.1994.
4. Zhongli He and Ming L. Liou, "A High Performance Fast Search Algorithm for Block Matching Motion Estimation", IEEE Trans. Circuits Syst., Vol. 7, No. 5, pp. 826-828, Oct. 1997
5. Bor-Min Wang, "An Efficient Block Matching Algorithm for Video Coding and its VLSI Architecture in ISDN and HDTV application,", 2nd Asia-Pacific Conference on Comm. Vol. 1 pp. 52-55, 1995
6. Shu-Shih and Such-Bing hang, "A Comparison of Block-Matching Algorithms Mapped to Systolic-Array Implementation," IEEE Trans. Circuits Cyst., Vol. 7, pp. 741-757, Oct. 1997.
7. Kwlee, Hklee, Jwkim, "An efficient VLSI Architecture for Block Matchin Motion Estimation," SPIE - Digital Compression Technologies and Systems for Video Communication, Vol.2, No1, pp 575-581, 1996

이 강 환(Kangwhan Lee)정회원

1987년 2월 : 한양대학교 전자공학과 졸업(공학사)
1989년 8월 : 중앙대학교 대학원 반도체공학 전공(공학석사)
1998년 12월 : 중앙대학교 대학원 반도체공학 전공(박사수료)
1996년 2월 : 한국전자통신연구원 통신시스템 연구단 선임연구원
1996년 12월~1월 : KAIST연수
1997년 11월~2월 : Sophia Antipolis institute 연수
1996년 5월~현재 : 한국전자통신연구원 초빙연구원
1996년 3월~현재 : 김천대학 전자통신과 전임강사
<관심분야> VLSI구조 및 설계, 영상신호처리, 영상통신, 디지털신호처리

추 봉 조(Bongjo Choo)정회원

1990년 : 경성대학교 전자계산학과 졸업(이학사)
1992년 : 경성대학교 대학원 전자계산학과 졸업(이학석사)
1996년 : 부경대학교 대학원 전자공학과 박사수료
1996년~현재 : 김천대학 사무자동화과 전임강사
<관심분야> 분산및 병렬처리, 영상처리, ASIC design