

0.1 μm 레벨 PMOSFET의 소자 열화에 관한 연구

정희원 홍성희*, 이용수*

A Study on the Device Degradation with 0.1 μm level PMOSFET

Sung-hee Hong*, Yong-soo Lee* *Regular Members*

요 약

본 연구에서는 deep submicrometer SC(Surface Channel)-PMOSFET의 hot carrier 현상과 소자의 노쇠화를 측정 분석하였다. 소자의 크기가 0.15 μm 레벨로 축소되었을 때 충격 이온화율 증가에 의한 기판전류는 증가하였다. 또한 기판전류와 게이트 전류의 상관 관계는 lucky-electron 모델을 사용하여 측정하였는데 채널길이가 작아짐에 따라 충격 이온화율은 증가하나 디바이스 노쇠화는 심각하지 않은 것으로 측정되었다. 증가된 충격 이온화율과 게이트 전류의 감소를 설명하기 위한 물리적인 메카니즘으로 SCIHE(Substrate Current Induced Hot Electron) 모델을 제시하였다. 본 연구에서 사용된 유효채널길이 0.15 μm 의 최대공급전압은 -2.97V 정도임을 알 수 있었다.

ABSTRACT

In this paper, the hot carrier effect and device degradation of deep submicrometer SC(Surface Channel)-PMOSFETs have been measured and characterized. It has been shown that the substrate current of a 0.15 μm PMOSFET increases with increasing of impact ionization rate. Correlation between gate current and substrate current is investigated within the general framework of the lucky-electron. It is found that the impact ionization rate increases, but the device degradation is not serious with decreasing effective channel length. SCIHE(Substrate Current Induced Hot Electron) is suggested as the possible physical mechanism for enhanced impact ionization rate and gate current reduction. Considering the hot carrier induced device degradation, it has been found that the maximum supply voltage is about -2.97V for 0.15 μm PMOSFET.

I. 서 론

집적 회로의 고집적도와 고속을 위하여 MOS 소자의 물리적인 크기가 deep submicrometer 레벨로 축소되고 있다. 집적 회로의 성능을 향상시키기 위하여 공급전압을 소자의 물리적인 크기만큼 축소하지 못하므로 소자내의 전계는 계속 증가하게 되어 채널이 긴 소자의 전류-전압 특성에서 벗어나 단채널 효과가 일어나며 소자의 신뢰도에 심각한 문제가 야기되고 있다^[1].

또한 deep submicrometer 레벨 소자에서는 non-equilibrium 상태에서 캐리어가 전송되므로 velocity overshoot가 발생할 수 있으며 또 이로 인한 hot carrier 생성 메카니즘 및 소자의 신뢰도에 미치는 영향에 관한 연구가 필요하다.

Deep submicrometer 소자에서는 낮은 드레인 전압이 인가되므로 충격이온화가 크게 발생하지 않을 것이라는 G. G. Shahidi 등의 예상과는 달리 실리콘의 에너지 밴드 갭보다 낮은 드레인 전압에서 충격이온화가 심각하게 일어남이 보고되고 있다^[2]. 또 L. Manchanda 등은 유효채널길이 0.1 μm 이하 소자인 경우 드레인 전압이 1.0V 이하에서도 벨 모양의 기판전류가 관측되었다고 발표하였다^[3]. 이와 같이 실리콘의 에너지 밴드 갭보다 낮은 드레인 전압에서 충격이온화가 발생하는 메카니즘을 설명하기 위한 연구가 계속되고 있다.

T. Mizuno 등은 채널길이가 작아질수록 기판전류와 드레인 전류비로 정의한 충격이온화율이 증가하는 것을 측정하여 채널길이가 0.1 μm 소자인 경우 속도포화영역의 최대 전계뿐만 아니라 채널에서의 전계도

* 여주대학 사무자동화과, 정희원

논문번호 : 98005-0904, 접수일자 : 1998년 9월 4일

carrier를 가열하는데 기여하는 것으로 모델링하였다¹⁴⁾ 그리고 N. Arora 등은 속도포화영역 길이를 게이트 전압의 함수로 모델링하여 작은 소자의 기판전류를 이론적으로 계산하였다¹⁵⁾.

최근에 H. Hu 등은 lucky electron 모델이 맞다는 가정 하에 기판전류와 게이트 전류의 상관 관계를 채널길이에 따라 관측한 결과 채널길이가 축소될수록 NMOSFET에서 Si-SiO₂의 유효전위장벽이 저하되는 현상을 관측하였다¹⁶⁾.

지금까지의 연구 결과들은 대부분 NMOSFET를 사용한 것으로 deep submicrometer carrier 현상과 기존의 노쇠화 모델을 그대로 사용할 수 있는지에 관하여는 연구가 미진하다.

본 연구에서는 채널 길이가 0.15 μ m 레벨로 축소되므로 PMOSFET에서도 충격이온화율의 증가로 인한 기판전류는 증가되며, 충격이온화율은 채널길이와 게이트 전압의 함수 관계인 것을 측정하여 속도포화영역 길이를 유효채널길이와 게이트 전압의 함수로 반경험적 모델을 제시하였다. 게이트 전류와 기판전류의 상관 관계로부터, 채널길이가 감소함에 따라 게이트 전류가 적게 흐르는 것으로 관측되었는데 이를 설명하기 위한 물리적인 메카니즘으로 hot-electron 주입지점이 채널 길이가 작아짐에 따라 계면으로부터 더 멀어지는 것으로 해석하였다¹⁷⁾. 그리고 hot carrier 현상을 고려한 0.15 μ m 레벨 PMOSFET의 최대 공급전압은 -2.97V 정도 됨을 알 수 있었다.

II. Deep submicrometer 소자의 hot carrier 현상

본 연구에서 사용된 소자는 P⁺ 다결정 실리콘 게이트를 사용한 표면채널형 LDD(Lightly Doped Drain) 구조로 최소 게이트 마스크 길이는 0.18 μ m, 게이트 산화층 두께는 55Å, 게이트 폭은 8.06 μ m이다. 각 소자의 유효채널은 Sheu 등이 제시한 저항측정법을 사용하였다¹⁸⁾. 즉 드레인 전압을 -0.05V, 게이트 전압을 -3V로 고정시키고 기판전압을 가변시키면서 채널저항을 측정할 결과 소오스/드레인의 측면 확산 등으로 인한 $\Delta L=0.03\mu$ m, 소오스/드레인 기생저항 $R_{sd}=410\Omega$ 이었다. R_{sd} 가 큰 것은 소오스/드레인 콘택과 게이트와의 간격이 큰 것으로 인한 것이다.

1. 충격이온화의 증가 현상

일반적으로 MOS 소자의 기판 전류는 누설전류와

드레인 근처의 충격이온화에 의한 전류의 합인데 누설전류에 비하여 충격 이온화에 의한 전류성분이 크므로 충격이온화율은 기판 전류를 측정하므로 구할 수 있다^{9,10)}. 그림 1은 게이트 길이에 따른 기판 전류/드레인 전류비 (I_b/I_d)와 게이트 전류/드레인 전류비 (I_g/I_d)를 나타낸 것이다. 게이트 길이가 감소할수록 I_b/I_d 는 증가하고 I_g/I_d 는 약간 감소함을 알 수 있다. I_b/I_d 의 증가는 게이트 길이가 감소할수록 충격이온화가 많이 일어남을 의미하는 것이다.

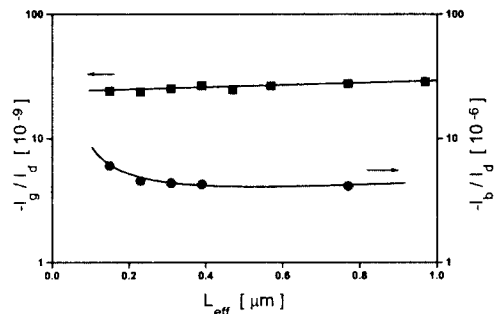


Fig. 1 I_g/I_d and I_b/I_d versus effective channel length

증가된 충격이온화율을 설명하기 위하여 T. Mizuno 등은 유효채널길이 영역뿐만 아니라 채널에서의 전계가 증가하여 충격이온화가 증가된 것으로 S. E. Laux 등은 high energy tail 영역의 소수전자에 의한 것으로 설명하고 있다¹¹⁾. 본 연구에서는 위의 2가지 설명 방법 보다 2차 충격이온화 메카니즘을 적용하고자 한다. 그림 2에서 A지점에서는 drain avalanche hot carrier 현상으로 충격이온화가 일어나게 되어 생성된 일부 전자는 게이트산화층으로 주입되고 대다수의 전자는 기판으로 주입이 될것이다. 이런 전자가 드레인과 기판의 P-N 접합 부근의 전계로부터 에너지를 얻게 되어 고에너지를 갖는 전자가 되므로 그림 2의 S 위치에서 2차 충격이온화가 일어날 수 있게 된다. 이때 생성된 전자의 일부는 게이트 산화층으로 주입되어 게이트 전류를 이루고 대다수의 전자는 기판으로 흘러 1차 충격이온화에서 생성된 전자와 함께 기판 전류를 이루게 될 것이다. 게이트의 길이가 짧아질수록 2차 충격이온화가 많이 일어나 기판전류가 증가하게 될 것으로 사료된다.

2. 게이트 전류와 기판 전류의 상관 관계

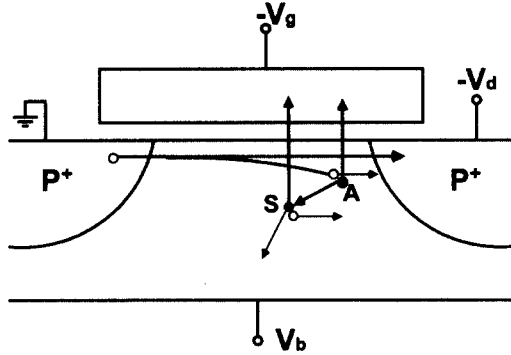


Fig. 2 Diagram illustrating Substrate Current Induced Hot Electron (SCIHE)

PMOS에서 충격이온화로 생성된 전자들의 대다수가 기판 전류를 형성하고 일부가 게이트로 주입되어 게이트 전류를 형성한다. lucky-electron 모델은 hot carrier로 인한 소자의 노쇠화, 소자의 신뢰도와 수명 시간을 예측하기 위하여 MOSFET 게이트 전류와 기판 전류를 표현하는데 광범위하게 사용되며 게이트 전류와 기판 전류의 상관 관계는 lucky-electron 모델로부터 다음과 같이 표현할 수 있다^[9].

$$I_g \approx 0.5 \frac{I_b t_{ox}}{\lambda_r} \left(\frac{1E_m}{\Phi_b} \right)^2 P(E_{ox}) \exp\left(\frac{-\Phi_b}{E_m l} \right) \quad (1)$$

여기서 λ_r 는 scattering 길이, $P(E_{ox})$ 는 충격이온화로 생성된 hot electron이 산화층에서 충돌없이 게이트에 이르게 될 확률이다. 이 luckyelectron 모델을 0.1 μm 레벨 소자까지 확장시키기 위하여 게이트 길이를 달리한 소자들의 I_g 와 I_b 의 상관 관계를 그림 3에 나타내었다. 식 (1)에서 V_{gd} 가 동일한 조건에서는 게이트 길이에 따라 게이트 산화층 전계인 E_{ox} 가 동일하며 또 모든 게이트 길이에서 Si-SiO₂의 유효전위장벽 Φ_b 가 일정하다는 가정하에서 그림 3의 상관 관계는 게이트 길이가 짧을수록 오른쪽으로 이동하는 것을 다음과 같이 해석할 수 있을 것이다. 식 (1)과 그림 3으로부터 게이트 길이가 짧을수록 상관 관계의 오른쪽 이동은 $P(E_{ox})$ 의 감소 즉 I_g 의 감소로 설명할 수 있다. 이것은 F. Balestra 등의 연구결과와 같이 게이트 길이가 짧을수록 hot electron의 주입지점이 Si-SiO₂ 계면으로부터 멀어짐을 의미한다^[7].

본 연구에서는 이런 물리적 현상을 설명하기 위하여 그림 2의 Substrate Current Induced Hot Electron (SCIHE) 주입 메커니즘을 적용하고자 한다. 앞에서

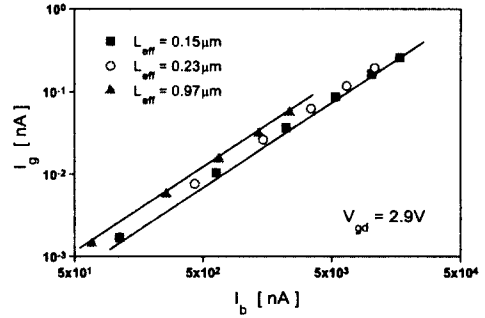


Fig. 3 Correlation between I_g and I_b with effective channel length

설명한 것과 같이 게이트 길이가 짧을수록 2차 충격이온화 현상이 많이 일어나면 그림 2의 S 지점에서 게이트 산화층으로 주입되는 hot electron은 Si-SiO₂ 계면으로부터 멀어지게 될 것이다. 그러므로 $P(E_{ox})$ 가 작아지게 되고 이로 인하여 그림 1에서와 같이 게이트 길이가 짧을수록 I_g/I_d 는 약간 감소하게 될 것이다. 이런 현상은 게이트 길이가 서로 다른 소자들 V_{gs} 와 V_{bs} 를 가변시키며 I_g/I_d 를 측정하므로도 확인할 수 있다. 그림 4는 V_{gs} 에 따른 I_g/I_d 를 측정하는 것이다. 이 그림에서는 게이트 길이가 길수록 기울기가 큰 것을 알 수 있다. 이것은 게이트 길이가 길수록 게이트 전압에 민감한 1차 충격이온화가 상대적으로 많이 일어남을 보여주는 것이다. 그림 5는 V_{bs} 에 따른 I_g/I_d 를 측정하는 것이다. 이 그림에서는 게이트 길이가 짧을수록 기울기가 큰 것을 알 수 있다. 이것은 게이트 길이가 짧을수록 기판 전압에 민감한 2차 충격이온화가 상대적으로 많이 일어남을 보여주는 것이다.

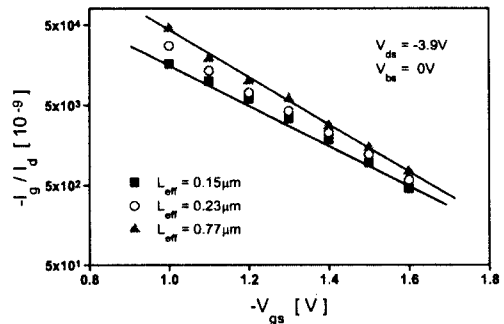


Fig. 4 I_g/I_d versus gate voltage with effective channel length

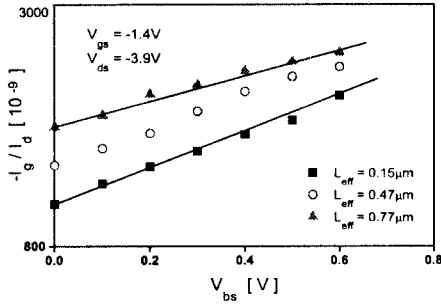


Fig. 5 I_d/I_g versus substrate voltage with effective channel length

III. 0.15 μm 소자의 열화

Hot carrier로 인한 PMOSFET의 주된 노쇠화 메카니즘은 게이트 산화층으로 주입된 전자가 게이트 산화층에 포획되어 문턱전압과 드레인 전류를 변화시키는 것이다. 0.15 μm 소자의 노쇠화를 분석하기 위하여 게이트 전류가 최대인 게이트 전압 -0.7V와 여러가지 드레인 전압을 스트레스로 가하여 드레인 전류변화를 그림 6과 같이 측정하였다. 드레인 전류 변화($\Delta I_d/I_d$)는 스트레스 시간과 대수함수 관계가 있으며 드레인 전압이 클수록 노쇠화가 많이 되었다.

그림 7은 0.15 μm PMOSFET의 소자 수명시간 (τ)을 예측하기 위한 것으로 초기의 게이트 전류에 따라 소자 수명시간을 예측하였다. 소자의 수명시간을 드레인 전류 변화가 5% 일 때로 하여 정의하였다.

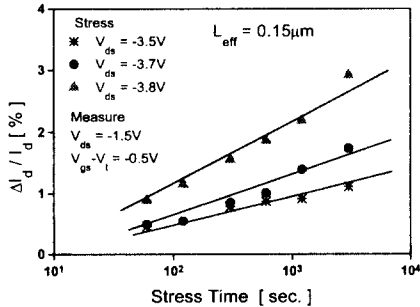


Fig. 6 Correlation between $\Delta I_d/I_d$ and stress time for $L_{eff}=0.15\mu m$ PMOSFET

그림 7로부터 수명시간은 게이트 전류와 의 관계가 있음을 알 수 있고 이는 채널길이가 큰 PMOSFET의

결과와도 거의 일치한다^[10].

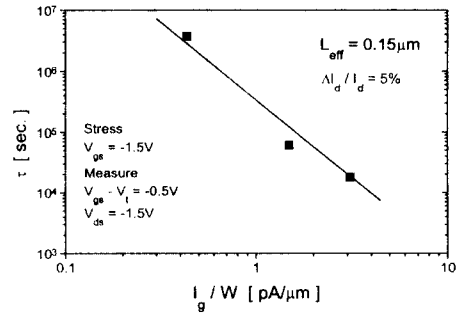


Fig. 7 Life time defined as $\Delta I_d/I_d=5\%$

Hot carrier로 인한 0.15 μm 소자의 노쇠화를 고려한 최대 공급전압을 결정하기 위하여 그림 6의 여러가지 드레인 전압에 따른 전류변화로부터 그림 8과 같이 수명시간을 드레인 전압의 역수관계로 나타내었다. 소자의 수명시간을 약 10 년으로 하였을 때 유효채널 길이 0.15 μm 표면 채널형 LDD(Lightly Doped Drain) PMOSFET의 최대 드레인 공급전압은 약 -2.97V 정도임을 알 수 있다.

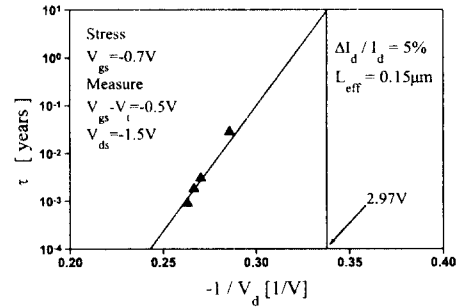


Fig. 8 Supply voltage defined as $\tau=10$ [years] with $Tox=55\text{ \AA}$

IV. 결론

유효 채널길이 0.15 μm PMOSFET의 hot carrier 현상으로부터 채널길이가 감소할 수록 충격이온화율이 큰 것을 알 수 있었다. 또한 게이트 전류와 기판전류의 상관 관계는 lucky-electron 모델을 사용하여 채널길이가 작아짐에 따라 충격이온화율은 증가하나 소자열화는 심각하지 않은 것으로 측정되었다. 증가된 충격이온

화율과 게이트 전류의 감소를 설명하기 위한 물리적인 메카니즘으로 SCIHE 모델을 적용하였다. 그리고 hot carrier에 의한 소자 노쇠화를 고려한 0.15 μ m 소자의 최대 드레인 공급전압은 약 -2.97V 임을 알 수 있었다.

참 고 문 헌

1. Min Chie Jeng, "Design and Modeling of Deep Submicrometer MOSFETs", Ph. D. Thesis, UC Berkely, 1989.
2. G. G. Shahidi, D. A. Antoniadis, H. I. Smith, "Electron Velocity Overshoot at Room and Liquid Nitrogen Temperature in Silicon Inversion Layers" IEEE Electron Device Letters, vol. 9, no. 2, p. 695, 1988.
3. L. Manchanda, R. H. Storz, R. H. Tan, K. F. Lee, and E. H. Westerwick, "Clear Observation of Sub-Band Gap Impact Ionization at Room Temperature and Below in 0.1 μ m Si MOSFET", IEDM Technical Digest, pp. 994-996, 1992.
4. T. Mizuno, et al, "Hot Carrier Effects in 0.1 μ m Gate Length CMOS Devices" EDM Technical Digest, pp. 605-608, 1992.
5. N. D. Arora and M. S. Sharma, "MOSFET Substrate Current Model for Circuit Simulation", IEEE Trans. Electron Devices, vol.38, pp. 1392- 1398, 1991.
6. H. Hu, J. B. Jacobs, J. E. Chung, "The Correlation between Gate Current and Substrate Current in 0.1 μ m NMOSFETs" IEEE Electron Device Letters, vol. 15, no. 10, pp.418-420 , October, 1994.
7. F. Balestra, et. al., "New Experimental Findings on Hot Carrier Effects in Sub-0.1 μ m MOSFET's", IEEE Electron Device Lett. EDL-16, No. 10, pp. 433-435, 1995
8. B. J. Sheu, C. Hu, P. K. Ko, F. C. Hsu, "Source and Drain Series Resistance of LDD MOSFET's" in IEEE Electron Device Letters, vol. EDL-5, no.9, pp. 365-367, 1984.
9. S. Tam, P. K. Ko, and C. Hu, "Lucky Electron Model of Channel Hot Electron Injection in MOSFET's" IEEE Trans. Electron Devices, vol.

ED-31, pp. 1116-1125, Sept. 1984.

10. T. C. Ong, P. K. Ko, and C. Hu, "Hot Carrier Current Modeling and Device Degradation in Surface-Channel P-MOSFET's", IEEE Trans. Electron Devices, vol. ED-37, no. 7, pp. 1658-1666, 1990
11. T. Mizuno, et. al., "Hot Carrier Effects in 0.1 μ m Gate Length CMOS Devices" IEDM Technical Digest, pp. 695-698, 1992



홍 성 회(Sung-hee Hong) 정회원
1964년 5월 20일생
1988년 : 인천대학교 전자공학과 졸업(공학사)
1990년 : 인천대학교 대학원 전자공학과 졸업(공학석사)
현재 : 여주대학 사무자동화과 조교수

<연구분야> 데이터 통신 및 반도체



이 용 수(Yong-Soo Lee) 정회원
1963년 10월 13일생
1986년 : 명지대학교 전자계산학과 졸업(공학사)
1989년 : 건국대학교 대학원 전자계산학과 졸업(공학석사)
현재 : 여주대학 사무자동화과 조교수

<연구분야> 데이터 통신 및 DB