

프로토콜 프로세서를 위한 다지분기 명령 구조 설계

정희원 최해욱*, 김경수**, 기장근***, 조현목***

Design of Multi-Way Branch Instruction Structure for Protocol Processor

Hae-Wook Choi*, Kyung-Soo Kim**, Jang-Geun Ki***, Hyeon-Mook Cho*** *Regular Members*

요약

본 논문에서는 무선 LAN의 MAC 계층 프로토콜 구현을 위한 새로운 프로세서를 설계하였다. 설계한 프로토콜 프로세서는 한국전자통신연구원에서 개발한 ES-C2340 DSP2 칩을 기반으로 다지분기(Multi-Way Branch : MWB) 명령어가 추가된 새로운 하드웨어를 설계하였으며, 다지분기 명령어를 지원하는 어셈블러도 개발하였다. 다지분기 명령어 구현시 TSU(Target Selection Unit)로써 CAM(Content Addressable memory)을 사용하였으며 설계는 COMPASS의 0.8um CMOS 공정인 cmn8a technology를 이용하였다. 설계한 회로는 시뮬레이션을 통해 40 MHz 클럭에서 정상적으로 동작함을 검증하였다. 본 논문에서 설계한 다지분기 명령어를 지원하는 프로토콜 프로세서 회로 및 어셈블러는 무선 LAN의 MAC 프로토콜뿐만 아니라 일반적인 통신 프로토콜 구현시에도 이진 분기 명령어 대신 다지분기 명령어를 사용할 수 있어 전반적인 성능 향상을 도모할 수 있다.

ABSTRACT

This paper describes to design new protocol processor for MAC layer protocol in the Wireless LAN. In order to develop the protocol processor, we adopted the ES-C2340 DSP2 chip developed by ETRI. The newly developed circuits which support multi-way branch instruction is added to the existing DSP2 chip. And the assembler which supports MWB instruction is developed. CAM(Content Addressable Memory) is adopted for TSU(Target Selection Unit) in implementation of MWB instruction and 0.8um CMOS cmn8a technology of the COMPASS tool is used. As a result of the simulation, it is verified that designed protocol processor is operated well in 40 MHz clock. It is possible to improve the system performance if newly developed protocol processor chip and assembler that supports MWB instruction is used for implementing not only the MAC protocol of the wireless LAN system, but general communication protocol.

I. 서론

최근 디지털 통신과 휴대용 컴퓨터, 반도체 기술 등의 발전으로 인해 무선 LAN(Local Area Network) 영역이 급속히 확장되고 있다. 무선 LAN의 적용 영역은 주로 무선의 장점인 이동성(mobility)을 제공할 수 있는 영역, 즉 공장에서의 재고 관리나 POS(Point-Of-Sale)

단말, 사용자의 이동이 빈번한 병원이나 대학 환경 등 실로 다양한 영역으로 확장되고 있다. 이와 같은 이동성의 장점외에도 무선 LAN은 케이블 설치에 많은 비용이 들거나 불가능한 영역에서 경제적으로 설치, 운용될 수 있으며, 또한 망의 유지 관리 측면에서도 기존 유선 LAN에 비해 많은 장점을 가지게 된다.^[1-4] 이와 같이 무선 LAN의 응용분야 및 수요가 급

* 한국정보통신대학원대학교 : 정희원, ** 한국전자통신연구원 회로소자연구소 : 정희원
 *** 공주대학교 전자공학과(hmchov@image.kongju.ac.kr) 정희원
 논문번호 : 98204-0504, 접수일자 : 1998년 5월 4일
 * 본 논문은 한국전자통신연구원의 지원으로 수행되었음.

속히 확장됨에 따라 국내외에서 많은 연구가 활발히 진행되고 있으며, 제품간 호환성을 위해 무선 LAN 프로토콜 표준화의 중요성이 증가되었다. 현재 무선 LAN 국제 표준을 만들기 위한 기구로는 IEEE 802.11 위원회가 있으며, 이 위원회에서는 1990년 부터 무선 LAN 표준¹⁵⁾을 만들기 위한 연구를 진행하여 왔으며, 금년 중으로 공식 완료될 예정이다. 그런데 최근 외국의 일부 회사들에 의해 무선 LAN 구축을 위한 제품들이 상용화되고 있으나, 현재 무선 LAN에 대한 국제적인 표준이 완전히 정립되지 않은 실정으로, 기존의 일부 상용화된 제품들은 자사 고유의 프로토콜을 구현하거나 기존 유선 LAN 프로토콜을 위한 프로세서 구조를 사용하고 있는 실정이다. 따라서 곧 완성될 것으로 전망되는 IEEE 802.11 무선 LAN 프로토콜 표준 규격에 부합하는 무선 LAN 시스템을 개발하는 연구가 필요하며, 특히 핵심 기술로서 MAC 계층과 PLCP 계층의 기능을 수행할 수 있는 프로토콜 프로세서 개발 연구가 반드시 수행되어야 한다. 본 논문에서는 IEEE 802.11 주파수 호핑방식 무선 LAN 표준 규격에 적합한 프로토콜 프로세서 개발 연구의 일환으로 한국전자통신연구원에서 개발한 ES-C2340 DSP2¹⁶⁾ 칩을 기반으로 하여 MWB(Multi-Way Branch) 명령어를 추가한 MAC 프로토콜 프로세서의 설계를 수행하였다.

II. 다지 분기(Multi-way branch) 메카니즘의 개념 및 구조

통신 프로토콜 등과 같은 복잡한 상태기(State Machine)로 구성되는 시스템은 하나의 상태에서 여러개의 다른 상태로 천이하는 경우가 있으며 이 상태천이가 자주 발생하는 현상이 존재하게 된다. 이러한 시스템의 성능을 향상시키기 위해서는 목표상태로의 천이를 결정짓기 위해 이진분기(Binary Branch)가 아닌 다지 분기(Multi-way Branch)를 수행하는 것이 매우 효과적이다.^{17,9)} 표 1에 주파수 호핑방식 무선 LAN의 MAC 프로토콜 규격중 가장 핵심이 되는 제어상태머신(control state machine)의 상태천이표를 나타내었다. 예를들어, 표 1에서 변수 TxST[] = "000"이고, F_TXq = 1, F_CFP = 0인 경우에는 프로그램 루틴 A가 실행됨을 나타낸다. 이와같은 상태천이표를 기존의 일반 프로세서의 명령어를 사용하여 구현할 경우, 변수 테스트 및 분기명령들이 평균적으로 8회 수행되어야 분기가 가능하나, 본 연구에서 설계한 MWB명령을 사용한 경우는 단

한번의 명령 수행으로 분기가 이루어 진다. 다지 분기 메카니즘은 크게 2개의 범주로 나누어진다. 즉 고정된 분기구조를 구현하는 것과 가변적인 분기구조를 구현하는 것이다. 고정된 분기 구조를 구현한 다지 분기 명령들은 목적지 선택 유닛에 의해 구현된 고정된 조건 트리를 만족시키기 위해서는 여분의 명령 수행이 필요하다. 이러한 여분의 명령들은 자원 요구와 레지스터 입력, 임계 실행경로의 데이터 의존길이를 증가시키거나 가변 분기구조를 이용하면 여분의 명령들이 필요없게 된다.

표 1. 주파수호핑방식 무선LAN의 제어상태천이표

TxST (2)[1][0]	000			000	001	001	010	0	0	000	000	110	101	100		
F_TXq	1	1	1													
F_CFP	0			0					0	1	1	1	1	1		
F_CFPoll		1														
cCFnext			1		1											
F_FrDSq				1	1											
F_Backoff					1	1							1			
NAV					0	x				0	x					
F_Mbusy					0	x				0	x					
RxError								1								
RxIndicate									1							
F_PC										1	1	1	1	1		
비고	루틴 A	루틴 A	루틴 A	루틴 B	루틴 B	루틴 C	루틴 D	루틴 D	루틴 E	루틴 F	루틴 G	루틴 H	루틴 I	루틴 J	루틴 K	루틴 L

기존의 다지 분기 연구에서는 VLIW(Very Long Instruction Word)¹⁷⁾등을 사용하여 명령어의 한 필드로 하여금 프로세서의 내부 상태 레지스터들을 선정하도록 하고 선정된 상태 레지스터들의 값에 따라 프로그램이 여러갈래로 갈라지는 경우에 대한 다지 분기 방법과 PLA형태의 분기주소 선정회로의 구현에 대해 이루어져 왔다. 본 논문에서는 프로세서 내부의 상태 레지스터가 아닌 응용 시스템의 변수들의 값에 따라 하나의 상태에서 여러개의 상태로 다지 분기하는 경우의 다지 분기 방법을 사용할 것이며 그에 대응하는 새로운 하드웨어 구조를 설계하고자 한다.

다양한 목적에 범용으로 사용되는 마이크로프로세서나 디지털 신호 프로세서를 이용하여 다지 분기를 수행하기 위해서는 시스템수준의 다양한 분기 조건변수와 조건들의 변화에 유연하게 대처할 수 있는 프로그래머블한 다지 분기 구조가 필요하다.¹⁹⁾ 그림 1에 Flag나

Vector와 같은 시스템 변수에 의한 다지 분기(MWB : Multi-way Branch)명령어를 수행하기 위해 필요한 기능블록과 관계를 도시하였다. 여러갈래로 천이되는 목표 주소가 되는 프로그램의 LABEL은 프로그램을 어셈블링하거나 컴파일할 때마다 변하는 것이므로 프로그램의 데이터 영역에 위치하게되며 이것의 위치는 목적지 선택 유닛의 출력인 LABEL INDEX값과 LABEL 블록의 BASE ADDRESS를 더하여 생성된다. 여기서 시스템 변수들의 값들로 구성되는 조건집합은 응용프로그램에 따라 변하게 되므로 목적지 선택 유닛의 AND PLANE은 재구성성이 가능해야(Reconfigurable)하며, 아울러 이것들과 입력 변수들로 구성되는 조건들을 비교할 수 있어야 한다. 조건에 맞는 경우에는 그 위치에 따라 INDEX형태로 코딩된다. 이와같은 기능을 할 수 있는 논리 기능블록이 CAM(Content Addressable Memory)이다. 위에서 설명한 재구성 가능한 다지 분기의 요구사항에 따라 구현한 하드웨어 구조를 그림 2에 나타내었다.

그림 2에 나타낸 CAM은 한 비트 단위의 시스템 변수들로 구성된 32개의 분기 조건들과 일치되는(pattern-matched) 6-bit의 Index를 64개 까지 출력할 수 있다. 전문한 목적지 선택 유닛의 AND PLANE은 CAM의 Reference Word Storage가 되며, MWB 명령어 수행전에 프로그램 메모리의 데이터 영역에 사전 저장되어 있는 분기조건 패턴들을 이곳에 저장하여야 한다. 이때 해당 시스템변수의 선택 여부와 'don't care' 여부에 대한 정보도 같이 추출되어 해당변수 선정과 CAM에 저장된 분기조건 패턴들의 'don't care' 제어신호

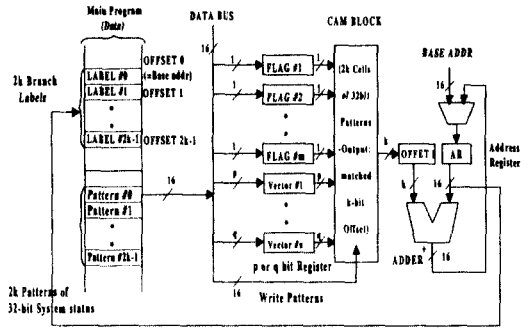


그림 2. CAM을 이용한 다지 분기 구조의 블록도

로 사용된다.

LABEL블록의 실제주소를 계산하는 블록은 BASE ADDRESS를 저장하는 어드레스 레지스터와 CAM의 출력 레지스터인 LABEL INDEX 레지스터 그리고 가산기로 구성되는데 가산기는 기존의 ALU를 이용할 수 있다. 가산기의 출력은 실제 분기 주소들을 모아 둔 LABEL 블록의 해당 LABEL을 가르키게 된다. 시스템 변수 레지스터인 FLAG들과 VECTOR들은 구성의 융통성을 위해 개별 비트단위로 쓰고 읽을 수 있는 1비트 단위의 레지스터로 이루어져 있다. 본 논문에서는 그림 2에서 제시한 재구성 가능한 다지 분기의 구조를 무선 LAN의 프로토콜 프로세서에 구현하고자 한다. 실제적인 구현은 한국전자통신연구원에서 자체 개발한 디지털 신호처리 프로세서에 다지 분기 명령어와 해당 하드웨어를 추가하는 방법으로 수행하였다.

III. 다지 분기명령 지원 프로세서의 회로 설계

1. 다지 분기 명령 지원 프로세서를 위한 규격 설계

다지 분기 명령을 지원하는 프로세서를 설계하기 위해 본 논문에서는 한국전자통신연구원에서 개발한 ES-C2340 DSP2 칩 회로에 다지 분기 명령어를 수행할 수 있는 하드웨어 회로를 개발하여 추가하였다. 먼저 다지 분기 명령어의 이름은 "MWB"로 정하였으며, "MWB"의 동작코드(operation code) 할당을 위해 ES-C2340 DSP2 칩의 명령어 집합에서 사용하고 있지 않은 동작코드 "1101000"을 사용하였다(ES-C2340 DSP2 칩의 각 명령어는 24비트 크기의 명령어 포맷을 가지며 MWB 명령어는 동작코드를 제외한 나머지 비트들은 모두 0으로 채워짐). 또한 다지 분기 명령어를 수행하는 하드웨어 설계를 위해 데이터 메모리 주소 공간 4K

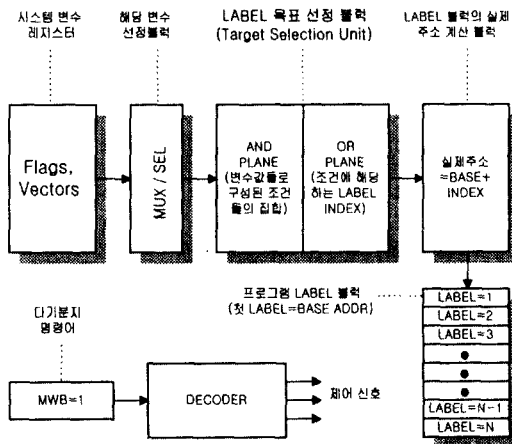


그림 1. 다지 분기 명령어 수행 기능 블록도

중 그림 3에 나타난 것과 같은 음영으로 나타낸 주소 공간을 추가로 사용하였다. 주소 공간 할당 그림에서 예약 영역(reserved)은 추후 CAM의 용량을 확장하기 위해서 잡아놓은 공간이다. 그림 3에서 FLAG 영역은 앞의 그림 1의 시스템 변수 레지스터 블록에 해당하는 영역으로 본 논문에서는 16개의 1비트 플래그 레지스터를 설계에 포함시켰다. CAMPAT 영역은 다지 분기 명령어 실행시 만족시켜야할 여러가지 조건에 따른 비트 패턴을 저장하는 영역이다. CAMDON 영역은 패턴 매치시 무시할 조건들, 즉 don't care 조건에 따른 비트 패턴을 저장하는 영역이다.

address	X bank	Y bank
000H(0000)	XRAM (1K)	YRAM(1K)
3FFH(1023)		
400H(1024)	XROM(1.5K)	YROM(1.5K)
9FFH(1559)		
A00H(2560)	FLAG	X Y
A0FH(2575)	reserved	
A10H(2576)	reserved	
A3FH(2623)	CAMPAT	
A40H(2624)	reserved	
A4FH(2639)	reserved	
A50H(2640)	reserved	
A7FH(2687)	reserved	
A80H(2688)	CAMDON	
A8FH(2703)	reserved	
A90H(2704)	reserved	
ABFH(2751)	LABEL	
AC0H(2752)	reserved	
ACFH(2767)	reserved	
AD0H(2768)	reserved	
AFFH(2815)	reserved	
B00H(2816)	memory mapped registers	X Y
BFFH(3071)		
C00H(3072)		
COBH(3083)		
COCH(3084)	memory mapped registers	
FFFH(4095)		

그림 3. 데이터 메모리 주소 공간 할당

CAMPAT와 CAMDON 영역은 현재 16개의 주소를 사용하고 있으나 최대 64개의 주소를 사용할 수 있도록 여유 공간을 남겨 놓았다. LABEL 영역은 다지 분기 명령어 수행시 여러갈래로 천이되는 목표 주소가 들어있는 블록이다. 다음에 다지 분기 명령어 MWB를 지원하도록 기존 ES-C2340 DSP2 칩을 수정하거나 보완하여야 하는데 다지 분기 명령어가 기존 칩의 분기명령 BR(branch)과 유사한 점을 이용하여 그림 4

에 나타난 것과 같이 기존 칩에서 프로그램 메모리로부터 명령어가 읽혀 나올 때 만일 MWB 명령어 이면 이를 BR 명령어로 바꾸어 줌으로써 기존 DSP2 칩의 모든 다른 회로는 마치 BR 명령어를 수행하는 것처럼 동작하도록 하되, 최종적으로 프로그램 카운터(program counter)에 분기해갈 주소를 로드(load)하는 타이밍에 실제 다지 분기 명령의 실행 결과로 계산된 주소를 로드하도록 하여 기존 회로에의 영향을 최소화하였다.

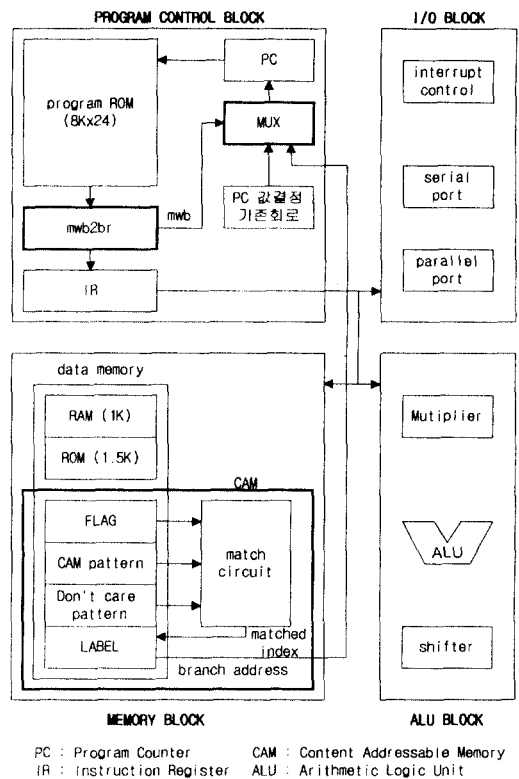


그림 4. 다지 분기 명령 지원을 위한 프로세서 블록 구조

2. 명령 레지스터와 프로그램 카운터 블록 회로 설계
기존 ES-C2340 DSP 칩에서 다지 분기 명령을 지원할 수 있도록 하기 위해 수정되어야 할 블록은 앞에서 설명한 것과 같이 프로그램 롬(ROM)으로부터 명령어가 읽혀나오는 명령 레지스터 회로와 프로그램 카운터 회로이며, 수정된 회로를 그림 5와 그림 6에 나타내었다.

그림 5의 명령 레지스터 블록 회로에서 ROM_ALT

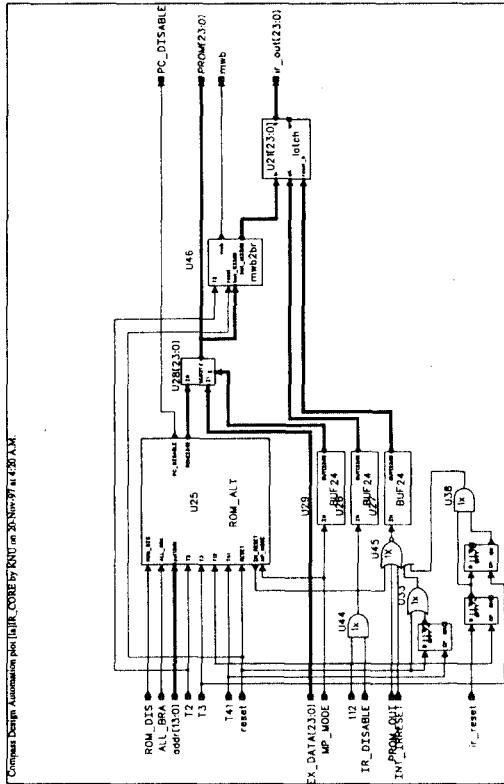


그림 5. 명령 레지스터 블록 회로(ir_core)

블록은 프로그램 롬(ROM)이며, latch 블록은 명령 레지스터 IR에 해당한다. 이 회로의 동작을 살펴보면 패치(fetch) 사이클에서 프로그램 카운터가 가르키는 번지의 명령어가 프로그램 롬으로부터 읽혀지게되고, 읽혀진 명령어는 IR 레지스터에 래치되어 ir_out[23:0] 출력선을 통해 다른 모든 블록으로 전달된다. 전달된 명령어는 각 블록별로 해독(decoding) 된다. 따라서 읽혀진 명령어가 MWB 명령어(동작코드 = "1101000")이면 이를 BR 명령어로 바꾸어 주는 블록 mwb2br을 삽입하였다. mwb2br 블록의 출력신호 mwb는 실행 사이클에서 프로그램 카운터 값을 설정할 때, 바뀐 BR 명령어에서 계산된 분기주소 값이 아닌 CAM 회로로부터 결정된 다지 분기 명령어의 분기주소 값을 프로그램 카운터에 로드하도록 제어하는 신호 mwb를 생성한다. mwb2br 블록의 회로를 그림 7에 나타내었다. 그림 7의 회로에서 2개의 D 플립 플롭은 패치 사이클에서 읽혀진 명령어가 MWB이면 이 사실을 해독(decoding) 사이클을 거쳐 실행 사이클까지 유지하도록 하기 위해 직렬로 연결되어 사용되었으며, 출력신

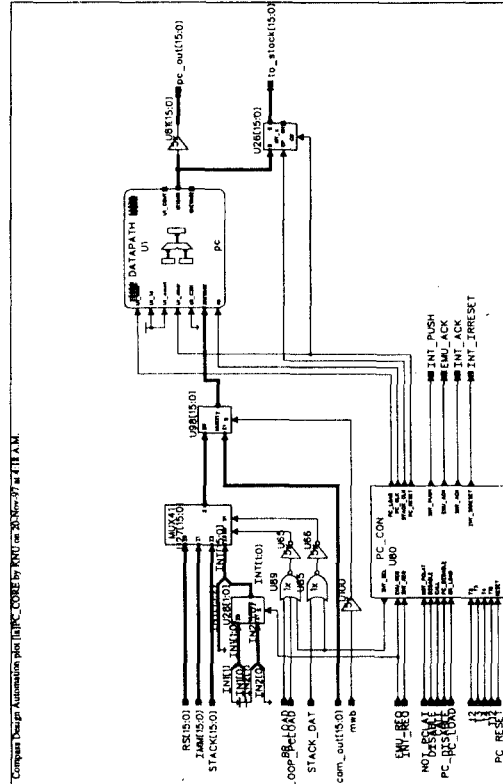


그림 6. 프로그램 카운터 블록 회로(pc_core)

호 mwb는 프로그램 카운터 블록으로 연결된다. 그림 6의 프로그램 카운터 블록 회로에서 데이터 패스 pc 블록은 프로그램 카운터이고, PC_CON 블록은 프로그램 카운터를 제어하는 회로가 들어있는 블록이다. 본 논문에서 추가된 블록은 멀티플렉서 블록 MUX21이며, 이 추가된 블록은 제어신호 mwb 신호가 0일 경우에는 기존의 프로그램 카운터 값을 결정하는 회로로부터 계산된 주소를 출력하며, mwb 신호가 1일 경우에는 CAM 블록으로부터 계산된 주소 값을 선택해 프로그램 카운터에게 넘겨주는 다중화기 역할을 수행한다.

3. 다지 분기 구조를 위한 CAM 회로 설계

다지 분기 명령을 지원하기 위한 새롭게 개발된 회로를 CAM 회로(mwb₁₆×16)와 함께 그림 8에 나타내었다. 이 그림에서 KNUmem_dec 블록은 앞에서 설명한 데이터 메모리 주소공간 할당 맵에 따라 주소를 디코딩하는 블록이다. KNUflag_cell16 블록은 각각이 1비트인 16개의 플래그가 들어있는 블록이고, mwb₁₆×16

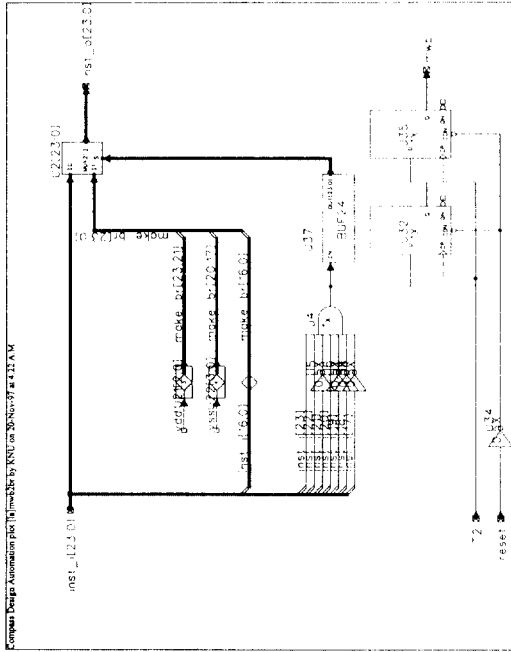


그림 7. MWB 명령을 BR 명령어로 바꾸는 회로(mwb2br)

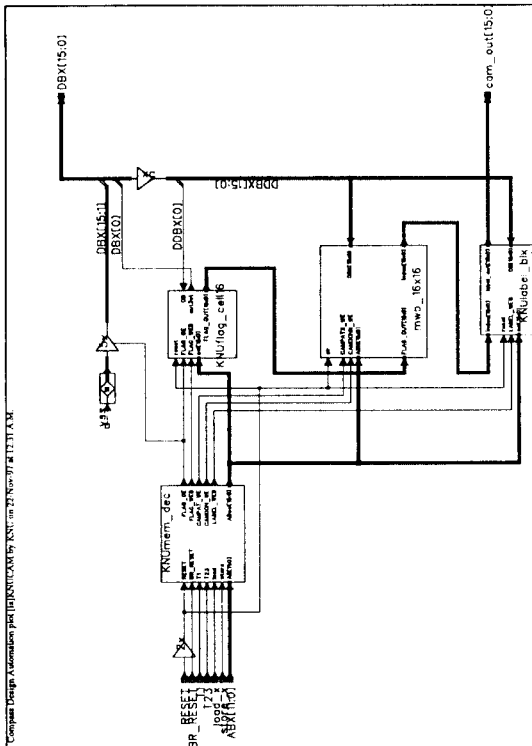


그림 8. 다지 분기 명령 지원을 위한 CAM 회로

블록은 CAM 패턴과 don't care 패턴을 저장하며 또한 매치(match) 동작을 수행하는 블록이다. KNUlabel_bk 블록은 다지 분기 명령어의 매치 결과에 따라 분기해갈 주소를 저장하는 블록으로, mwb_16×16 블록으로부터 매치된 패턴에 대한 인덱스 번호를 입력받아 이에 따른 분기해갈 주소를 출력하는데 이 출력된 주소는 프로그램 카운터로 보내지게 된다. 설계한 CAM 회로(mwb_16×16)에 대해서는 이 후에 블록별로 자세히 설명하겠다.

본 논문에서는 다지 분기 구조를 구현하기 위해 읽기/쓰기 동작은 일반적인 메모리와 같으나 패턴매칭기능을 갖는 CAM을 목적지 선택 유닛으로 사용하였다. 실제적인 구현은 기존 ETRI의 ES-C2340 DSP2칩에 다지 분기 명령을 수행하기 위한 하드웨어를 설계하여 추가하고 어셈블리 프로그램을 개발하는 방법으로 수행하였다. 본 논문에서는 어드레스가 4 비트이고 데이터가 16 비트로 구성된 16 비트×16 워드 CAM을 이용하여 다지 분기 구조를 설계하였다. 다지 분기 구조를 위한 CAM 회로는 CAM 셀 어레이 블록, 읽기/저장 제어회로 블록, 우선순위를 갖는 인코더(Priority Encoder)블록의 3개 블록으로 이루어져 있다. 각 블록의 설계 내용을 설명하겠다.

3.1 CAM 셀 블록의 설계

CAM 셀 블록의 1비트 회로도를 그림 9에 나타내었다. 이 회로는 일반적인 CAM셀의 구조에 Don't care 조건을 고려한 회로가 추가된 형태이다. 이 회로에서 게이트 G_3 와 G_4 는 Bit-storage 플립-플롭을 구성한다. 이 게이트들은 $W_i(1)$ 과 $W_i(0)$ 신호에 의해 set 또는 reset된다. G_3 의 출력은 저장된 비트값을 나타내는데 $W_i(0) = 0, W_i(1) = 1, A_i = 1$ 이면 1이 저장되고 $W_i(0) = 1, W_i(1) = 0, A_i = 1$ 이면 0이 저장된다. 만일 어드레싱된 워드의 비트값이 바뀌지 않으려면, 즉

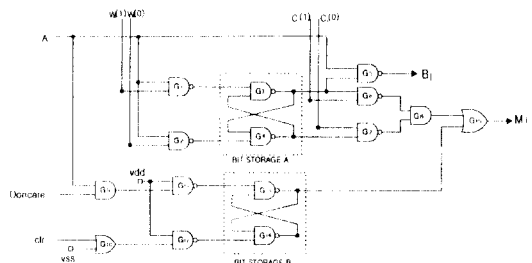


그림 9. Don't care신호가 포함된 CAM셀 회로도

마스킹을 하려면 $W_i(1) = W_i(0) = 0$ 으로 하면 된다.

CAM 셀블록의 읽기동작은 A_i 라인을 high로 해주어 G_5 를 통해 저장된 값의 인버팅된 값이 B_i 라인으로 출력됨으로써 이루어진다. CAM 셀의 매치 동작은 $C_i(0)$ 와 $C_i(1)$ 라인들을 이용해서 병렬로 수행된다. 만약, 저장된 값이 1이고, $C_i(0) = 0$, $C_i(1) = 1$ 이면 G_6 과 G_7 의 출력은 모두 high이고 M_i 라인을 high로 유지시켜준다. 만약, 탐색데이터 값이 저장된 비트와 일치하지 않으면 G_6 과 G_7 중 하나가 0이되고 M_i 라인은 low가 된다. 또 여러 비트중 하나가 미스매치이면 라인은 0이된다. 마스킹을 하려면 $C_i(0) = C_i(1) = 0$ 으로 해주면 된다. Don't care 데이터의 저장 동작은 CAM 셀에 입력되는 탐색데이터 ($C_i(0)$ 와 $C_i(1)$)와는 무관하게 무조건 매치가 발생하여 매치선 M_i 라인을 high로 출력시킴을 의미한다.

일반적인 매치 동작에서는 입력신호(탐색데이터)에서 $C_i(0) = C_i(1) = 0$ 으로 해줌으로써 마스킹을 하는 반면에, Don't care 데이터의 저장으로 발생하는 마스킹은 CAM 셀 내에 Don't care 데이터를 저장함으로써 무조건 매치가 발생하게 된다. 즉 clr 신호가 1이고 Don't care 신호가 0이면 Bit Storage B에 0이 저장되므로 일반적인 CAM 셀의 동작인 읽기, 쓰기, 매치 동작을 수행한다. 그러나, clr 신호가 0이고, Don't care 신호가 1이면 G_9 게이트의 출력이 1이 되고 G_{10} 게이트의 출력이 0이 되므로 Bit Storage B에 1을 저장하게 되고 따라서 입력되는 탐색데이터($C_i(0)$ 와 $C_i(1)$)의 값에 관계없이 무조건 매치선을 1로 만들어 매치가 일어나게 한다. 결국, Don't care를 저장하는 것과 동일하게 된다. 위에서 설명한 동작을 수행하는 CAM 셀을 확장하여 실제적으로 16 비트×16 워드를 갖는 CAM 셀 어레이를 그림 10에 나타내었다. 이 회로에서 w(저장 데이터의 입력), wn, c(매칭 데이터의 입력), cn 입력은 각각이 16 비트로 구성되어 있고, 출력 m(16 비트)은 매치되었을 때 해당 어드레스값이 출력되는데 매치는 모든 비트에서 매치가 되어야 하므로 각각의 비트마다 출력되는 매치선들을 AND게이트로 결합하여 결과를 출력하였다. 블록 camcell22는 8 비트×8 워드의 CAM을 의미하고 ABX[15:0]은 어드레스 라인, DONCARE[15:0]은 Don't care 데이터를 의미한다.

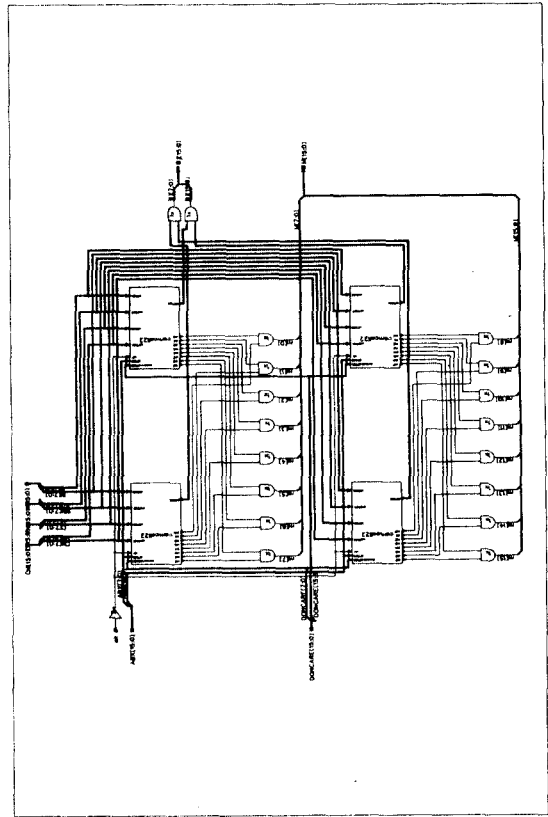


그림 10. 16 비트×16 워드의 CAM 셀 어레이 회로도

3.2 읽기/저장 제어회로 블록의 설계

다지 분기 명령 지원 프로세서에서 읽기/저장 제어 회로 블록으로 입력되는 제어신호는 3가지가 있다. 그림 11에서 보는 바와 같이 저장동작일때 사용하는 CAMPAT_WE신호, Don't care 조건을 저장할때 사용하는 CAMDON_WE신호, 매치동작일때 사용하는 MATCH 신호등이다. 또한 항상 입력되는 신호에는 어드레스버스와 데이터버스가 있는데 이들은 각각의 동작에서 필요한 어드레스와 데이터신호를 제공한다. 이와같이 항상 제공되는 신호는 각각의 제어신호와 AND게이트로 연결 되어있기 때문에 제어신호가 1일 때에만 데이터신호나 어드레스신호가 CAM 셀의 입력으로 들어가게 된다. 여기에서, FLAG 신호는 탐색데이터를 의미하고, w와 wn은 CAM 셀 내부의 저장데이터, c와 cn은 CAM셀 내부의 탐색데이터, make_doncare는 Don't care데이터를 의미한다. 실제적으로는 이 회로를 16비트로 확장하여 사용하였다.

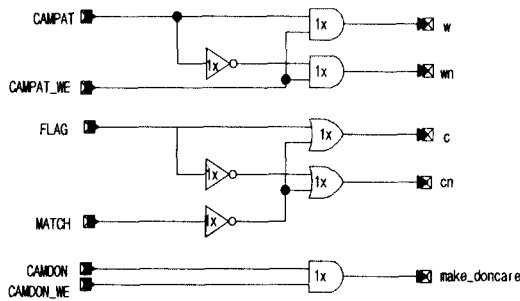


그림 11. 읽기/저장 제어 회로의 회로도

3.3 우선순위를 갖는 인코더 블록의 설계

CAM 셀에서 매치동작을 수행할 때 여러개의 워드에서 매치가 발생할 수 있다. 특히, Don't care신호를 사용할 때에는 무수히 많은 매치가 발생할 수 있는데 이를 해결하기 위해서 우선순위를 갖는 인코더를 사용한다. 우선순위를 갖는 인코더는 16 비트의 입력과 16 비트의 출력을 갖는데, 상위비트에 1이 발생하면 하위비

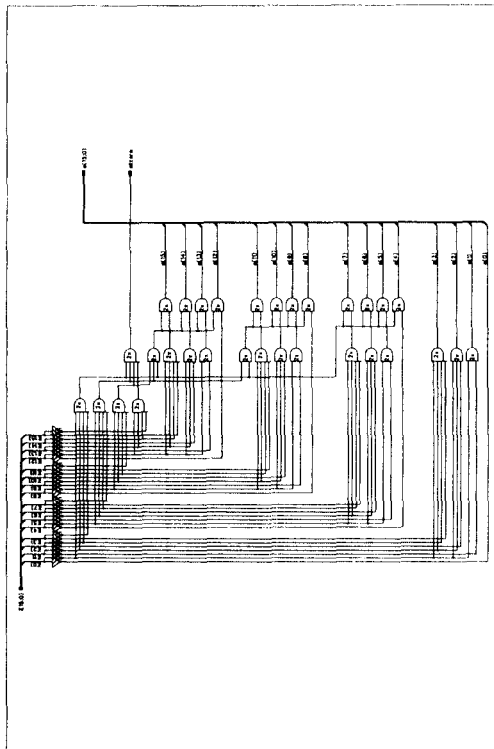


그림 12. 16 비트 우선순위를 갖는 인코더

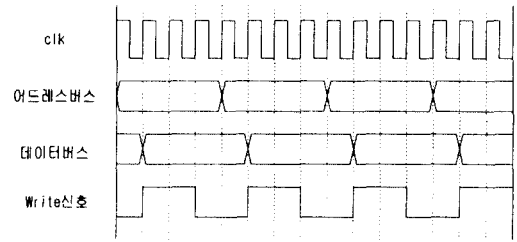


그림 13. 다지 분기 명령 지원 프로세서의 타이밍 다이어그램

트에 어떤값이 입력되어도 해당 상위비트값만 선택이되고 나머지 하위비트의 값은 0을 갖는다. 16비트의 우선순위를 갖는 인코더 회로를 그림 12에 나타내었는데 설계함에 있어서 신호 경로의 단수를 최대한 줄여서 램프 지연을 최소화하도록 하였다.

다지 분기구조를 위한 CAM의 각 블록의 설계는 COMPASS 툴의 0.8 um CMOS공정인 cmn8a 라이브러리를 이용해서 설계하고 시뮬레이션을 수행하였다. 다지 분기 명령 지원 프로세서의 타이밍 다이어그램을 그림 13에 나타내었다. 여기에서, 데이터버스는 Write Pattern이나 Don't care Pattern이 될 수 있다. 또한 어드레스 버스나 데이터 버스는 다지 분기 명령 지원 프로세서에서 항상 주는 신호이기 때문에 Write Pattern의 저장동작 일때는 Write Enable신호가 필요하고 Don't care Pattern의 저장동작 일때는 Don't care Enable신호가 필요하다. FLAG_OUT신호는 응용 시스템의 변수들의 값을 나타내는 FLAG값이므로 항상 그 값이 변화한다. 매치신호는 항상 1이므로 FLAG값이 변화할때마다 매치동작을 수행한다. clk는 다지 분기 명령 지원 프로세서의 동작시 필요한 기본클럭(40MHz)이다. 설계한 다지 분기 명령 지원 프로세서는 시뮬레이션 결과 동작주파수인 40MHz에서 정상 동작함을 확인하였다.

IV. 시뮬레이션 및 검증

본 논문에서는 MWB 명령어를 수행할 수 있는 하드웨어 회로를 시험하기 위한 프로그램을 개발하였다. 개발된 프로그램은 먼저 CAM 플래그 레지스터의 set/reset 동작을 시험하고, 다음에 MWB 명령어를 시험하도록 구성되었다. MWB 명령어 시험을 위해서 먼저 CAM 패턴 메모리와 CAM don't care 패턴 메모리에 원하는 패턴들을 입력하고, CAM 레이블 메모리에 CAM 매

치동작이 일어날 경우 수행되어야 할 프로그램 루틴의 시작번지를 입력하였다. 다음에 CAM 패턴 메모리와 CAM don't care 메모리의 첫번째 엔트리 조건에 맞도록 CAM 플래그 레지스터를 적절히 설정한 후 MWB 명령을 실행하도록 하였다. 이 경우 CAM 레이블 메모리의 첫번째 엔트리에 들어있는 주소값으로 분기가 일어나게 되며, 이 주소부터 시작하는 루틴은 CAM의 두번째 엔트리의 조건에 맞도록 CAM 플래그 메모리를 설정한 후 다시 MWB 명령을 실행하도록 하였다. 이와 같은 방법을 반복함으로써 MWB 명령 관련 하드웨어에 대한 테스트를 수행하도록 프로그램이 구성되었다. 그림 14에 MWB 명령어 관련 하드웨어 테스트 프로그램의 실행 결과를 나타내었다. 그림에서 U110.EX_ADDR[15:0]로 표시된 프로그램 카운터(PC) 값을 확인해보면 MWB 명령어가 정상적으로 수행됨을 확인할 수 있다. 본 논문에서 설계한 다지 분기를 위한 CAM 회로는 COMPASS 툴에서 제공하는 utility screen check 기능을 이용하여 검증한 결과 사용된 전체 게이트 수는 기본 게이트를 기준으로 하여 약 9500 개

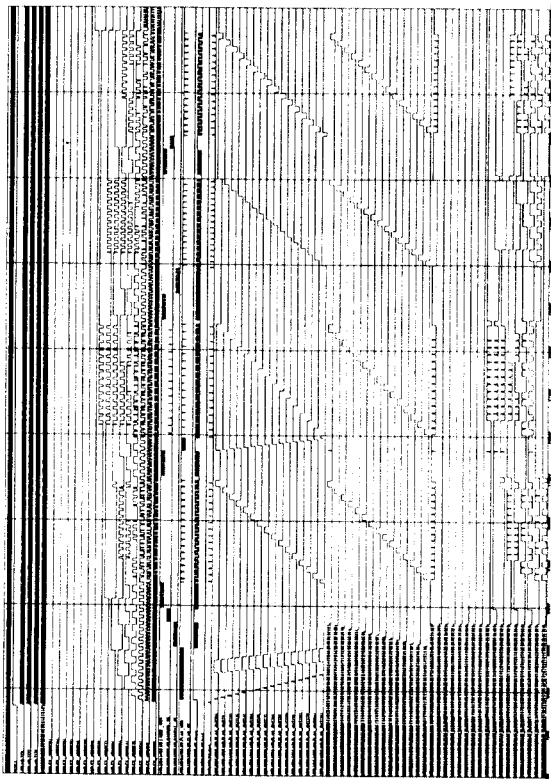


그림 14. MWB 명령 지원 프로세서의 테스트 결과

이트 정도이며 전체 칩 면적은 $2.5 \times 2.5 \text{ mm}^2$ 정도가 됨을 알 수 있었다. 또한 설계한 회로에서의 ramp delay를 확인하기 위해서 Pre route report 기능을 이용하여 검증한 결과 최악조건에서의 ramp delay가 권장 값인 3ns 이내에 존재하여 설계한 회로가 pre-simulation에서의 ramp delay 조건을 만족함을 확인하였다. 설계한 회로는 Compass 툴을 이용하여 레이아웃을 수행하였으며 그림 15에 레이아웃 사진을 나타내었다.

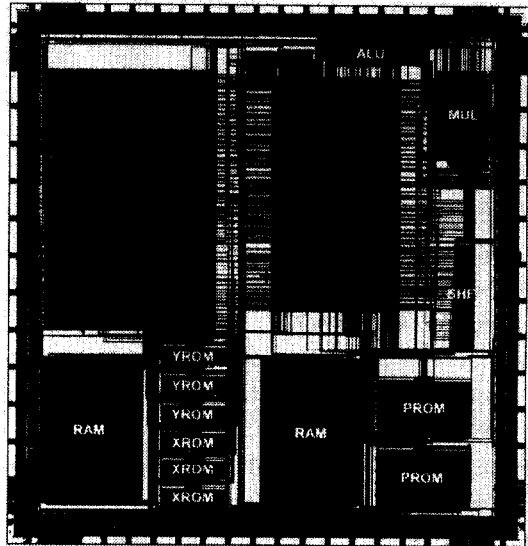


그림 15. 전체 레이아웃

V. 결론

본 논문은 국제 표준화 기구인 IEEE 802.11 위원회에서 규정한 주파수 호핑방식 무선 LAN 규격에 적합한 프로토콜 프로세서 설계를 위하여 MAC (Medium Access Control) 계층 프로토콜 프로세서 구현을 위한 새로운 프로세서를 설계하였다. 설계한 프로토콜 프로세서는 한국전자통신연구원에서 개발한 ES-C2340 DSP2 칩을 기반으로 다지 분기(Multi-Way Branch : MWB)명령어가 추가된 새로운 하드웨어를 설계하였으며, 다지 분기 명령어를 지원하는 어셈블러도 개발하였다. 설계 환경으로는 UNIX 환경하에서 COMPASS 툴을 사용하였으며, ETRI DSP 칩의 설계 공정에 맞추기 위해 0.8um CMOS 공정인 cmn8a technology를 이용하였다. 설계한 회로는 시뮬레이션을 통해 MWB 명령어가 정상적으로 수행됨을 확인하였으며 또한 40

MHz의 기본클럭에서 모든 기능이 정상적으로 동작함을 확인하였다. 설계한 회로의 게이트 수는 기본 게이트로 약 9500게이트 정도이며 면적은 $2.5 \times 2.5 \text{ mm}^2$ 이다. 추후 본 회로의 핵심 블록인 CAM의 논리회로 복잡도를 최소화하는 연구가 추진되어야 할 것이다.

참 고 문 헌

1. Richard O. LaMaire, Arvind Krishna, Pravin Bhagwat, James Panian, "Wireless LANs and Mobile Networking : Standards and Future Directions", IEEE Communications Magazine, pp.86-94, August 1996.
2. David F.Bantz, Frederic J.Bauchot, "Wireless LAN Design Alternatives", IEEE Network, pp.43-53, 1994.3-4.
3. 정보통신시대, "신세대 네트워크 무선 LAN", pp. 54-70, 1993.11.
4. "무선 LAN 및 무선 ISDN 특집", 전자공학회지, Vol.21, No.7, 1994.7.
5. IEEE P802.11, Wireless LAN Medium Access Control(MAC) and Physical Layer(PHY) Specifications, 1997.
6. "ES-C2340 DSP2 Digital Signal Processor User's Guide", 한국전자통신연구소.
7. S. M. Moon, S. Carson, "Generalized Multitway Branch Unit for VLIW Microprocessors", IEEE Trans. Parallel and Distributed Syst, vol. 6, no. 8, pp. 850-862, Aug. 1995.
8. 차균현 외, "High Performance Content Addressable Memory Design For Pattern Inspection", Proc. JTC-CSCC'95, pp.507-510, 1995.
9. 최해욱, 황인덕, "프로그램머블 다지 분기 구조", 대한전자공학회 추계학술대회 논문집, 1996.11.

최 해 욱(Hae Wook Choi) 정회원

1973년 : 서울대 전자공학과(공학사)
1980년 : 프랑스 그레노블공대 전자공학과(공학석사)
1984년 : 프랑스 그레노블공대 정보응용수학부(공학박사)
1981년~1984년 : 프랑스 툴루즈반도체(주) 연구원
1984년~1997년 12월 : 한국전자통신연구원 책임연구원
1997년 12월~현재 : 한국정보통신대학원대학교(부교수, 연구기획처장)

<연구분야> 알고리즘 및 VLSI 구조, Soft Radio 무선 단말기용 VLSI 구조, 고속 DSP 구조, 고속 무선 LAN 구조, 고속 모뎀 VLSI 구조 등

김 경 수(Kyung Soo Kim) 정회원

제23권 제2호 참조
현재 : 한국전자통신연구원 회로소자연구소 책임연구원

기 장 근(Jang Geun Ki) 정회원

1986년 2월 : 고려대학교 전자공학과 졸업(공학사)
1988년 2월 : 고려대학교 대학원 전자공학과 졸업(공학석사)
1992년 2월 : 고려대학교 대학원 전자공학과 졸업(공학박사)
1992년 3월~현재 : 공주대학교 전자공학과 부교수
<연구분야> 컴퓨터 통신 및 프로토콜, ATM 교환시스템



조 현 목(Hyeon Mook Cho) 정회원

1989년 2월 : 고려대학교 전자공학과 졸업(공학사)
1991년 2월 : 고려대학교 대학원 전자공학과 졸업(공학석사)
1995년 2월 : 고려대학교 대학원 전자공학과 졸업(공학박사)

1995년 9월~현재 : 공주대학교 전자공학과 조교수
<연구분야> 통신용 IC 설계, VLSI 설계