

DVDR 시스템용 PRML 검출기의 FPGA 구현

정회원 전 원 기*, 김 건*, 이 창 훈*, 양 원 영*, 조 용 수*

FPGA Implementation of a PRML Detector for DVDR Systems

Won Gi Jeon*, Geon Kim*, Chang Hun Lee*, Won Young Yang*,
Yong Soo Cho* *Regular Members*

요 약

본 논문에서는 DVDR(Digital Video Disk Recordable) 시스템의 PRML(Partial Response Maximum Likelihood) 검출기에 사용되는 등화 알고리즘과 비터비 검출기를 제안하고 이를 FPGA(Field Programmable Gate Array)로 구현한다. 최소평균제곱오차(Minimum Mean Square Error: MMSE) 기준하에서 유도된 기존의 PR(Partial Response) 등화 방식은 EFM-plus(Eight-to-Fourteen Modulation-plus) 부호를 입력으로 하는 광채널의 저역통과 특성을 보상하기 위해 고주파 영역에서 잡음증가 효과를 가져와 성능을 감소시키게 된다. 제안된 등화기법에서는 실제 기록 비트의 위치에 해당하여 성능에 중요한 영향을 미치는 영교차점에서 채널의 출력신호를 효율적으로 등화함으로써 성능을 향상시킨다. ML(Maximum Likelihood) 검출기는 FPGA 구현시 속도를 고려하여 2-state 비터비 알고리즘을 사용하여 구현하며, 이 때 적절한 문턱값을 선정함으로써 기존의 6-state Viterbi 검출기와 유사한 성능을 갖도록 한다. 컴퓨터 모의실험을 통하여 제안된 알고리즘의 성능을 분석한 후, FPGA를 사용하여 PRML 검출기를 구현한다.

ABSTRACT

In this paper, algorithms for equalizer and 2-state Viterbi detector for PRML (Partial Response Maximum Likelihood) detector in DVDR (Digital Video Disk Recordable) system are proposed and implemented with FPGA (Field Programmable Gate Array). The conventional PR (Partial Response) equalization methods derived under MMSE (Minimum Mean Square Error) criterion show performance degradation due to high-frequency noise enhancement effect of the equalizer for compensation of lowpass characteristic of an optical channel with an EFM-plus (Eight-to-Fourteen Modulation-plus) coded input. The proposed equalization method achieves performance improvement by effectively equalizing the channel output at the important points, i.e., zero-crossing points, which correspond to actual recorded bits. Considering the speed limit of FPGA chip, the ML (Maximum Likelihood) detector is implemented by 2-state Viterbi algorithm which has similar performance to the original 6-state Viterbi detector by selecting an appropriate value of threshold for Viterbi detector. Following performance analyses of the proposed algorithms for PRML detector with various computer simulations, the PRML detector is implemented by FPGA chip.

I. 서 론

멀티미디어 정보통신 시대를 맞이하여 대용량의 디

지털 데이터의 저장과 전송에 대한 중요성이 최근 급속히 부각되고 있다. DVD(Digital Video Disk 또는 Digital Versatile Disk)는 CD-ROM(Compact Disk-ROM),

* 중앙대학교 전자전기공학부(yscho@dsplab.ee.cau.ac.kr) 정회원
논문번호: 98250-0619, 접수일자: 1998년 6월 19일

※ 본 연구는 반도체공동연구소의 교육부 반도체분야 학술연구조성비(과제번호: ISRC 96-E-2028)와 97년도 한국영상기기연구조합의 지원에 의해 수행되었습니다.

LD(Laser Disk)에 비해 기록밀도와 재생속도가 향상된 차세대 영상기록 매체로서 종래 영상기록 매체로 주류를 이루었던 VTR(Video Tape Recorder)의 역할을 대체할 것으로 예상된다. 또한 VOD(Video On Demand), 홈쇼핑, 전자게임 등에서 사용되는 비디오 서버는 방대한 양의 데이터를 처리하는 대용량의 저장매체가 필수적으로 요구되므로 이러한 영상정보의 개인화와 네트워크화에 대응할 수 있는 새로운 멀티미디어 기록매체로 DVD가 중추적인 역할을 담당할 것으로 예상된다[1][2].

광디스크는 크게 CD-ROM과 같은 읽기 전용 광디스크, 일회 기록형 광디스크, 반복 기록형 광디스크로 나뉘며, 최근 고밀도화와 반복 기록에 대한 연구가 활발히 이루어지고 있어 컴퓨터의 보조기억 장치로도 주목 받고 있다. 광디스크의 대용량화는 선형밀도에 의해 좌우된다. 선형밀도를 높이기 위해서는 단파장 레이저를 사용하여 데이터를 작은 spot 크기로 기록하는 방법, 대물렌즈의 개구수(Numerical Aperture : NA)를 크게 하여 집광 spot 크기를 작게 하는 방법, EFM-plus(Eight-to-Fourteen Modulation-plus) 부호와 같이 개선된 변조방식과 개선된 PRML(Partial Response Maximum Likelihood) 검출방식을 사용하는 방법 등이 연구되고 있다[3]-[5]. 본 논문에서는 기존 DVD-RAM 용량의 2배 수준인 4.7 GB의 DVDR(DVD Recordable)에서 실제 구현할 수 있는 개선된 PRML 검출방식을 제안하고 이를 FPGA(Field Programmable Gate Array)로 구현한다. DVDR에서 반복기록을 위해서 사용되는 상변화(phase change) 방식에서는 기록시 기록 마크간 열 간섭에 의해 발생하는 마크에지(mark edge)의 천이가 성

능을 감소시키는 주요한 지터(jitter)로 작용하며, 이는 기록밀도가 증가함에 따라 더욱 큰 비중을 차지하게 된다[3][6]. 따라서 본 연구에서는 이러한 지터의 영향을 고려한 PR 등화방식을 제안하고 그 성능을 분석한 후 FPGA로 구현한다. 또한 ML에서 사용되는 비터비 검출기를 26.16 MHz에서 동작하는 DVDR에서 구현이 가능하도록 2-state로 근사화하고 2-state 비터비의 성능개선 기법을 제안한 후 이를 FPGA로 구현한다.

본 논문의 구성은 다음과 같다. 먼저 II절에서 DVDR 시스템의 전체구조를 간단히 설명하고 DVDR의 채널의 기본모델과 지터모델에 대하여 설명한다. III절에서는 DVDR에 적합한 PR 등화방식을 제안하고, IV절에서 2-state 비터비 알고리즘의 성능을 향상시킬 수 있는 최적의 문턱값을 구한다. V절에서 모의실험을 통해 제안하는 기법의 성능을 평가한 후 이를 FPGA로 구현한다. 마지막으로 VI절에서 결론을 내린다.

II. DVDR 시스템 및 채널모델

디지털 광기록 장치에서 데이터를 매체에 기록하고 이를 다시 재생하는 과정은 디지털 통신 시스템에서 데이터 전달과정과 유사하며 그림 1과 같은 블록도로 나타낼 수 있다. 표 1은 DVDR 시스템의 각 부분의 사양을 보여준다. RS-PC(Reed-Solomon Product Code)를 사용하는 에러정정 부호화기(ECC)를 통과한 디지털 신호는 EFM-plus를 사용한 변조부호 부호화기(modulation code encoder)를 통과하여 광디스크 채널에 적합한 신호로 바뀐다.

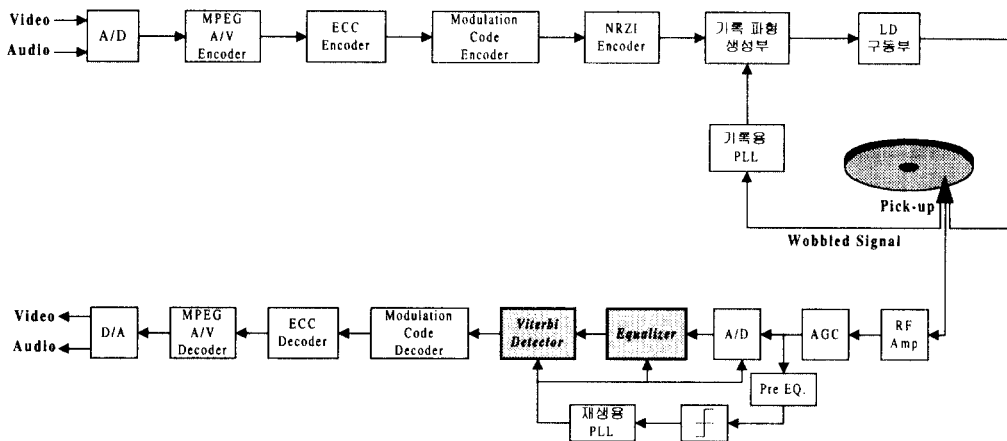


그림 1. 디지털 광기록·재생 시스템의 블록도
Fig. 1 A block diagram of a digital optical recording system

표 1. DVDR의 시스템 사양

Table 1. Specification of DVDR System

Items	Specification	
Mark-Length	0.40 μm-0.42 μm	
Track Pitch	0.6 μm	0.74 μm
Track 구조	Land/Groove	Wooble
Modulation	8/16 (EFMPlus)	
ECC	RS/PC (208, 192, 17) × (182, 172, 11)	
User Data Transfer Rate	11.08 Mbps	
Channel Data Rate	26.16 Mbps	
사용가능한 Disc	D-VDR 용, DVD-Video	
가능	D-VDR : 연속기록재생 DVD-Video : 기존 player 기본	
System Jitter	12.5%	
Spot Size	NA = 0.6, λ = 635/650 nm	
기록/재생 용량	편면 4.7 Gbyte	
BER	10 ⁻⁴ 이하 (Before ECC)	
LPM	Mark Edge	

EFM-plus 부호는 8/16 부호화율을 갖는 (2, 10) RLL (Run Length Limited) 부호로 NRZI(Non Return to Zero Inverted)로 변환될 경우 폭이 3T-11T인 마크로 광디스크에 기록된다[2][4]. 이 때 최소 마크길이를 3T로 제한하는 이유는 광기록 시스템의 광학적 해상도를 고려하여 마크간 간섭을 줄이기 위함이고, 최대 길이를 11T로 제한하는 이유는 재생단의 클럭 복원을 용이하게 하기 위함이다. 이러한 EFM-plus로 부호화된 신호는 NRZI 부호화기를 거쳐 1/(1⊕D)로 precoding (⊕는 modulo-2 연산)된 후 -1과 +1의 신호로 바뀌어 기록 장치에 의해 매체에 기록된다. 신호를 매체에 기록하는 방식으로 상변화 기법이 사용되며 이 경우 기록신호의 변화에 따라 매체의 매질이 결정, 비결정으로 스위칭하는 효과를 가져와 읽기·쓰기 가능형 시스템이 된다[7].

DVDR의 채널특성은 다음의 심볼응답으로 모델링된다[3].

$$h(t) = (c * f)(t) \tag{1}$$

여기서 $c(t)$ 는 시간 T 를 갖는 구형파를 나타낸다. $f(t) = g'(t)$ 는 디스크를 스캔하는 레이저 빔의 가우시안 spot profile을 나타내며 다음과 같이 표현된다.

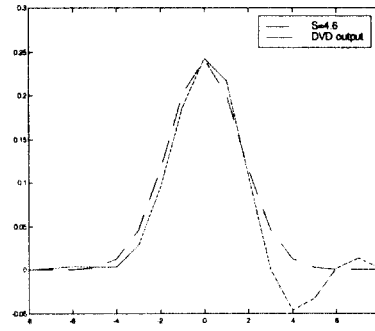
$$f(t) = \frac{2}{ST\sqrt{\pi}} \exp\left\{-\left(\frac{2t}{ST}\right)^2\right\} \tag{2}$$

여기서 S 는 정규화된 정보밀도를 나타내며, S 가 증가함에 따라 인접 심볼간 간섭(Intersymbol Interference : ISI)이 증가한다. 재생신호는 이산신호인 입력 데이터 $a_k \in \{-1, 1\}$ 이 $h(t)$ 를 통과하는 것으로 모델링된다. 광학계의 주파수 영역 특성을 나타내는 MTF(Modulation Transfer Function)는 임펄스 응답의 Fourier 변환으로 이는 다음과 같이 주어진다.

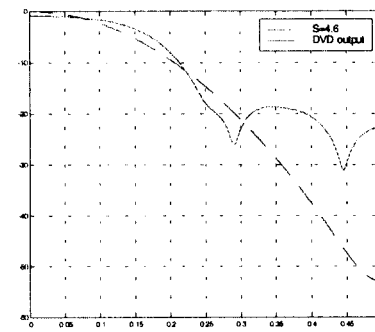
$$F(\Omega) = \exp\left\{-\left(\frac{\pi S\Omega}{2}\right)^2\right\} \tag{3}$$

또한 심볼응답의 주파수 영역 표현은 다음과 같이 주어진다.

$$H(\Omega) = C(\Omega)F(\Omega) = T \frac{\sin\pi\Omega}{\pi\Omega} \exp\left\{-\left(\frac{\pi S\Omega}{2}\right)^2\right\} \tag{4}$$



(a)



(b)

그림 2. DVD 채널과 DVD 모델의 비교: (a) 심볼 응답 (b) 주파수 응답

Fig. 2 Comparison between DVD channel and DVD model : (a) symbol response (b) frequency response

실제 EFM-plus 입력신호와 DVD-ROM 출력 데이터를 사용하여 추정된 채널의 심볼응답과 이를 근사화하는 채널모델을 비교해 보면 그림 2에 나타난 바와 같이 정보밀도 $S = 4.6$ 이 적합함을 알 수 있다.

이상적으로는 매체에 기록되는 영역의 끝부분은 그 모양이 날카롭게 되어야 하지만 실제로는 그렇지 않은 경우가 발생한다. 즉 pit와 land 사이의 경계가 기록시 기록마크간 열간섭에 의하여 실제 천이가 입력신호의 천이위치에서 발생하지 않고 그 위치가 랜덤하게 변화하게 되어 천이지터 왜곡이 발생하게 된다. 이러한 천이지터는 광기록 시스템의 성능을 저하시키는 주요 요인으로 알려져 있으며 다음과 같이 모델링된다[3].

$$y(t) = \sum_{k=-\infty}^{\infty} b_k g(t - (k + \tau_k) T) \quad (5)$$

여기서 τ_k 는 랜덤하고 입력신호에 독립적인 변위의 양을 나타내며, b_k 는 $a_k - a_{k-1}$ 를 나타낸다. $g(t)$ 는 천이응답으로 $h(t) = g(t) - g(t - T)$ 의 관계를 갖는다. 식 (5)를 근사화하여 다시 쓰면 다음과 같다.

$$y(t) \cong x(t) + \nu(t) = \sum_{k=-\infty}^{\infty} b_k g(t - kT) + \sum_{k=-\infty}^{\infty} d_k \dot{g}(t - kT) \quad (6)$$

여기서 $d_k \triangleq -b_k \tau_k$ 이고 랜덤 잡음열(random sequence)을 나타낸다. 또한 식 (6)의 $b_k g(t - kT)$ 는 다음과 같이 표현된다.

$$b_k g(t - kT) = (a_k - a_{k-1})g(t - kT) = a_k \{g(t) - g(t - kT)\} = a_k h(t) \quad (7)$$

따라서 천이지터에 의한 왜곡은 가산성 잡음으로 모델링할 수 있게 되며 이 때 천이지터 $\nu(t)$ 의 입력신호 d_k 의 분산은 $\sigma_d^2 = \sigma_b^2 \sigma_r^2$ 로 주어진다.

III. DVDR 시스템의 PR 등화기법

광기록 채널은 기록밀도가 증가할수록 고주파 영역의 응답이 크게 감소하게 되어 기록 데이터 사이에 ISI가 증가하게 된다. ISI를 보상하기 위한 일반적인

파형슬림 등화방식에서는 고주파 영역의 잡음을 증폭시키게 되어 전체 시스템 성능이 저하된다. PR 등화 방식은 채널의 주파수 특성과 유사한 목표응답을 선정하여 등화기를 포함한 전체 시스템의 특성을 목표응답으로 변형시키는 방식으로 적은 수의 탭을 갖는 등화기로 쉽게 목표응답을 구현할 수 있기 때문에 최근 고밀도 자기기록 시스템과 고밀도 광기록 시스템에 널리 사용되고 있다[8][9].

본 논문에서 고려하고 있는 DVDR 시스템은 그림 2(b)에 나타나 있듯이 Nyquist 주파수의 1/2되는 곳에서 주파수 응답이 급격히 감소하는 특성을 갖는다. 이 DVDR의 주파수 특성과 유사한 응답을 갖는 PR 다항식은 $(1 + D)^n$ (n 은 0이상의 정수) 계열과 $1 + 3D + 3D^2 + D^3$, $2 + D + D^2 + D^3$, 등의 저역통과 필터의 특성을 갖는 다항식이며, 이 중 특정 다항식이 선정되면 PR 등화기의 계수는 채널과 결합된 전체특성이 PR 다항식의 특성과 같도록 정해져야 한다. 등화기의 계수는 해석적인 방법이나 적응적 방법을 사용하여 구할 수 있는데 채널의 특성을 정확히 알 수 없는 경우에는 일반적으로 적응적 방법을 사용한다. 적응 알고리즘으로는 수렴속도는 느리지만 단순한 구조를 갖는 LMS 알고리즘이 일반적으로 사용되는데 LMS 알고리즘은 기준신호와 등화기 출력신호 사이의 전체 평균제곱오차(Mean Square Error : MSE)가 최소가 되도록 하는 MMSE 기준을 사용하여 등화기의 계수를 조정한다[9][10]. 그림 3은 적응 알고리즘을 사용하는 PRML 시스템의 블록도를 나타내고 있다.

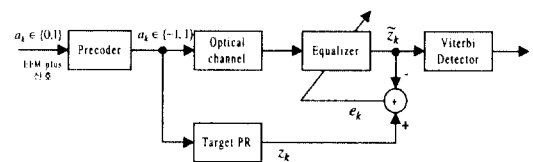
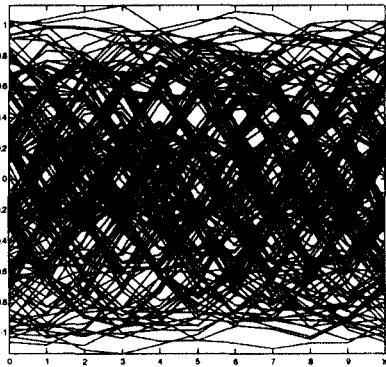


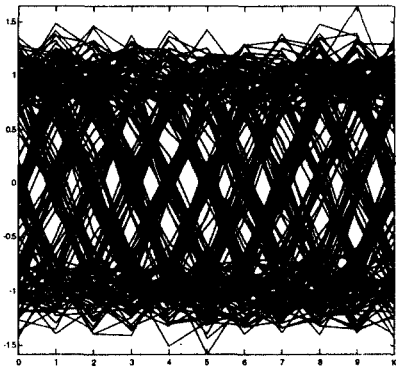
그림 3. PRML 시스템의 블록도
Fig. 3 A block diagram for a PRML system

여러 PR 다항식 중 $1 + D$ 의 다항식으로 표현되는 PR-I는 광기록 채널의 특성과 유사하며 가장 단순한 구조를 갖기 때문에 흔히 사용되고 있다. 이 PR-I 시스템에서 이상적인 출력신호의 정규화 된 값은 $\{-1, 0, +1\}$ 이고 기록단의 사전부호화를 고려하면 등화기 출력신호가 영교차하는 지점에서 데이터 비트가 0에서 1로 또는 1에서 0으로 천이하여 검출된다. 그림 4

는 MMSE 기준의 LMS 알고리즘을 사용한 경우의 등화후 파형을 눈패턴 형태로 보이고 있는데, 그림에서 볼 수 있듯이 등화후에 눈패턴이 크게 개선되지만 어느 정도 한계가 있음을 알 수 있다. 특히 가장 중요한 영교차점에서의 등화가 잘 이루어지지 않음을 알 수 있는데 이는 $1+D$ 의 신호형태가 천이가 발생하는 곳에서 고주파 성분을 많이 포함하기 때문이다. 즉, DVDR 채널은 고주파 영역의 성분이 적은데도 불구하고 등화기는 고주파 성분을 증폭시키면서 전체 MSE를 최소화 시키려는 방향으로 계수를 갱신시켜 결국은 전체 MSE는 감소하게 되지만 실제로 중요한 부분인 영교차점은 오히려 오차가 커지는 결과를 낳게 된다.



(a)



(b)

그림 4. 등화전 신호와 등화후 신호의 눈패턴 비교: (a) 채널 출력 신호 (b) 등화된 신호
Fig. 4 A comparison of eye pattern between channel output and equalized signal : (a) channel output (b) equalized signal

본 논문에서는 이러한 문제를 해결하기 위해 영교차점에서의 MSE를 최소화시키는 등화 방법을 제안한다. 첫번째는 영교차점에서 오차가 감소하도록 목표 응답을 갖는 훈련신호를 영교차점 주변에서 변형시키는 변형된 등화(Modified Equalization : ME) 방식이고, 두번째는 훈련신호 중 유효신호(논리적 '1')가 들어왔을 때에만 등화기의 탭계수를 갱신시키는 선택적 등화(Selective Equalization : SE) 방식이다.

ME 방식에서는 고주파 성분을 감소시키기 위해 훈련신호의 크기를 천이가 발생하는 곳 즉, 영교차점에서 좌·우의 신호 크기를 $1/2$ 로 감소시키고 나머지는 원래의 크기를 그대로 사용한다. 이 관계를 식으로 표현하면 다음과 같다.

$$\begin{aligned} \text{if } z_k=0, \text{ then } z_{k-1} &= (b_{k-1} + b_{k-2})/2 \text{ and } z_{k+1} = (b_{k+1} + b_k)/2 \\ \text{else } z_k &= b_k + b_{k-1} \end{aligned} \quad (8)$$

이 방식을 사용하여 등화기 계수를 갱신하게 되면 천이 부분에서의 고주파 성분이 감소하게 되어 영교차점의 등화가 용이하게 된다. 물론 천이의 좌·우에서 원래의 $1+D$ 파형과는 다른 파형이 되지만 실제로 중요한 영교차점에서의 MSE가 감소하기 때문에 비터비 검출기의 성능을 향상시킬 수 있는 것이다. 이 변형된 훈련신호는 PR 다항식 $1+D+D^2+D^3$ 를 1 샘플 지연시킨 것과 같다. 결과적으로 보면 비터비 검출기는 PR-I($1+D$)을 쓰지만 등화는 PR($1+D+D^2+D^3$)로 하는 것이다.

두번째 방법인 SE 방식은 훈련신호의 천이가 발생할 때에만 등화기의 계수를 갱신시키는 방법으로 이는 다시 두 가지 형태, 즉 훈련신호를 변형시키지 않고 사용하는 SE-I과 훈련신호를 변형시키는 SE-II로 나눌 수 있다. SE-I 방식에서는 precoding과 $1+D$ 의 연산으로 인해 DVDR의 입력비트 a_k 가 1일 때에만 훈련신호 z_k 가 0이 된다. 따라서 등화기 계수의 갱신은 다음의 알고리즘에 의해 이루어진다.

$$\begin{aligned} \text{if } z_k=0, \text{ then } w_{l+1} &= w_l + 2\mu e_l y_l \text{ for } k \leq l \leq k+1 \\ \text{else, } w_{k+1} &= w_k \end{aligned} \quad (9)$$

여기서 w_k 는 등화기 계수, μ 는 수렴상수, $e_k (= z_k - \hat{z}_k)$ 는 오차신호, y_k 는 채널의 출력신호를 의미한다. SE-II 방법은 훈련신호의 영교차점 좌·우에서 신호크기를 $1/2$ 로 감소시키는데 이는 전술한 바와 같이 PR($1+D$

+ D^2+D^3)과 같은 결과가 된다. 따라서 이 때의 등화기 계수 갱신은 다음의 알고리즘에 의해 이루어진다.

$$\begin{aligned} \text{if } z_k=0, \text{ then } w_{l+1} &= w_l + 2\mu e_l y_l, \text{ for } k-2 \leq l \leq k+2 \\ \text{else, } w_{k+1} &= w_k \end{aligned} \quad (10)$$

기존의 MMSE 기준의 등화기는 전체 등화기 출력과 형을 목표응답에 맞추어 전체 MSE를 최소화시키려고 하는데 이 때 영교차점의 고주파 성분을 무리하게 생성시키려다 오히려 전체적인 등화성능이 저하되는 결과를 초래한다. 따라서 제한된 수의 탭을 갖는 등화기에서 얻을 수 있는 실제 이득이 이상적으로 얻을 수 있는 이득에 비해 매우 낮아진다. ME 방식은 MMSE 기준을 사용하지만 영교차점 좌·우의 신호의 크기를 감소시켜 고주파 성분을 감쇄시킴으로써 등화기의 부담을 경감시킬 수 있다. SE 방식은 훈련신호 중 천이가 발생하는 경우에만 계수를 갱신시킴으로써 전체 MSE가 아닌 실제 데이터 검출에 중요한 역할을 하는 영교차점에서의 MSE를 최소화시키는 방식으로 기존방식에 비해 성능을 향상시킬 수 있는데 특히 SE-II 방식은 훈련신호의 고주파 성분도 감소시키게 되어 유효한 방법이라 할 수 있다.

IV. DVDR의 비터비 검출기법

DVDR에 사용될 EFM-plus 부호는 RLL(2,10) 특성을 갖기 때문에 비터비 검출기의 트렐리스도(trellis diagram)는 d 제한 조건을 만족하지 못하는 2개를 제외하면 총 6개의 상태가 존재하게 된다. 이를 FPGA로 구현할 경우 ACS(Add Compare Select) 수행 부분에서 많은 계산량이 요구되어 실제적으로 DVDR의 동작주파수인 26.16 MHz에서 실시간 동작하기가 매우 어렵게 된다. 이 문제를 해결하기 위해서 2개의 상태만을 사용하는 2-state 비터비 검출기에 대하여 본 절에서 논한다[3][11]. 부분응답 $1+D$ 에 대한 2-state 트렐리스도에서 목표응답 z_k 는 $\{-2, 0, 2\}$ 이므로 branch metrics는 $\beta_k^{++} = (z_k - 2)^2$, $\beta_k^{--} = (z_k + 2)^2$, $\beta_k^{+-} = \beta_k^{-+} = (z_k)^2$ 이고 metrics의 증가값은 다음의 수식에 의해 구할 수 있다.

$$Q_{k+1}^+ = \min(\beta_k^{++}, \Delta_k + \beta_k^{+-}) = \min((z_k - 2)^2, \Delta_k + z_k^2) \quad (11)$$

$$Q_{k+1}^- = \min(\beta_k^{--}, \Delta_k + \beta_k^{-+}) = \min(z_k^2, \Delta_k + (z_k + 2)^2) \quad (12)$$

여기서 $\Delta_k = Q_k^- - Q_k^+$ 를 나타낸다. 생존 경로를 결정하는 방법은 2-state이므로 4가지가 존재한다. 이러한 4가지의 생존 경로 결정 조건을 각각 살펴보면 Δ_k 의 범위와 새로운 difference path metric(Δ_{k+1})의 값을 구할 수 있다.

Negative merge(m)에서는 $- \rightarrow -$ 와 $- \rightarrow +$ 가 살아남는다. 이런 경우는 식(11)과 식(12)로부터 $(z_k - 2)^2 > \Delta_k + z_k^2$ 이고 $z_k^2 > \Delta_k + (z_k + 2)^2$ 이 될 때 발생하게 된다. 즉, $\Delta_k < (z_k - 2)^2 - z_k^2 = -4z_k + 4$ 와 $\Delta_k < z_k^2 - (z_k + 2)^2 = -4z_k - 4$ 때이다. 후자의 조건이 더 강하므로 전자의 조건은 무시할 수 있다. 새로운 Δ_{k+1} 은 다음 식에 의해서 구해진다.

$$\Delta_{k+1} = Q_{k+1}^- - Q_{k+1}^+ = \Delta_k + (z_k + 2)^2 - (\Delta_k + z_k^2) = 4z_k + 4 \quad (13)$$

나머지 세가지 경우(m^o, m^+, m^-)에 대해서도 같은 방법을 적용하여 정리하면 표 2와 같다. 여기서 m^o 는 cross-over를 나타내며, m^o 는 발생할 수 없는 경우를 나타낸다. 또한 Δ_k 대신에 Δ_k' 를 $\Delta_k/4$ 로 정의하여 사용하면 비터비 검출기에서 더 적은 비트를 사용하여 저장과 갱신을 할 수 있어 편리하다.

표 2. merge 결정 범위
Table 2. Range for merge determination

Δ_k	$y_k = \Delta_k + Z_k$	Δ_{k+1}	merge
$> -Z_k + 1$	$> +1$	$Z_k - 1$	m^+
$\in [-Z_k - 1, -Z_k + 1]$	$\in [-1, +1]$	$-\Delta_k$	m^o
$< -Z_k - 1$	< -1	$Z_k + 1$	m^-

표 2에서 y_k 의 범위를 -1 과 1 을 기준으로 하고 있는데 본 논문에서 이 기준값을 문턱값이라 정의한다. 이상적인 문턱값은 목표응답의 값을 어떻게 설정하는냐에 따라 달라질 수 있다. $1+D$ 채널의 목표응답을 $\{-\nu_d, 0, \nu_d\}$ 라고 했을 때, 식 (11)에서 $- \rightarrow +$ 경로가 생존한다면 $(z_k - \nu_d)^2 < \Delta_k + z_k^2$ 이 된다. 이 수식을 다시 정리하면 $-\nu_d < \Delta_k/2 + z_k$ 이 되고 $\Delta_k/2 + \nu_d$ 를 Δ_k' 로 정의하여 식을 정리하면 다음과 같이 표현할 수 있다.

$$y_k = \Delta_k + z_k + \nu_d/2 \quad (14)$$

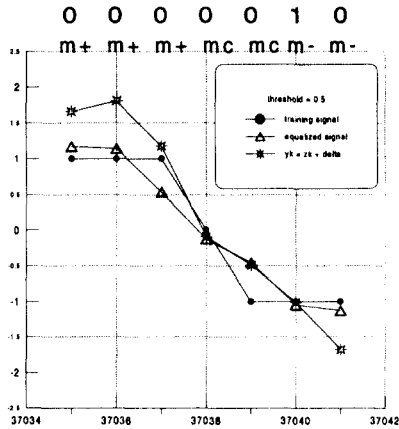
식 (14)에서 $\nu_d/2$ 를 문턱값으로 볼 수 있다. 즉 ν_d 가 2, 1, 0.5이면 문턱값은 1, 0.5, 0.25가 된다. 여기서 말하는 문턱값은 이상적인 경우에서만 해당되는 값으로 잡음과 지터가 없을 때의 값이다. 본 논문에서는 ν_d 를 1로 놓고 등화하므로 이상적인 문턱값은 0.5가 되지만, 실제로는 재생신호에 잡음이 포함되어 있기 때문에 등화기가 채널을 1+D로 완벽하게 등화하지 못하여 이값을 사용하면 그림 5(a)에서처럼 cross-

over가 연달아 발생함으로써 '1'의 검출 타이밍이 늦어지는 원인이 된다. 이러한 문제점은 문턱값을 변화시킴으로써 해결할 수 있다. 그림 5(b)로부터 문턱값을 0.5에서 0.35로 변화시킬 경우 오류가 발생되지 않음을 알 수 있다. 여기서 문턱값 0.35는 $S = 4.6$ 채널에서 최적의 BER 곡선을 얻었을 때 구한 값으로서 일반적으로 등화기의 등화능력과 DVDR시스템의 지터량에 따라 달라진다.

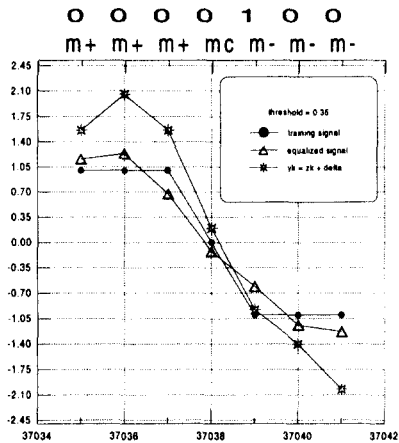
V. 모의 실험

본 절에서는 정보밀도 S 가 4.6인 모델링 채널에서의 모의실험을 통해 제안된 등화방식의 성능과 최적의 문턱값을 사용한 비터비 검출기의 성능을 분석한 후, 제안된 등화기와 비터비 검출기의 FPGA 구현에 대하여 기술한다.

등화기의 탭수는 탭수에 따른 시스템의 성능을 분석한 후 하드웨어 복잡도를 고려해서 7개로 정하였고, 적응 LMS 알고리즘을 사용하여 계수값을 구한 후 이를 등화기의 계수로 고정시켰다. 표 3은 기존의 MMSE 기준의 등화방식을 사용했을 때와 영교차점에서의 MSE를 최소화하기 위한 본 논문에서 제안된 방식들의 성능을 전체 MSE와 영교차점에서의 MSE를 통해 비교하고 있다. 표 3으로부터 AWGN만 존재하는 경우와 지터와 함께 존재하는 경우 모두 ME와 SE-II의 전체 MSE와 영교차 MSE의 성능이 기존방식보다 우수함을 알 수 있다. SE-I의 경우에는 기존방식보다 전체 MSE는 크지만 영교차 MSE는 작게 된다. 전체적으로 보면 제안된 방식들의 영교차 MSE의 성능이 우수하게 나타남을 알 수 있다.



(a) 0.5



(b) 0.35

그림 5. 문턱값 변화에 따른 오류 정정 : (a) 0.5 (b) 0.35
Fig. 5 Error correction when the threshold value varies : (a) 0.5 (b) 0.35

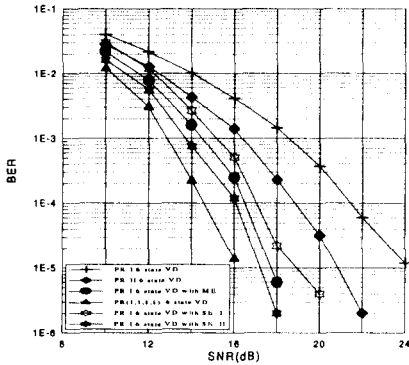
표 3. 기존의 등화방식과 제안된 방식의 전체 MSE와 영교차 MSE의 비교

Table 3. Comparisons of total MSE and zero-crossing MSE between conventional equalization method and proposed methods

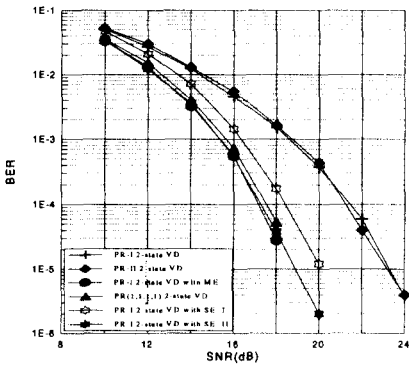
		기존방식	ME	SE-I	SE-II
SNR = 16dB, Jitter = 0%	전체 MSE (dB)	-11.56	-18.16	-7.76	-18.24
	영교차 MSE (dB)	-14.63	-19.95	-15.10	-20.05
SNR = 28dB, Jitter = 15%	전체 MSE (dB)	-13.96	-20.08	-9.35	-19.69
	영교차 MSE (dB)	-16.72	-22.25	-17.33	-22.01

그림 6은 여러 SNR 상황에서 기존의 방법과 ME, SE-I, SE-II 방법의 BER 성능을 비교하여 보여주고

있는데 ME, SE-I, SE-II의 성능이 기존의 방법보다 우수함을 알 수 있다. 그림 6(a)의 6-state에서는 기존 방법, SE-I, ME, SE-II의 순서로 성능이 우수하며, 그림 6(b)의 2-state에서는 기존방법, SE-I, SE-II, ME의 순서로 성능이 우수하게 나타난다. 이러한 결과는 표 3의 영교차 MSE의 성능과 유사한 관계를 가지는데 ME와 SE-II의 영교차 MSE가 유사하므로 BER 성능이 유사하게 나타나며, SE-I의 영교차 MSE는 기존방식보다는 작지만 ME와 SE-II에 비해서 크므로 ME와 SE-II보다 BER 성능이 나쁘고 기존방식보다는 우수한 성능을 보인다. 물론 ME와 SE-II의 경우에는 전체 MSE의 성능도 기존방식보다 우수하지만, SE-I의 경우는 기존방식보다 전체 MSE 성능이 나쁘고 BER 성능이 우수하게 나타나므로 BER 성능에서 전체 MSE는 크게 중요한 요소가 아니고 영교차 MSE가 성능을 좌우한다고 할 수 있다.



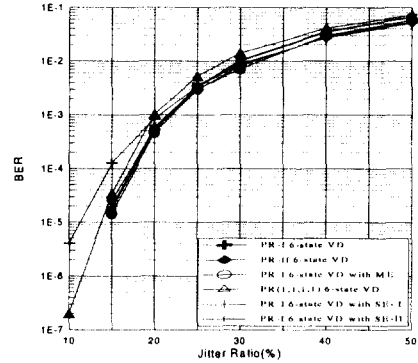
(a) 6-state



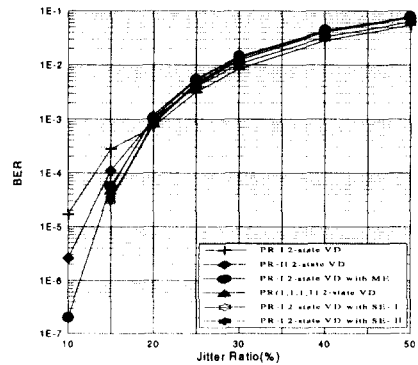
(b) 2-state

그림 6. SNR에 따른 BER
Fig. 6 BER as a function of SNR

그림 7은 지터에 따른 BER 성능을 보여주고 있는데 이 때의 SNR은 28 dB로 고정시켰으며 지터는 RMS 단위를 사용하여 %로 나타내었다. 실제 DVDR에 포함된 지터는 15% 미만으로 예상되므로 15% 이하의 지터에서 볼 때 ME, SE-I, SE-II의 성능이 기존의 방법보다 우수하게 나타남을 알 수 있다. 여기에서도 표 2의 MSE 비교 결과를 적용시켜 그림 6에서와 동일한 해석을 할 수 있다.



(a) 6-state

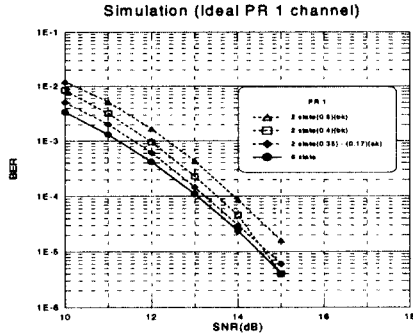


(b) 2-state

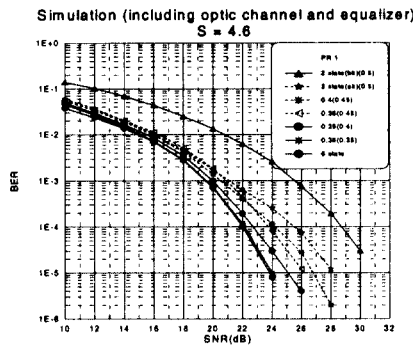
그림 7. 지터 비율에 따른 BER
Fig. 7 BER as a function of jitter ratio

그림 8은 IV절에서 설명한 2-state 비터비 검출기에서 문턱값 변화에 따른 성능을 분석한 것이다. 그림 8(a)는 이상적인 채널이고 그림 8(b)는 $S = 4.6$ 으로 모델링한 채널이다. 먼저 Δ_k 를 갱신할 때 증가량을 고정시키고 문턱값만을 변화시키면서 최적의 BER 곡선을 구하고 그 때 문턱값을 설정한 다음, Δ_k 의 갱신 증가량을 다시 변화시키면서 최적의 BER 곡선을 구한 결과 문턱값과 Δ_k 의 갱신 증가량이 같은 값이

되었을 때 최적의 성능을 나타냄을 알 수 있다. 이 모의실험으로부터 문턱값으로 0.35를 사용하였을 경우 최적의 성능을 나타냄을 알 수 있다.



(a)

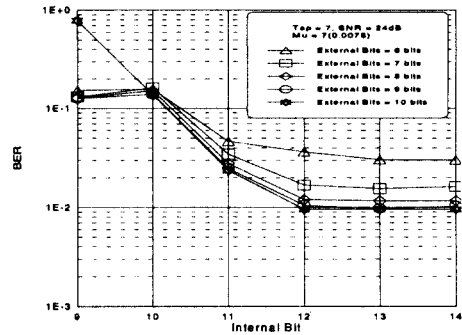


(b)

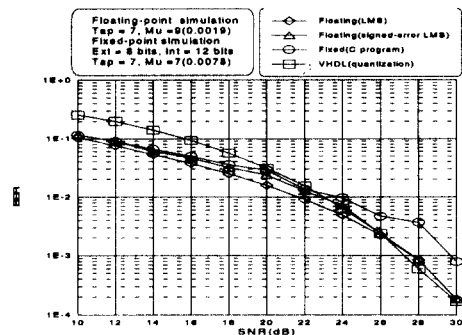
그림 8. 문턱값 변화에 따른 BER: (a) 이상적인 채널 (b) 채널모델
Fig. 8 BER as a function of threshold value: (a) ideal channel (b) channel model

FPGA 구현은 VHDL로 선형 등화기와 비터비 복호기를 설계하여 프로그램상에서 모의실험하고 이를 칩으로 만들어 실제 DVD-ROM 출력 데이터를 사용하여 검증하였다. 등화기는 DVDR 동작 주파수가 26.16MHz이므로 실시간으로 동작하기 위해서는 고정된 계수를 갖는 등화기로 구현하였다. 모의실험을 통하여 수렴상수, 지연시간, 입력신호(ADC input)의 비트(external bit)수, 내부계산에 사용되는 내부비트(internal bit)수 등을 변화시키면서 최적의 값을 구하여 등화기의 계수를 구하였다. 이 때 사용한 프로그램은 C언어와 VHDL(Very high speed IC High-level Design Language)이며, SNR은 24 dB로 고정하였다.

그림 9(a)는 비트수를 변화시킬 때 등화기의 BER 성능(비터비 제외)을 나타내고 있는데 입력신호의 비트수를 증가시키면 BER 성능이 향상되지만 9 비트 이상에서는 비트수를 증가시켜도 더 이상의 큰 이익이 없게 된다. 내부계산에 사용되는 비트수는 12 비트 이상에서 더 이상의 성능개선이 없어 하드웨어로 구현할 때 내부 입력신호는 8 비트, 내부 계산에 사용되는 비트는 12 비트로 결정하였다. 그림 9(b)는 이때의 BER 성능을 SNR을 변화시키면서 C와 VHDL을 사용하여 구한 결과이다. 이 그림으로부터 위와 같이 비트를 할당한 경우에는 비트수의 제한을 두지 않았을 때(floating)와 별 차이가 없음을 알 수 있다. C에서 비트수의 제한을 둔 fixed-point의 경우에 BER이 약간 저하되는 이유는 램계수 갱신에도 비트수의 제한을 주었기 때문이다. VHDL에서는 C에서 floating-point로 구한 계수를 양자화시켜 사용하였다.



(a)



(b)

그림 9. 비트 길이에 따른 등화기의 BER 성능
(a) 비트 시뮬레이션 (b) 비트 제한 연산에서 BER 비교
Fig. 9 BER of equalizers as a function of bit length
(a) bit Simulation
(b) BER comparison in the bit-constrained situation

다음은 위에서 구한 등화기 계수와 비터비 검출기 관련 파라미터를 이용하여 PRML용 FPGA를 구현한 결과를 보여준다. FPGA로 구현시 사용된 칩은 Altera사의 FLEX10k40으로 사용 가능한 게이트 수는 40000 게이트이다. 그림 10은 DVDR의 재생부분에 들어가는 신호 검출기의 구조를 보여준다. PLL부는 샘플링 타이밍을 정확히 유지하는데 필요한 신호를 만들어 DVDR 시스템의 재생용 PLL부에 제공한다. 7 탭으로 구성된 EQUALIZER부는 ADC(Analog Digital Converter)로부터 unsigned 8비트 신호를 입력 받아 이를 signed 8비트 신호로 변환시키는 부분이 포함되어 있다. 이는 등화기 내부에서 signed 연산을 하기 때문이다. 등화기 내부에서는 12비트 연산을 수행하고 여기서 얻은 12비트 중 8비트[10:3]만을 VITERBI부의 입력단으로 출력한다. 이렇게 함으로서 VITERBI부에 사용되는 비트수가 줄어들어 속도가 빨라지고 전체 칩의 크기도 감소하게 되지만 VITERBI부에서 실제 유효한 8비트만을 입력으로 사용하므로 성능에는 차이가 없다. VITERBI부는 EQUALIZER로부터 signed 8비트 신호를 입력 받고 이를 검출하여 1비트의 EFM-plus 신호를 출력시킨다. NRZI, Xk_buf[7:0], EQOUT[7:0] 등과 같은 출력 신호는 테스트 보드상에서 칩 동작을 검사하고 디버깅하기 위해 추가하였다. 논리동작을 확인하기 위해서 Synopsys VHDL Debugger 시뮬레이터를 사용하였으며 Synopsys VHDL Synthesizer로 synthesis 하였다. 또한 Altera compiler(Maxplus2)를 사용하여 완벽한 타이밍 정보를 가진 top VHDL 파일(top.vho)를 얻었고, Synopsys VHDL Debugger 시뮬레이터상에서 동작주파수 27.77 MHz로 real time

simulation을 수행하여 이 결과가 C와 VHDL function simulation에서 얻은 결과와 동일함을 확인하였다. 그림 11은 이 때 simulation 파형의 일부를 보여준다. 최종적으로 top.sof 파일을 bitblaster를 사용하여 테스트 보드에 있는 EPF10K40RC240-3 FPGA 칩에 다운로드한 후 BER을 비교해서 칩이 정확히 동작됨을 확인하였다. 표 4는 FPGA 구현 결과를 보여준다.

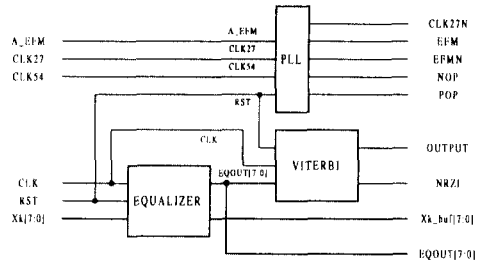


그림 10. Top 블록도
Fig. 10 Top block diagram

표 4. FPGA 구현
Table 4. FPGA implementation

	Equalizer + 비터비
Used Gates	15200 gates
Used Cell Size	895 cells(39%)
Used Pin Number	36 (Input 13, Output 23)
Maximum Speed	30.48 MHz (Pin Fixed)

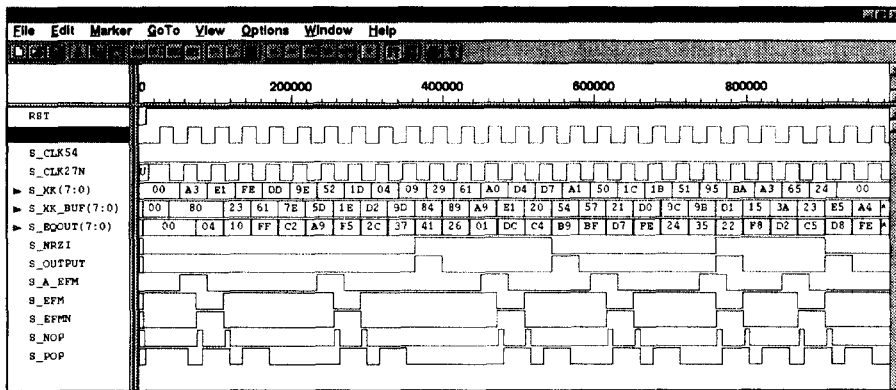


그림 11. Timing simulation 결과
Fig. 11 Results of timing simulation

VI. 결 론

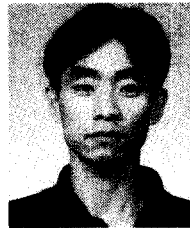
본 논문에서는 DVDR에서 신호 재생시 사용되는 등화 알고리즘과 비터비 검출기를 제안하였고 이를 FPGA 칩으로 구현하였다. 전체 MSE를 최소화시키는 기존의 등화방식을 변형시켜 신호 검출시에 가장 중요한 영교차점의 MSE를 최소화시키는 두가지 방법을 제안하였다. 제안된 방법은 기존의 방법보다 SNR 환경에서 4-5 dB 정도의 이득을 얻을 수 있었으며 지터를 고려한 환경에서도 기존의 방법보다 성능의 향상을 나타내었다. 비터비 검출기는 FPGA 구현시 동작속도를 고려하여 6-state 비터비 복호기 대신 2-state 비터비 검출기를 사용하였다. 이 때 기존의 2-state와는 다른 최적의 문턱값을 사용함으로써 2-state 비터비의 성능을 6-state 비터비 성능과 유사하게 향상시켰으며 FPGA로 간단하게 구현할 수 있음을 보였다. FPGA 구현에서 Top 블록은 PLL, EQUALIZER, VITERBI부의 3개의 하위블록으로 구성하였고, EPF10K40RC240-3 FPGA 칩으로 30.48 MHz까지 구현 가능함을 확인하였다.

참 고 문 헌

1. J. Taylor, *DVD Demystified*, McGraw Hill, 1998.
2. R. K. Jurgen, *Digital Consumer Electronics Handbook*, McGraw Hill, 1996.
3. J. W. M. Bergmans, *Digital Baseband Transmission and Recording*, KAP, 1996.
4. K. A. S. Immink, "EFMPlus: the coding format of the multimedia compact disc," *IEEE Trans. Consumer Electronics*, vol. 41, no. 3, pp. 491-497, Aug. 1995.
5. D. C. Cheng, J. E. Hurst Jr., Lynch Jr., and R. W. Olson, "High capacity optical recording channel," *IEEE Trans. Mag.*, vol. 31, no. 6, pp. 3227-3232, Nov. 1995.
6. S. Ohkubo, M. Okada, M. Murahata, T. Ide, and T. Iwanaga, "Improvement in jitter characteristics in mark edge recording for phase change media," *Jpn. J. Appl. Phys.* vol. 32, no. 11B, pp. 5230-5233, Nov. 1993.
7. M. Ichinose, T. Ishida, Y. Takagi, M. Ito, S. Ohara, I. Satoh, Y. Okazaki, and R. Imanaka, "A high-density phase-change optical disk system possessing

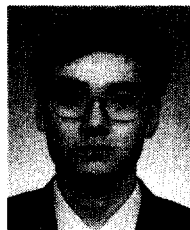
read/write compatibility with 90 mm magneto-optical disks," *Jpn. J. Appl. Phys.* vol. 32, no. 11B, pp. 5320-5323, Nov. 1993.

8. P. Kabal and S. Pasupathy, "Partial-response signaling," *IEEE Trans. Commun.*, vol. 23, no. 9, pp. 921-934, Sep. 1975.
9. R. D. Cideciyan, F. Dolivo, R. Hermann, W. Hirt, and W. Schott, "A PRML system for digital magnetic recording," *IEEE J. Select. Areas Commun.*, vol. 10, no. 1, pp. 38-56, Jan. 1992.
10. E. A. Lee and D. G. Messerschmitt, *Digital Communication*, Second Edition, KAP, 1994.
11. M. Taguchi and H. Izumi, "Data readout system for optical disk having maximum likelihood data detecting circuit," *U. S. Patent*, 5680380, Oct. 1997.



전 원 기 (Won Gi Jeon) 정회원
1994년 2월: 중앙대학교 전자공학과(공학사)
1996년 2월: 중앙대학교 전자공학과(공학석사)
1996년 3월~현재: 중앙대학교 전자공학과 박사과정 재학중

<연구분야> 디지털 통신 시스템, 적응신호처리



김 건 (Geon Kim) 정회원
1997년 2월: 중앙대학교 전자공학과(공학사)
1997년 3월~현재: 중앙대학교 전자공학과 석사과정 재학중

<연구분야> 디지털 고밀도 기록 시스템



이 창 훈 (Chang Hun Lee) 정회원
1996년 8월: 중앙대학교 전기공학과(공학사)
1997년 3월~현재: 중앙대학교 전자공학과 석사과정 재학중

<연구분야> 디지털 고밀도 기록 시스템



양 원 영 (Won Young Yang) 정회원

1975년 2월 : 서울대학교 전기공학
과(공학사)

1981년 2월 : 서울대학교 전기공학
과(공학석사)

1986년 8월 : University of Southern
California, Dept. of
Electrical Engineering
(Ph.D)

1986년 9월 ~ 현재 : 중앙대학교 전기공학과 교수
<연구분야> 적응제어, 신호처리 응용



조 용 수 (Yong Soo Cho) 정회원

1984년 2월 : 중앙대학교 전자공학
과(공학사)

1987년 8월 : 연세대학교 전자공학
과(공학석사)

1991년 5월 : The University of Te-
xas at Austin, Dept.
of Electrical and
Computer Engineering
(Ph.D)

1984년 1월 ~ 1984년 7월 : (주)금성전기 연구원
1992년 3월 ~ 현재 : 중앙대학교 전자공학과 부교수
<연구분야> 통신 신호처리