

고속 스위칭 성능 향상을 위한 Input/Output Queueing Management에 관한 연구

정회원 하창국*, 송재연**, 김장복**

A Study on Input/Output Queueing Management for High Performance Switching

Chang-Gog Ha*, Jae-Youn Song**, Chang-Bock Kim** *Regular Members*

요약

본 논문에서는 스위치의 운용 알고리즘에 따라 시뮬레이션 프로그램을 이용하여 입/출력 버퍼의 셀 손실율을 측정하였다. 그 결과 셀 손실에 영향을 주는 요소로서, 셀 도착 간격 시간(k(a))과 SPEEDUP FACTOR(SF) 두 가지 요소에 따라 셀 손실을 평가할 수 있음을 알 수 있었다. 셀 도착 간격 시간 혹은 주기성은 비트가 셀로 모이는데 걸리는 시간을 의미하며 스위치 속도 SF는 임의의 한 슬롯내에서 한 입력단에서 출력단으로 서비스 가능한 셀의 수를 나타내고 있다. 시뮬레이션의 결과에서 보면 입력 버퍼에서는 주기성에 따라, 출력 버퍼에서는 SF의 크기에 따라 셀 손실율이 커진다는 사실을 알 수 있었다. 따라서 보다 정확한 고속 스위칭 향상을 위해서는 입/출력 버퍼의 크기 결정이 중요하다. 본 논문의 시뮬레이션 결과에서는 입력 버퍼가 100x셀 일 때 출력 버퍼가 40x셀 정도의 크기가 적합하다는 것을 얻어내었다. 물론 입/출력 버퍼를 크게 한다면 셀 손실이 작아지지만, 하드웨어를 구성하는데 문제점이 발생할 것이기 때문이다. 그리고 본 논문 결과치중 셀 도착 분포 상황은 변동계수 모델링 설정에 따라 SF가 처리하는 서비스의 셀 도착 분포에 의해 달라지지만, 변동계수가 전혀 없는 이상적인 경우(CV=1)를 제외한 경우의 SF값을 만족한다고 하겠다. 끝으로 입/출력 버퍼를 가진 스위치 구조는 단지 출력 버퍼를 갖는 스위치 보다 지연이 크지만, VLSI의 발달로 셀의 처리 속도가 증가하므로 더 많은 장점을 갖게 될 것이다.

I. 서론

광대역 교환기술의 성능을 평가하기 위해서는 스위치의 운용 알고리즘에 따라 성능이 결정되어질 수 있는 요소를 선정해야 한다는 것은 주지된 사실이다. 광대역 교환기술에 사용되는 스위치는 그림 1-1과 같이 Space Domain, Nonblocking Fast Packet Switch구조로 구성되고 출력단의 경쟁(contention)을 해결하기 위하여 입/출력 버퍼를 갖는 N×N 스위치 구조를 가지고 time-slot 형식으로 셀이 처리된다. 여기서 slot은 한 셀을 전송하는데 필요한 시간 단위를 의미한다.

스위칭 속도는 SPEEDUP FACTOR(이하 SF) C로 나타낸다고 가정할때 이것은 입력단과 출력단의 속도 보다 스위칭 속도가 C(1≤C≤N)배 빠름을 의

미하는 것으로 각 입력단에서 각 출력단으로 C개의 셀을 동시에 전송 할 수 있고 처리된 셀들은 출력 링크에 의해 서비스될 때까지 출력 버퍼에 저장되어야 한다는 것을 나타낸다.

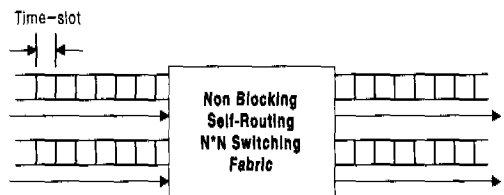


그림 1-1. ATM 다대단 스위치 모델

만약 C개 이상의 셀이 같은 출력단을 위해 경쟁한다면 초과된 셀들은 스위치에 의해 서비스 될 때

* 한국과학기술연구원(ha@kist.re.kr)
논문번호 : 98543-1217, 접수일자 : 1998년 12월 17일

** 홍익대학교 전자공학과

까지 입력 버퍼에 저장되어야 한다.

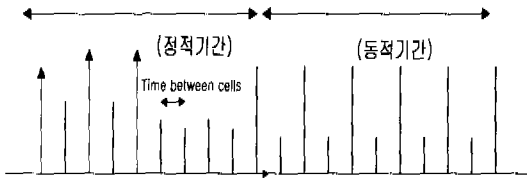


그림 1-2. Cell 도착 특징

이 때 서비스를 받을 C개 셀의 선택은 스위치의 중재정책(arbitration policy)에 의해서 이루어진다. 중재정책방식으로는 ROS (Random Order of Service), FCFS(First Come First Service), LCLS(Last Come Last Serv) 등이 있으며 이는 스위치의 처리율(throughput)에는 영향을 미치지 않지만 스위치의 지연(delay)에 영향을 미치게 된다.

광대역 교환 방식 성능을 평가함에 있어 영향을 미치는 또 다른 요소중 하나로는 스위치의 입력단에 도착하는 셀의 트래픽을 나타내는 분포(distribution)를 들 수 있다. 일반적인 시뮬레이션에서는 Poisson, Markov modulated Poisson 트래픽 모델을 사용하지만, 이러한 모델에서는 스위치에 제공되는 셀을 재생하기 위하여 비트단위에서 부터 셀의 형태로 모으는데 걸리는 일정한 시간에서 발생하는 주기성(periodicity)을 고려하지 않는다. 그러나 입력단에서 발생하는 주기성은 출력단에도 상당한 주기성을 주는 원인이 되기 때문에 주기성은 패킷 통신 시스템 성능 자체에 상당한 영향을 미치며 무시할 수 없는 평가 요소로 자리 잡고 있다.

각 입력단은 동적 기간(periods of activity), 정적 기간(periods of silences)중 하나의 상태에 항상 머무르게 된다. 동적 기간은 입력단에 패킷(or 셀)이 도착하는 기간을 나타내고, 정적 기간은 입력단에 패킷(or 셀)이 도착하지 않는 기간으로 이들은 각각 출력단의 관점에서 정의된다. 그림 1-2에서는 도착하는 셀들의 주기성을 고려하기 위해, 동적 기간 동안 각 입력단은 일정한 셀의 도착 시간 간격 k(a)로 셀이 생성 된다고 가정하였다. 여기서 동적 기간과 정적 기간은 서로 독립적이며, 동일한 랜덤변수로 분포하고, 각 기간의 다음 기간과도 독립적임을 가정한다.

그리고 동적기간의 평균율을 m(a), 정적기간의 평균율m(s)라 하고, 변동 계수(coefficient of variation)의 자승을 C²(a), C²(s)라 나타낸다. 여기서 변동 계수의 자승(CV)이란 분산과 평균 자승의 비(σ^2/m^2)를 나타낸다. CV가 1보다 작으면 동적 기간과

정적 기간의 분포로 negative binomials를 선택하고 CV가 1보다 크면 m(a), m(s)를 같이 하는 혼합된 geometric 분포를(mixed of geometric distribution) 선택 한다. 이는 실제로 동작하고 있는 스위치의 성능을 평가하는데 있어서 입력단에 발생되어진 트래픽의 분포도보다는 각 기간의 평균율에 의해 발생하는 셀 도착율에 따른 변동계수로 인한 부하의 변동에 따른 영향이 더 실제적이기 때문이다. 아래 식에 출력단에 한 입력단이 제공하는 부하(load)를 정의하였다. 여기서 m(a)/k(a)는 입력단에서 기대되는 셀의 수를 나타내며, $\rho < 1/k(a)$ 를 만족해야 한다. 그리고 이를 그림 1-3에 도시하였다.

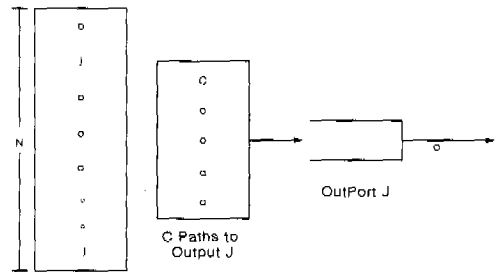


그림 1-3. 대기행렬의 HOL 형성과정

$$\rho' = \left[\frac{m(a)}{m(a) + m(s)} \right] \frac{1}{k(a)}$$

$$\rho = N\rho' \frac{\text{arrival cell number at tagged output}}{\text{total arrival cell number}}$$

본 논문에서는 이 중 가장 서비스 지연이 작은 FCFS를 중재정책으로 채택하여 입력단에서는 각각의 소스를 불규칙적으로 도착하게 하고 스위치 입력단에서 발생하는 셀의 주기성과 함께 SF를 성능 평가 변수로 지정, 동적 기간과 정적 기간에 의해 발생하는 셀 도착율에 따른 변동계수로 인한 부하의 변동율이 ATM 스위치에 미치는 영향을 고려하였다. 각 입력단은 선택된 분포(geometric distribution)에 대응하는 discrete-time Markov chain방식으로 모델링을 한 후 시뮬레이션에서는 혼합된 geometric distribution에 대응하는 Markov model을 사용하였다.

II. 시스템 모델

2.1 시뮬레이션 모델

본 절에서는 그림 1-4와 같이 입/출력 버퍼와 SF

를 C개로 제공하는 NxN 패킷스위치를 시뮬레이션 모델링하였다. 스위치는 다른 입력단들로부터 여러 셀이 같은 출력 단을 동시에 요구할 때만 경쟁이 발생하는 non-blocking 구조를 갖고 있다. 따라서 일반적인 광대역 교환기술을 표현하기 위해서 non-blocking, self-routing, 각 출력단마다 분리된 입/출력 버퍼 구조로 시뮬레이션 모델을 잡았다.

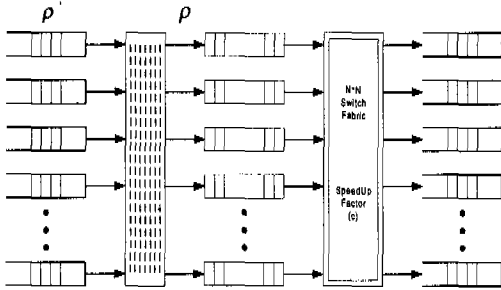


그림 1-4. 시뮬레이션 모델

입력단에서 중재 정책에 의해 선택된 셀에서 목적지까지의 결정은 Discrete Uniform Distribution 방법을 이용하여 랜덤변수를 만들어내는 (1, N)함수를 사용하여 스위치의 Time-Slot, FIFO(First-in First-out)와 같이 N 입력 N 출력으로 시행된다고 가정 하였다.

입력 queue (Q_i^I)에 도착한 셀은 스위치를 access하기 위해 입력 링크의 HOL(Head Of Line)에 도달 할 때까지 기다린 후 HOL의 셀들과 경쟁하게 된다. 출력 버퍼에 도착한 셀은 출력 링크가 idle되면 전송하며 그렇지 않으면 저장된다. HOL에 놓여진 셀들은 목적지 $j(1 \leq j \leq N)$ 에 따라 논리적으로 크기가 $N \times$ 셀을 갖는 N개의 virtual queue($Q^V: 1 \leq j \leq N$)로 나누어진다. 본 모델링에서는 N의 크기를 8로 가정하였는데 이유는 여러 입력단이 같은 time-slot에서 같은 출력단으로 8셀 이상을 전송할 확률은 스위치의 크기나 입력단의 부하(load)에 관계없이 10^{-6} 보다 작기 때문이다. 입/출력 버퍼가 꽉 차 있을 때 도착하는 셀은 셀 손실로 처리된다. 이는 셀의 도착 간격 시간이 작거나, $SF(1 \leq SF \leq N)$ 가 작으면 셀손실이 커지게 된다는 것을 의미한다. 출력 버퍼 관점에서의 셀손실은 출력 버퍼가 꽉 차있을 때 virtual queue의 셀이 스위치의 서비스를 받아 출력 버퍼에 도착한 셀을 버리게 되는 것으로 이는 셀의 도착 간격 시간 $k(a)$ 가 작거나, SF가 크면 커지게 된다. 결국 스위치는 출력단에 각각 독립된 C개의 통로를 제공하며 이는 스위치 속도가 입력단과 출

력단의 속도보다 C배 빠르다는 위의 가정을 뒷받침 할 수 있다.

2.2 시뮬레이션 환경

시뮬레이션 사용언어는 C로 짜여진 smpl이라 불리는 discrete-event 시뮬레이션언어와 Borland의 Turbo C(version 2.0)이다.

시뮬레이션은 이중 $N \times 1$ 서브 스위치만 고려하도록 한다. 각 입력단에서 비트 단위로 전송된 데이터를 ATM망에 맞게 셀 단위로 모으는데 발생하는 주기성은 스위치 구성에서 출력단에 더 많은 주기성을 주어 셀 손실에 중요한 변수가 된다. 따라서 실제 동작중인 셀의 부하율을 나타내기 위해서 동적기간, 정적 기간 각각 같은 분포를 갖는 혼합된 geometric 분포에 대응하는 discrete-time Markov chain에 의해 부하를 모델링 하였다. 이 방식은 ATM 스위치에서는 사용자가 요구하는 여러 서비스마다 각기 다른 데이터 길이를 갖고 있지만 각 스위치 입력단에서 슬롯 단위로 다중화된 셀들은 불규칙적으로 도착하게 함으로서 본 절에서 사용된 모델링을 통한 알고리즘방식은 실제 ATM 스위치와 유사하게 모두 적용할 수 있기 때문이다.

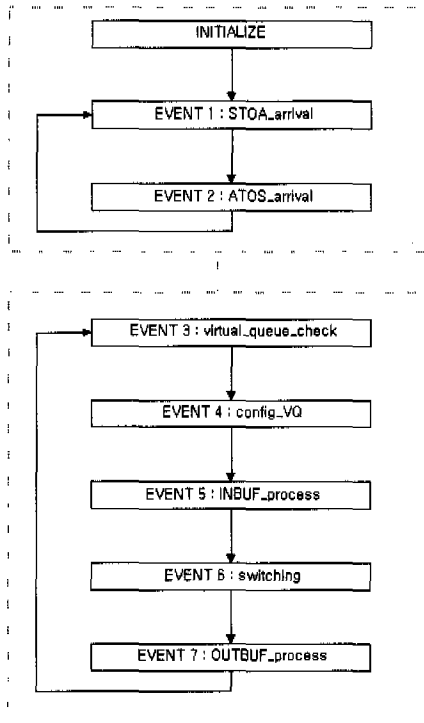


그림 2-1. 흐름도

그리고 모든 buffer 즉 직렬로 놓인 입력 버퍼, virtual queue, 출력 버퍼 모두 FIFO로 서비스 된다고 가정하였다. 본 논문에서는 각 입/출력 버퍼의 크기는 동일하게 100셀로 고정하였다.

그림 2-1에서 보여지듯이 ATM 스위칭 시물레이션 모델에는 7개의 EVENT가 있다. 처음 시물레이션이 시작 될 때는 정적기간에서 시작된다는 가정 하에서 초기화 루틴이 구성되었다. 또한 모델을 초기화시키기 위하여 EVENT 1과 EVENT 3을 schedule 하였다. 여기서 항상 염두해야 할 것은 모든 입력단의 동적 기간, 정적기간은 반복적으로 발생하며 또한 서로 독립적이며 random하게 분포된다는 점이다.

EVENT 1(STOA_arrival)에서는 각 입력단의 동적 기간의 길이를 구하여 현재 시간에서 동적 길이 동안 입력단 링크가 동적 기간을 유지함을 나타낸다. 그리고 동적 길이가 끝나면 동적 기간에서 정적 기간으로 바꾸기 위하여 EVENT 2를 schedule한다.

EVENT 2(ATOS_arrival)에서는 각 입력단의 정적 기간 동안 길이를 구하고, 이 동안 입력단 링크가 정적 기간을 유지함을 나타낸다. 정적 기간이 끝나면 동적기간으로 바꾸기 위하여 EVENT 1을 schedule 한다. 여기서 동적, 정적기간의 길이는 결국 슬롯의 길이를 나타내는데 슬롯은 한 셀을 전송하는데 걸리는 시간으로 본 논문에서는 "1"로 정의하였다. 이것은 앞절에서 처럼 스위치가 셀 단위에 서 서비스되어짐을 나타낸다.

EVENT 3(virtual_queue_check)에서는 앞에서 언급한 virtual queue의 길이를 검사하여, virtual queue가 꽉 차있으면 다음 EVENT를 위하여 서비스가 불가능함을 나타내는 플래그를 설정한다. 여기서 서비스는 입력단 링크에서 입력 버퍼의 HOL에 도착한 셀을 virtual queue에 load함을 의미한다. virtual queue가 꽉 차있지 않으면 가능함을 나타내는 플래그를 설정하고 EVENT 4를 schedule 한다.

EVENT 4(config_VQ)에서는 virtual queue가 꽉 차있지 않다면 입력 버퍼에서 가장 먼저 도착한 셀을 찾아 그 셀의 목적지에 해당하는 virtual queue에 load한 후, 입력 queue의 길이는 감소시키고 virtual queue의 길이는 증가 시킨다. 그리고 입력 버퍼에서 virtual queue로 더 이상 셀을 전송하지 못한다. 그 이유는 실질적으로 virtual queue가 존재하는 것이 아니고 단지 모든 입력 버퍼에서 가장 먼저 서비스 되어야 할 셀들을 목적지에 따라 가상적으로 구성된 논리적인 버퍼이기 때문에 virtual

queue에 놓인 셀이 서비스 되어야만 그 셀이 load 되어진 입력 버퍼에서 다음에 서비스를 받을 수 있기 때문이다. 그리고 EVENT 5를 schedule 한다.

EVENT 5(INBUF_process)에서는 입력단 링크의 상태를 검사하여 동적 기간이면 셀 도착 간격 시간마다 셀을 입력 버퍼에 넣고 입력 버퍼의 셀 손실을 검사한다. 입력 버퍼의 셀 손실은 입력 버퍼가 꽉 차있을 때 입력단 링크에서 도착하는 셀이 버려지는 것을 의미한다. 그리고 EVENT 6을 schedule 한다.

EVENT 6(switching)에서는 virtual queue에 저장된 셀의 개수를 검사하여 비어 있지 않으면 스위치의 SF에 해당하는 수 만큼 출력 버퍼로 스위칭한다. virtual queue에 저장된 셀의 개수가 SF값 이하이면 모든 셀을 스위칭하고, 크면 즉 경쟁이 발생하면 virtual queue에 저장된 셀을 scanning하여 가장 먼저 들어온 순서대로 SF 수만큼 스위칭한다. 그리고 스위칭한 셀 수 만큼 virtual queue의 길이를 감소 시킨다. 또한 스위칭된 셀이 load 되어진 입력 버퍼를 파악하여 다음 타임 슬롯에서 입력 버퍼로부터 virtual queue로 셀을 load한다. 그리고 EVENT 7을 schedule한다.

EVENT 7(OUTBUF_process)에서는 output queue에서 부터 한 셀을 출력단 링크가 idle하면 링크로 내보내고 출력 버퍼의 셀 손실을 검사한다. 그리고 EVENT 3을 schedule한다.

위의 모든 EVENT는 모든 line(N)에서 동일하게 이루어져야 한다.

III. 시물레이션 결과 및 분석

본 절에서는 시물레이션 결과를 얻어 스위치의 성능을 비교하여 평가, 분석한다. 특히 본 논문에서는 스위치의 동작에 따른 성능저해요소인 셀 손실에 관심을 두고 분석 하였다. ITU-T에서는 서비스에 따라 데이터 셀 손실은 $10^{-9} \sim 10^{-12}$ 를 만족해야 함을 결정하고 있다. 변수로는 셀 손실에 가장 많은 영향을 미치는 요소인 도착간격시간과 스위치가 한 슬롯에서 처리할 수 있는 셀의 수를 나타내는 SF를 각각의 변수로 지정하여 스위치의 셀 손실을 시물레이션하였다.

그림 3-1은 한 입력단에서 제공되는 부하(load)와 셀 도착 간격 시간을 일정하게 하여 SF를 변화 시킴으로서, 입력 버퍼의 셀 손실을 나타낸다. 부하는

0.9로, 시뮬레이션을 위해서 부하치를 크게 정하였다. 그림에서와 같이 SF가 1일 때 셀 손실이 크게 발생하고, 그 보다 큰 SF에서는 셀 손실이 미미하였다. 이는 셀이 도착하는 분포에 따라 다르겠지만, SF가 클수록 입력 queue에 저장된 셀들을 빨리 서비스하므로 셀 손실은 SF가 작을 때 보다 상대적으로 작게 됨을 보여주고 있다.

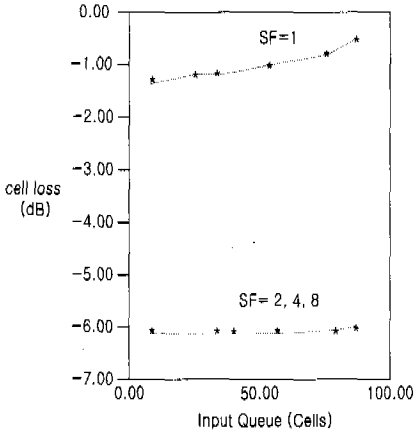


그림 3-1. $m(a)=90, m(S)=10, k(a)=1, \text{load}=0.9$ 인 경우

그림 3-2에서는 그림 3-1과 같은 상황에서 $k(a)$ 를 증가시켜 셀 손실을 구하였다. $k(a)$ 의 증가는 부하의 감소를 의미함으로써 도착하는 셀이 상대적으로 서비스되는 셀보다 적어 입력 queue의 모든 셀을 스위치 하였다. 결국 SF가 1인 상황에서도 $k(a)$ 값의 증가는 셀 손실을 감소시킨다는 사실을 알 수 있었다.

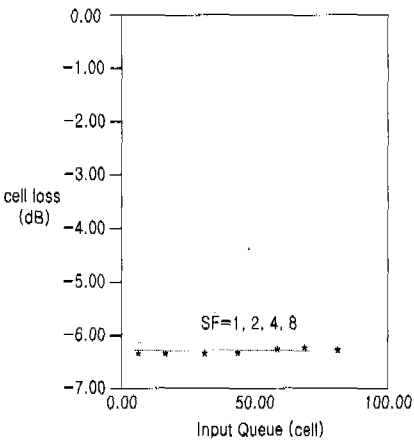


그림 3-2. $m(a)=80, m(s)=10, k(a)=2, \text{load}=0.45$ 인 경우

그림 3-3에서는 $k(a), SF$ 를 일정하게 하고, 부하를 변화시켜 부하가 클수록 셀 손실이 커짐을 보여주고 있다. 그리고 그림 3-4, 3-5와 비교해 볼때 $k(a)$ 가 클수록(도착되는 셀이 많은 경우), SF가 작을수록(서비스되는 셀이 적은 경우) 셀 손실이 커지게 된다는 사실을 알 수 있다. 따라서 입력 버퍼의 셀 손실은 SF, $k(a)$ 에 영향을 받게 되나, 그림 3-3을 기준으로 그림 3-4와 그림 3-5를 비교하여 보면 같은 부하에서 $k(a)$ 가 증가한 그림 3-5의 경우가 보다 급격하게 셀 손실이 감소하므로 SF보다는 $k(a)$ 에 더 많은 영향을 받는다는 사실을 알 수 있었다.

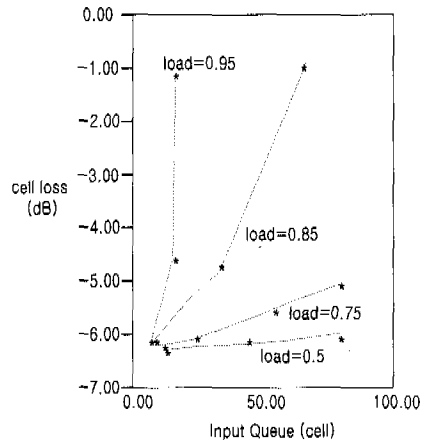


그림 3-3. $k(a)=1, SF=1$ 인 경우 load에 따른 입력버퍼의 셀손실

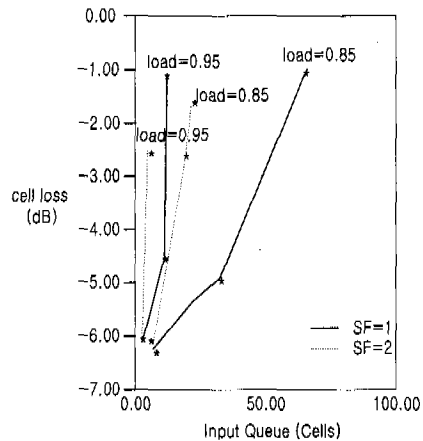


그림 3-4. 고정된 $k(a)=1$ 일 때 SF와 load에 따른 입력버퍼의 셀손실

그림 3-6은 앞서와 반대로 입력 버퍼를 일정하게 두고 시뮬레이션을 하였다. 따라서 $k(a)$ 를 일정하게

두고 각 부하치에 따른 SF값을 변화하여 결과치를 구하였다. 앞 절에서 언급한 대로 출력 버퍼에 대한 부하는 입력단과는 달리 입력단의 부하에 같은 목적지를 갖는 총 셀과 모든 입력단에 도착한 총 셀의 비를 곱한 값이 된다. 그림에서와 같이 출력 버퍼에서는 SF가 클수록 출력단에 도착하는 셀이 많아 셀 손실이 커지고 부수적으로 시스템 자체에 들어오는 셀의 양에 영향을 받고 있음을 보여주고 있다. 따라서 출력 버퍼의 셀 손실은 $k(a)$ 보다는 SF에 더 많은 영향을 받게 됨을 다시 확인할 수 있었다. 이는 한 슬롯에서 스위치의 서비스를 받고 도착한 셀수가 출력 버퍼에서 출력 링크로 나가는 경우보다 크다면 출력 버퍼가 꽉 채워짐으로 overflow가 발생하기 때문이다.

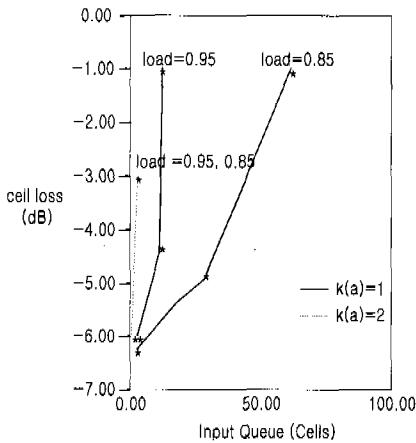


그림 3-5. 고정된 SF(=1)일 때 $k(a)$ 와 load에 따른 입력버퍼의 셀손실

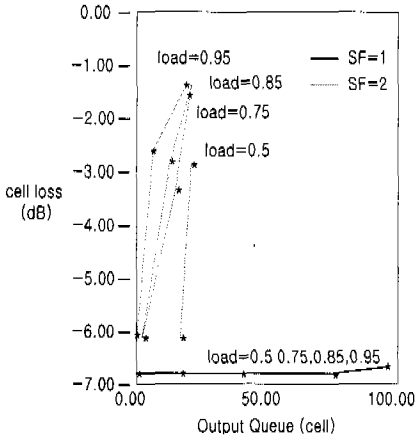


그림 3-6. 고정된 $k(a)$ (=1)일 때 SF와 load에 따른 출력버퍼의 셀손실

주기성은 셀의 트래픽에 상당한 영향을 주었다. $k(a)$ 가 작을수록 입력 링크에서 제공되는 셀이 많아 지므로 입력 버퍼의 셀 손실은 증가하지만 출력 버퍼의 셀 손실에는 영향을 주지 않는다. $k(a)$ 가 크면 도착하는 셀수가 적어지므로 입력버퍼에서 셀 손실이 작아지게 된다. 또 SF가 작을수록 virtual queue에서 스위칭되는 service가 적기 때문에, 입력 버퍼에 셀이 계속 쌓여 셀 손실이 증가하나, 출력 버퍼에 도착하는 셀이 적어 출력 버퍼의 셀손실에는 거의 영향을 주지 않는다. SF가 크다면 virtual queue에서 출력 버퍼로 스위칭되는 셀이 많아 입력 버퍼의 셀 손실은 작으나, 출력 버퍼로 도착하는 셀은 많아 출력 버퍼가 금방 꽉 차 버림으로 출력 버퍼의 셀 손실이 커지게 된다.

결국 스위치를 하드웨어적으로 구성할 때 입/출력 버퍼의 크기를 정확하게 선정하여야 하며 시스템내의 성능을 보다 효율적으로 하기 위해서는 특히 SF값의 설정을 정확히 해야 한다는 사실을 알 수 있다. 즉 입력단에 도착하는 셀들은 상당히 불규칙적이고 많은 대역폭 차이를 가지고 입력 버퍼에 도착함으로 출력 버퍼에 비해 상대적으로 커야 할 것이며, 출력 버퍼에 도착하는 셀들은 SF내에서 불규칙적으로 도착하므로 입력 버퍼에 비해 상대적으로 적어야 한다.

IV. 결론

본 논문에서는 스위치의 운용 알고리즘에 따라 시뮬레이션 프로그램을 가지고 입/출력 버퍼의 셀 손실율을 측정 하였다. 그 결과 셀 손실에 영향을 주는 요소는 셀 도착 간격 시간과 시스템내의 스위칭 속도 SF임을 알 수 있었다. 시뮬레이션의 결과에서 주기성은 셀의 트래픽에 상당한 영향을 주었다. 셀 도착 간격 시간이 작을수록 입력 링크에서 제공되는 셀이 많아지므로 입력 버퍼의 셀 손실은 증가하지만 출력 버퍼의 셀 손실에는 영향을 주지 않는다. 이 값이 크면 도착하는 셀이 적어지므로 따라서 입력 버퍼에서 셀 손실이 작아지게된다. SF가 작을수록 virtual queue에서 스위칭되는 서비스가 적기 때문에, 입력 버퍼에 셀이 계속 쌓여 셀 손실이 증가하나, 출력 버퍼에 도착하는 셀이 적어 출력 버퍼의 셀손실에는 거의 영향을 주지 않는다. SF가 크면 virtual queue에서 출력 버퍼로 스위칭되는 셀이 많아 입력 버퍼의 셀 손실은 작으나 출력 버퍼로 도착하는 셀은 많아 출력 버퍼가 금방 꽉 차 버

림으로 출력 버퍼의 셀 손실이 커지게 된다. 그러므로 스위치의 성능을 높이기 위해서는 적당한 크기의 입/출력 버퍼를 선택해야 하고 SF역시 이 버퍼의 크기를 고려하여 결정해야 한다. 시뮬레이션 결과에서는 입력 버퍼가 100x셀 일 때 출력 버퍼가 40x셀 정도의 크기가 적합하다는 것을 얻어내었다. 물론 입/출력 버퍼를 크게 한다면 셀 손실이 작아지나, 하드웨어를 구성하는데 문제점이 야기될 것이다. 그리고 결과치는 변동계수 모델링에 따라 SF 즉 스위칭 속도가 처리하는 서비스의 셀 도착 분포에 따라 다르겠지만, 변동계수가 전혀 없는 이상적인 경우(CV=1)를 제외한 경우의 SF 값을 만족한다.

입/출력 버퍼를 가진 스위치 구조는 출력 버퍼만을 갖는 스위치 보다 지연이 크지만, VLSI의 발달로 셀의 처리 속도가 증가하므로 더 많은 장점을 갖게 될 것이다.

참 고 문 헌

[1] CCITT Blue Book, Recommendation I.12. 1988
 [2] CCITT Blue Book, Recommendation G.707-709. 1988
 [3] Kai Y.Eng, Mark J. Karol, Chih Linl, "A Modulatr BroadBank(ATM) Switch Architecture With Optimum Performance", ISS, Stockholm, Sweden, 1990
 [4] R.J.Proctor, T.S.Maddern, "Synchronous ATM Switching Fasbrics", ISS, stockhoklm, Sweden, 1990
 [5] J.P.Glon, P.Debuysscher, J.L.Paul, "An ATM Switching Architecture for BISDN", ISS, stockhoklm, Sweden, 1990
 [6] Harry Heffes, David M. Lucantonl, "A Markov Modulated cahracterization of packetized Voice and Data Traffic and Related Statistical Multiplexer Performance", IEEE 86
 [7] Joseph Y. Hui,Edward Arthursm "A Broad-band Packet Switch for Integrated Transport", IEEE 87
 [8] MARK.J. KAROL, Michael G.Hluchyj, Samuel P.Morgan, "input Versus Output Queuing on space-Division Packet Switch",IEEE 87
 [9] J.S.C.Chen, T.E.stern, "Performance of a

Generio Non-blocking Packet Switch"
 [10] M.H. Mac Dougall, "Simulating Computer Systems Techniques and Tools", The MIT Press, Cambridge, Massachusetts, London, England
 [11] Mischa Schwartz, "Telecom. Network Protocols, Modeling, and analysis"
 [12] A study on Input/Output Buffer ATM switch for BISDN, J.H.Lee

하 참 국(Chang-Gog Ha) 정희원
 1961년 9월 24일생
 1988년 2월 : 홍익 대학교 전자 공학과 졸업 (학사)
 1988년 3월 : 홍익 대학교 대학원 전자공학과 입학
 1990년 2월 : 홍익대학교 대학원 전자공학과 대학원 졸업 (석사)
 1996년 6월 : 홍익대학교 대학원 전자공학과 디지털 통신 전공 박사과정 입학,
 현재 : 박사과정 수료
 1990년 2월~1994년 4월 : 쌍용 정보통신 연구소 통신 팀 대리료 근무
 1994년 4월~현재 : 한국과학기술연구원 선임연구원 으로 재직 중
 <주관심 분야> Network Design(Queuing Theory), WDM, Traffic WDMA Management
 김 장 북(Chang-Bock Kim) 정희원
 1974-02 : 연세대학교 전자공학 학사
 1976-02 : 연세대학교 전자공학 석사
 1983-06 : 연세대학교 전자공학 박사
 1992-01 ~1995-01 : 홍익대학교 전자통신 연구센터 소장
 1993-01 : 홍익대학교 학과장 , 정교수
 <주관심 분야> 통신, 디지털 신호처리 데이터 압축, 데이터 통신

송 재 연(Jae-Youn Song) 정희원
 1995.2 : 홍익대학교 전자공학과 졸업
 1997.2 : 홍익대학교 전자공학과 석사
 1997.3~현재 : 홍익대학교 전자공학과 박사과정
 <주관심 분야> 영상압축, 영상통신, ATM, WDM