

ATM 교환기용 234.7 MHz 혼합형 주파수 체배 분배 ASIC의 설계

정희원 채상훈*, 정희범**

Design of 234.7 MHz Mixed Mode Frequency Multiplication & Distribution ASIC for ATM Switching System

Sang-hoon Chai*, Hee-bum Jung** *Regular Members*

요 약

B-ISDN에 쓰이는 ATM 교환기 스위치 링크 및 망동기용 아날로그 / 디지털 혼합형 주파수 체배 분배 ASIC을 설계하였다. 이 ASIC은 46.94 MHz의 외부 입력 클럭을 이용하여 234.7 MHz의 시스템 클럭 및 77.76 MHz, 19.44 MHz의 가입자 클럭을 발생시키는 역할을 하며, 여러 개의 외부 입력 클럭에 대한 체크 및 선택 기능도 동시에 포함한다. 효율적인 ASIC 구성을 위하여 고속의 클럭 발생을 위한 아날로그 PLL 회로는 전주문 방식을, 외부 입력 클럭 체크 및 선택을 위한 디지털 회로는 표준셀 방식을 사용하여 아날로그 / 디지털 혼합 방식으로 설계하였으며, 0.8 μm 디지털 CMOS 공정으로 제작 가능하도록 저항 및 커패시터를 특별한 방법으로 레이아웃 하였다.

ABSTRACT

An analog / digital mixed mode frequency multiplication and distribution ASIC for switch link or network synchronization of ATM switching system for B-ISDN has been designed. This ASIC generates 234.7 MHz system clock and 77.76 MHz, 19.44 MHz user clocks using 46.94 MHz external clock. It also includes digital circuits for checking and selecting between the two external clocks. For effective ASIC design, full custom technique is used in analog PLL circuit and standard cell based technique is used in digital circuit. Resistors and capacitors are specially designed so the chip can be implemented in 0.8 μm digital CMOS technology.

I. 서론

교환기의 스위치 링크(link)부, 망동기(network synchronization)부 등에는 시스템간의 링크, 가입자 및 망간의 동기를 위한 여러 종류의 집적회로 칩들이 쓰인다. 그 중에서도 클럭 발생 회로를 내장한 칩은 시스템 전체의 안정성을 좌우하기 때문에 반도체 핵심 부품의 하나로서 매우 중요한 역할을 한다. 일반적으로 클럭 발생 회로는 PLL(phase locked loop)을 응용한 회로를 많이 사용한다. PLL

회로는 응답 특성이 양호하고 온도등 주변 환경의 변화에도 비교적 영향을 작게 받기 때문에 클럭발생 회로로서 최근 많은 각광을 받고 있다[1][2]. 그러나 PLL을 응용한 일반적인 클럭 발생 회로는 PLL을 구성하는 위상비교기(phase detector), 전압 제어발진기(voltage controlled oscillator), 루프필터(loop filter) 등 각 블록이 회로적으로 잘 설계되지 않거나, 집적회로 형태에 의해 1개의 칩으로 구현 시 각 블록이 전기적으로 잘 배치되지 않으면 지터를 비롯한 각종 위상(phase) 잡음이 발생할 수 있다. 또한, 시스템 클럭, 가입자 클럭 등 서로 다른

* 호서대학교 전자공학과 (shchai@dogsuri.hoseo.ac.kr), ** 한국전자통신연구원 회로소자연구소 아날로그회로팀 (hbjung@cadvax.etri.re.kr)

논문번호: 98385-0901, 접수일자: 1998년 9월 1일

※ 본 연구는 HAN/B-ISDN 사업 중 ATM 교환소자 개발 과제의 일환으로 수행되었습니다.

주파수를 갖는 클럭을 만들기 위해 여러 개의 PLL 들을 1개의 칩으로 집적 시는 더욱 더 주의를 요한다. 이러한 문제점들을 해결하기 위하여 일반적으로는 PLL 회로들을 각각 분리하여 여러 개의 개별 칩 형태로 구성하고 있으며, 심지어는 전압제어발진기 등 잡음을 발생하거나 잡음에 민감한 블록들은 칩에서 다른 회로들과 분리하여 보드 상에 외장하기도 한다.

본 연구에서는 ATM 교환기등 유선 전송 시스템 링크 부, 망동기 부 등에 쓰이는 234.7 MHz 시스템 클럭 및 77.76 MHz, 19.44 MHz의 가입자 클럭 신호 발생을 위한 주파수 체배 분배(FMD : frequency multiplication & distribution) ASIC을 0.8 um CMOS 기술을 이용하여 설계하였다. 설계된 ASIC은 1개의 칩 상에 서로 다른 주파수의 클럭을 만들기 위하여 2개의 아날로그 PLL 회로를 내장하고 있으며, 외부 입력 클럭 체크 및 선택 동신호처리를 위한 디지털 회로도 동시에 내장하고 있다. 따라서 회로 설계 시 각 블록 별로 잡음을 적게 발생하는 회로 선택에 최대한 노력하였다. 1개의 칩 형태로 레이아웃 시에도 각 모듈간의 전기적 간섭 현상을 최대한 줄이기 위하여 가드 링(guard ring) 을 설치하거나, 서로 다른 모듈을 물리적, 전기적으로 격리하는 등 여러 가지 면에서 고려한 설계를 하였다. 설계 효율을 높이기 위하여 외부 입력 클럭의 체크 및 선택 부는 디지털 회로를 사용한 표준셀(standard cell based) 방식으로, 고속 동작을 요하는 클럭 발생부 및 그 밖의 회로는 아날로그 회로를 사용한 전주문(full custom) 방식을 사용하여 설계하였다.

II. FMD ASIC의 설계

그림 1은 본 연구에서 설계한 집적회로의 개략적인 구조를 나타낸 블록도이다. 이 ASIC은 시스템

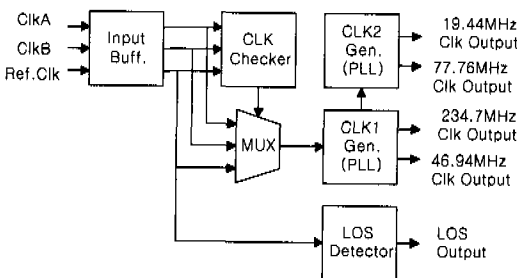


그림 1. 설계된 FMD ASIC의 블록도

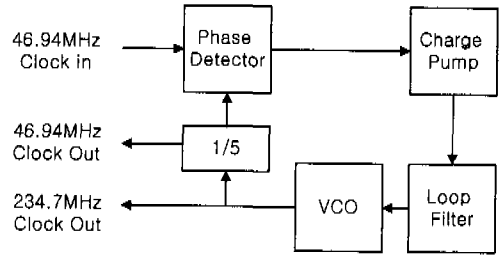


그림 2. 시스템 클럭 발생용 PLL 회로의 블록도

클럭과 가입자 클럭을 발생하는 2개의 아날로그 PLL회로와 외부에서 입력되는 기준 클럭을 감시하고 선택하는 디지털 회로로 크게 구분된다. 입력된 46.94 MHz의 클럭 A, B 및 기준(reference) 클럭은 버퍼 회로를 통해 PECL 신호에서 CMOS 신호로 레벨 변환이 이루어진다. 여기서 클럭 A, B는 링크 반대편으로부터 데이터와 함께 전송된 클럭이며, 기준 클럭은 자체 시스템으로부터 제공된 가장 안정된 클럭에 해당한다. 버퍼 다음 단계는 외부에서 입력되는 3개의 클럭 중 하나를 선택해 주는 클럭 체크 회로가 배치되어 있다. 이 클럭 체크 회로에서는 기준 클럭을 이용하여 입력된 클럭 A, B를 순차적으로 체크하여 양호한 클럭을 가려내며, 클럭 A, B 모두 불량일 때는 기준 클럭을 선택한다. 그리고 MUX를 통해 선택된 하나의 클럭이 클럭 발생 회로로 전달된다. 클럭 체크 블록 및 MUX 블록은 디지털 표준 셀 방식에 의해 설계하였다. 클럭 발생 회로는 고속에서 안정한 특성을 갖는 전하펌프(charge pump)가 내장된 고속 아날로그 PLL 형태로 이루어진다[3][4][5]. 그림 2는 본 연구에서 사용된 234.7 MHz 시스템 클럭 발생용 PLL 회로의 블록도를 나타낸 것이다. PLL 회로는 입력되는 신호와 자체 발진기에서 발생한 클럭을 비교하는 위상비교기, 위상비교기의 출력을 전하량으로 바꾸어서 출력하는 전하펌프, 고주파 잡음 제거 및 PLL의 안정을 유지하기 위한 루프필터, 전압에 따라 발생 주파수가 바뀌는 전압제어발진기 및 주파수 5분주 회로로 구성된다. 본 연구에서는 234.7 MHz의 고속 클럭 발생을 위하여 고속 특성이 우수한 아날로그 방식의 PLL을 채택하였다. 그 중에서도 특히 위상비교기와 전압제어발진기는 고속 동작을 위하여 간단하면서도 정확한 동작을 하는 회로를 채택하였다. 그림 3은 위상비교기의 회로를 나타낸 것으로서 인버터 체인으로 이루어진 지연(delay) 회로와 로직 회로를 기본으로 구성되어 있다. 이 회로의 원리는

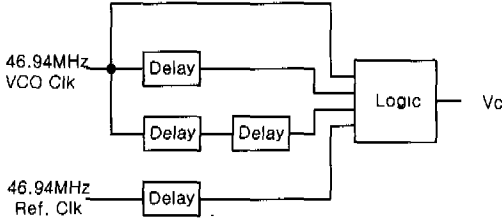


그림 3. 위상비교기 회로 블록도

한 개의 지연 회로를 거친 외부 입력 클럭을 기준으로 설정한 다음 이에 대해 지연 회로를 거치지 않거나 한 개 또는 두 개의 지연 회로를 거친 내부 발생 클럭의 천이 지점을 서로 비교하여 외부 입력 클럭과 내부 발생 클럭의 위상 차이만큼의 폭을 갖는 펄스를 발생시키는 방식으로서 회로가 간단하고 로직이 단순하여 일반적인 플립플롭 형태의 위상비교기에 비해 안정된 동작이 기대된다. 전압제어발진기 역시 그림 4와 같은 시간 지연 회로를 응용하여 인버터를 5단 연결한 간단한 방식을 택함으로써 고속 동작에 유리한 방향으로 설계하였다[7].

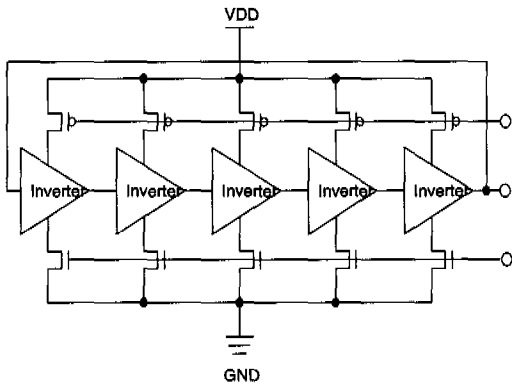


그림 4. 전압제어발진기 회로

그림 5는 본 연구에서 사용된 77.76 MHz, 19.44 MHz의 가입자 클럭 발생용 PLL 회로의 블록도를 나타낸 것이다. 이 회로는 전체적인 구성 면에서는 시스템 클럭 발생회로와 유사하나, 전압제어발진기에서 77.76 MHz의 클럭을 발생하는 것과 1/53, 1/32 등 46.94 MHz에서 77.76 MHz로 가기 위한 주파수 분주 회로들이 추가된 것이 차이점이다. 그밖에 FMD ASIC에는 시스템에 이상이 발생하여 기준 클럭이 입력되지 않는 경우를 대비하여 기준 클럭의 유무를 판단하는 LOS(loss of signal) 회로

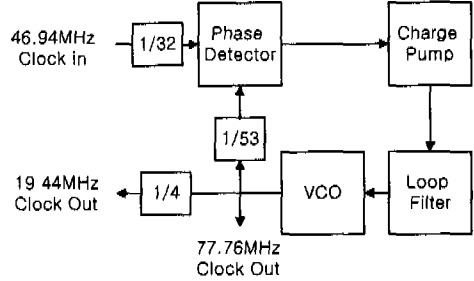


그림 5. 가입자 클럭 발생용 PLL 회로의 블록도

도 포함되어 있다. LOS 회로에는 주파수 카운터를 이용한 디지털 회로들이 쓰이고 있으나[4], 본 연구에서는 구조가 간단하고 잡음 발생이 적은 저역 필터 방식을 이용한 구조로 구성하였다. 그림 6은 LOS 회로를 나타낸 것으로서 이 회로의 원리는 다음과 같다. 먼저 기준 클럭이 정상적으로 입력될 때

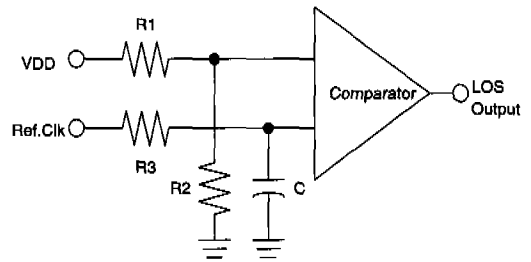


그림 6. LOS 회로도

에는 기준 클럭이 R3, C로 구성된 RC 회로를 통과하면서 평균값을 나타낸다. 그러므로 기준 클럭의 스윙 폭을 5 V로 보면 RC 회로의 출력 값은 2.5 V 정도를 나타낸다. 그러나 기준 클럭이 입력되지 않을 때에는 RC 회로의 출력 값이 0으로 떨어지게 된다. 여기서 비교기 회로의 한쪽 단자에는 RC 회로의 출력 값을 인가하고 다른 한쪽 단자에는 R1, R2 저항을 이용한 전압분주기를 사용하여 1.25 V 부근의 전압을 인가하면 LOS 회로는 기준 클럭의 유무에 따라 0 또는 5 V의 상이한 상태를 출력하게 된다. 시스템은 이 LOS 회로의 출력을 받아서 필요한 조치를 취하게 된다. 내부 클럭 발생 회로 및 LOS 회로 블록은 그 특성상 아날로그 회로를 이용한 전주분 방식으로 설계하였다. 그밖에 전압부에서 언급된 입력된 PECL에서 CMOS 레벨로 변환하는 입력 버퍼 회로와, 내부 발생한 CMOS 레벨의 클럭을 PECL 레벨로 변환해 주는 출력 버퍼 회로도 고속

인 점을 감안하여 전주문 방식으로 설계하였다.

Ⅲ. 시뮬레이션 결과 및 칩 레이아웃

설계된 FMD ASIC에 대하여 시뮬레이션해 보았다. 클럭 체크 회로등 디지털 부분은 VHDL 및 로직 시뮬레이터를 이용하였으며, 클럭 발생 회로를 포함한 아날로그 부분에는 SPICE를 이용하여 시뮬레이션하였다.

설계된 FMD ASIC 중 시스템 클럭 발생 부분에 대한 시뮬레이션 결과는 다음과 같다. 그림 7은 시스템 클럭 발생 회로의 전체 동작 상태를 시뮬레

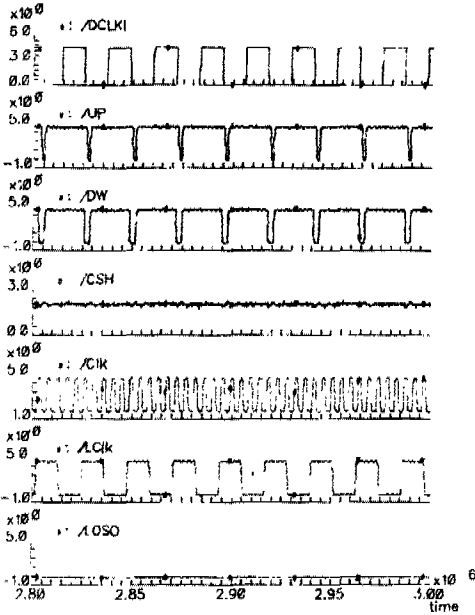


그림 7. 시스템 클럭 발생 회로의 시뮬레이션 결과.

이션해 본 결과로서, 위로부터 46.94 MHz의 입력 클럭, 위상비교기의 up 출력전압, 위상비교기의 down 출력전압, 전압제어발진기의 제어전압, 전압제어발진기의 234.7 MHz 출력 클럭, 5 분주된 46.94 MHz의 클럭, LOS 회로의 출력전압을 각각 보여주고 있다. 제어 전압이 대략 2.5 V일 때 전압제어발진기는 234.7 MHz의 주파수로 클럭을 발생시키고 있음을 알 수 있으며, 동작 초기 상태나 기준 클럭이 입력되지 않을 때에는 LOS 회로의 출력이 5 V 이고 그 외 정상적으로 클럭이 입력될 때에는 출력

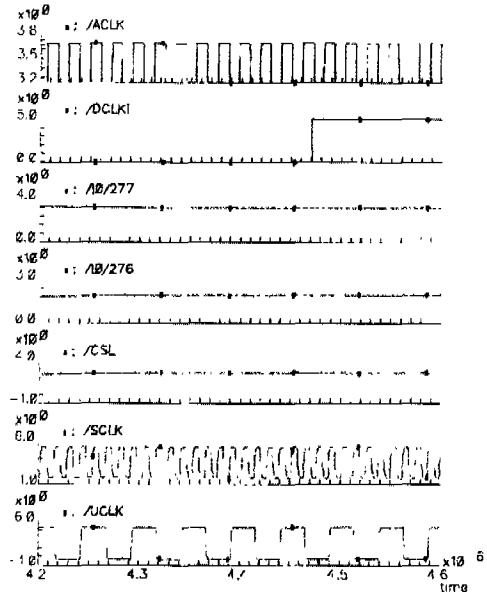


그림 8. 가입자 클럭 발생 회로의 시뮬레이션 결과

이 0 V임을 알 수 있다.

한편, 가입자 클럭 발생 부분에 대한 시뮬레이션 결과는 다음과 같다. 그림 8은 클럭 발생 회로의 전체 동작 상태를 시뮬레이션해 본 결과로써, 위로부터 46.94 MHz의 입력 클럭, 이를 32분주한 1.47 MHz 클럭, 위상비교기의 up 출력전압, 위상비교기의 down 출력전압, 전압제어발진기의 제어전압, 전압제어발진기의 77.76 MHz 출력 클럭, 이를 4분주한 19.44 MHz의 클럭을 각각 보여주고 있다. 제어 전압이 대략 2.4 V일 때 전압제어발진기는 77.76 MHz의 주파수로 클럭을 발생시키고 있음을 알 수 있다.

0.8 μ m 디지털 CMOS 제작 공정이 보편화되어 있는 것을 감안하여 전체 칩의 레이아웃은 디지털 공정에 맞게 설계하였다. 아날로그 블록에서 사용되는 저항은 아날로그 공정에서 일반적으로 사용되는 2층 폴리실리콘 저항 대신에 PMOS 트랜지스터의 소스/드레인 형성을 위해 사용하는 확산(diffusion) 영역의 저항을 이용하였으며, 바이어스 회로에서 사용되는 커패시터는 일반적으로 사용되는 2층 폴리실리콘 커패시터 대신에 MOS 트랜지스터 게이트 채널 커패시터를 이용함으로써 FMD ASIC은 디지털 공정으로 실현 할 수 있게 하였다. 그림 9는 설계된 칩의 레이아웃을 나타낸 것이며, 크기는 3.8 mm x 4.0 mm이다. 그림에서와 같이 레이아웃 설

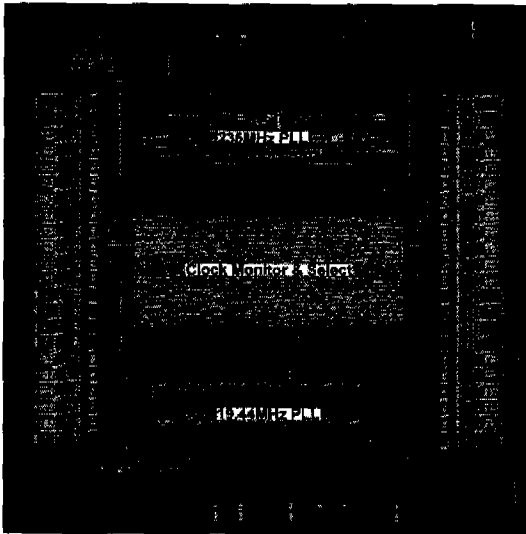


그림 9. 설계된 칩의 layout.

계에 있어서도 2개의 PLL은 칩의 위쪽 및 아래쪽에 배치하고 디지털 회로 부분은 중간에 배치한 다음 각 모듈의 경계 부분에는 N- 기판에 P+ 확산층을 형성시켜 물리적 전기적으로 각 모듈이 격리가 되게 하였다. 또한 회로에 전류를 공급하는 전원 패드 및 접지 패드도 각 모듈 및 블록 별로 분리하여 배치함으로써 잡음 발생이 최대한 억제되도록 하였다.

V. 결론

B-ISDN에 쓰이는 ATM 교환기 스위치 링크용 FMD ASIC을 설계하였다. 이 ASIC은 46.94 MHz의 외부 입력 클럭을 이용하여 234.7 MHz의 시스템 클럭 및 77.76 MHz, 19.44 MHz의 가입자 클럭을 발생시키는 역할을 하며, 외부 입력 클럭의 체크 및 선택 기능도 동시에 포함한다. 효율적인 ASIC 구성을 위하여 고속의 클럭 발생을 위한 회로는 아날로그 전주분 방식으로, 외부 입력 클럭 체크 및 선택을 위한 회로는 디지털 표준셀 방식으로 설계하였다. 설계된 ASIC은 234.7 MHz의 고속에서 양질의 클럭을 발생하여 시스템이 항상 안정된 동작을 할 수 있게 하는 구조로 이루어져 있다. 이를 위해 FMD ASIC은 아날로그 PLL을 기본으로 구성하되 각 블록에 고속에서 동작할 수 있는 회로를 채택하였다. 레이아웃 설계에 있어서는 2개의 PLL과 디지털 회로 부분은 최대한 분리하여 배치

하였으며, 경계 부분에는 N- 기판에 P+ 확산층을 형성시켜 각 모듈이 물리적 전기적으로 격리가 되게 하여 칩 내에서의 잡음 발생을 억제하였다. 또한 회로에 전류를 공급하는 전원 패드 및 접지 패드도 모듈 및 블록 별로 분리하여 배치함으로써 전기적 간섭에 의한 잡음 발생이 최대한 억제되도록 하였다. 본 연구에 의해 설계 설계된 FMD ASIC은 아날로그 회로와 디지털 회로들을 1개의 칩 형태로 집적화하여 0.8 μm 디지털 CMOS 공정으로 실현할 수 있게 하였기 때문에 각각 분리되어 2개 이상의 칩으로 실현되는 경우에 비해 PCB 보드 상의 집적도를 높일 수 있으며, 대량생산을 할 경우 생산 단가도 줄일 수 있을 것으로 예상된다.

참고 문헌

- [1] B. Kim, D. Helman, P. Gray "A 30 MHz high-speed analog/digital PLL in 2 μm CMOS", ISSCC 90, vol. 33, pp. 104-105, Feb. 1990.
- [2] D. Jeong, G. Borriello, D. Hodges, R. Katz, "Design of PLL-based clock generation-circuits", IEEE JSSC, Vol. sc-22, No. 2, April, 1987.
- [3] F. Gardner, "Charge-pump phase locked loops", IEEE Communication, Vol. com-28, No. 11, pp. 1848-1858, Nov. 1980.
- [4] 채상훈, 광명선, "ATM 교환기용 데이터 및 클럭 복원 회로의 설계", 대한전자공학회 논문지, 제 32 권, B편, 제 4 호, pp. 46 - 51, 1995년 4 월.
- [5] 채상훈, 김귀동, 송원철, "155.52Mbps CMOS 데이터 트랜스미터의 설계", 대한전자공학회 논문지, 제 33 권, B편, 제 8 호, pp. 62 - 68, 1996 년 3월.
- [6] 채상훈, 정희범, 송원철, "ATM 교환기용 234.7 Mbps FMD ASIC의 설계", 대한전자공학회 추계학술발표대회 논문집(B), pp. 853 - 856, 1996 년 11월.
- [7] 채상훈, 정희범, 송원철, "ATM 교환기용 234.7 Mbps 혼합형 ASIC의 제작", 한국통신학회 하계학술발표대회 논문집(II), pp. 1160 - 1163, 1997년 7월.

채 상 훈(Sang-hoon Chai) 정회원
제23권 제 2 호 참조

정 희 범(Hee-bum Jung) 정회원
제24권 제 6 호 참조