

CDMA 전화기용 전력증폭기와 평면형 듀플렉서의 결합모듈에 관한 연구

정회원 윤기호*, 박한규**

A Study on Planar Duplexer Combined with Power Amplifier For CDMA Phone

Gi-Ho Yun*, Han-Kyu Park** *Regular Members*

요 약

본 논문에서는 CDMA 전화기의 전력효율을 개선하고 소형화를 추구하기 위하여 기존의 듀플렉서를 여파기별로 분리한 후 평면형으로 구현하여 전력증폭기와 결합된 새로운 회로구조를 제안하였으며, 다층기판 상에 하나의 모듈로 제작하여 국내 PCS 전화기에 적용하였다. 제안된 구조의 이론적 타당성을 입증하기 위해 전체특성에 영향을 주는 핵심 변수를 중심으로 모의실험을 통해 중요한 성능들을 평가하였으며, 실험을 통해 성능개선을 확인하였다. 측정결과 결합모듈은 듀플렉서로서 역할을 다하였으며, 전력증폭기의 선형성을 나타내는 ACPR값은 IS-95 규격을 만족하였다. 또한 기존의 방식에 비해 제안된 구조는 전력증폭기 출력이 2dB이상 감소하여 상응하는 전류가 약 30mA 줄어들었고, power FET의 동작점을 B급으로 설정한 결과 실제 동작하는 환경에서 50mA의 전류를 절약할 수 있었다. 결합모듈의 총 부피는 1.08CC가 되어 지금까지 발표된 전력증폭기와 듀플렉서의 합보다 적다.

ABSTRACT

In this paper, planar duplexer module combined with power amplifier is described. This new scheme is to enhance power efficiency as well as to minimize the size of RF circuit in CDMA phone. Each filter which was a part of duplexer, was realized with planar type and rearranged into the power amplifier module on the multi-layer board. Each electrical specifications of existing power amplifier and duplexer were satisfied. Especially, ACPR performances measured at output power of 24dBm which is 2dB lower than that of a conventional one, meet IS-95 for a power amplifier of CDMA phone. Overall current about 80mA has been successfully saved as a result of new scheme. In addition, the module size has been reduced to be as small as 1.08CC.

1. 서 론

최근 CDMA 이동전화기에 대한 연구추세는 제품의 소형화 및 경량화를 위한 부품의 집적화, 배터리 재충전 시간의 연장 등으로 나뉘질 수 있다. 고주파 핵심부품들 중에서 듀플렉서와 전력증폭기는 기술상의 난이도가 높아 RF 회로부분의 성능개선을 위한

결림돌이 되어 왔다. 디지털 방식의 전력증폭기는 선형성과 함께 전력효율을 개선하기 위해 아날로그 방식처럼 최대 출력에서 효율을 개선시켜 왔기 때문에 눈에 띄는 성능개선이 이루어지지 않았다^[1].

본 논문에서는 CDMA 단말기의 듀플렉서를 구성하고 있는 여파기들을 분리하여 전력증폭기 내에 다시 배치하고 실제 동작환경을 고려하여 전력효율개선을 시도하며, 제품의 소형화를 위해 듀플렉서의 송

* 호남대학교 전파공학과 (ghyun@honam.honam.ac.kr),
논문번호 : 98244-0608, 접수일자 : 1998년 6월 8일

** 연세대학교 전기·컴퓨터공학부

신용 여파기와 수신용 여파기를 스트립선로로 설계하여 고유전율의 다층기판의 각 층에 삽입한다. 제안된 구조는 국내 PCS 방식의 단말기에 적용하였으며 이론적 타당성을 입증하기 위해 블록별로 성능을 정의하고 CDMA 신호를 인가하여 모의실험을 하였다. 이 결과를 실험적으로 확인하기 위해 결합모듈을 설계, 제작하였다.

II. 결합모듈의 동작이론

이동통신 전화기에서 전력증폭기의 효율과 크기를 개선시키기 위해 전력증폭기와 듀플렉서를 Hybrid IC(Integrated Circuit)형태로 하나의 모듈로 구성한다. 이는 송수신 주파수 간격이 넓고 전화기 송신 출력이 적은 이동통신 시스템에 대해서 전력증폭기와 듀플렉서 구현이 용이하기 때문이다.

그림 1은 본 논문에서 제안된 듀플렉서와 전력증폭기가 결합된 구성도를 보여준다. 기존의 듀플렉서는 송신 경로상의 대역저지 여파기(BSF, Band Stop Filter)와 송수신 신호를 분리하기 위한 분기회로(BR, Branch circuit) 그리고 수신 경로상의 대역통과 여파기(BPF, Band Pass Filter)들로 구성되며 유전체 공동 공진기(dielectric cavity resonator)들로 이루어져 있으나 그림 1에서는 종래의 세 종류의 여파기를 모두 평면형 스트립선로(stripline)여파기로 구현하였으며, 특히 대역저지 여파기를 구동 증폭기와 종단 전력증폭기 사이에 배치시켰다. 또한 다층기판을 사용하여 대역저지 여파기와 대역통과 여파기를 다층기판의 내층에 위치시켜 전체 모듈 크기를 작게 하였다.

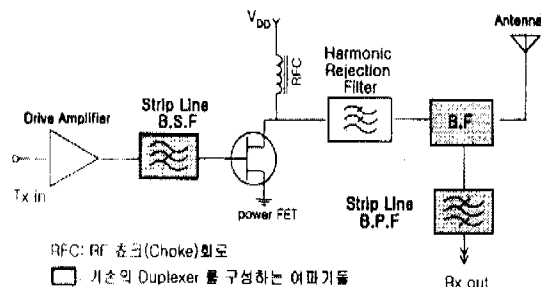


그림 1. 듀플렉서와 결합된 전력증폭기 모듈

따라서 전력증폭기 모듈 출력이 곧 안테나 출력이 되기 때문에 전력증폭기 출력력을 기준보다 약 2dB 이상 낮출 수 있는 장점을 갖는다. 즉, 이것은 줄어든 출력전력 만큼 전류소모가 줄어 배터리 사용시간이 연장되는 것을 의미한다. 한편, CDMA 단말기의

출력단에서 출력레벨에 대한 확률 데이터는 log normal 분포를 나타내고 있고, 최대 출력에서 동작할 확률은 0.5% 미만이다. 따라서 전력증폭기는 대부분 선형 영역에서 동작하고 전류소모는 동작점에 의해 좌우된다. 그러므로 동작점을 B급으로 설정하고 CDMA 단말기에 요구되는 선형성을 개선하기 위해 회로 및 부품 차원에서 선형성을 확보할 수 있도록 한다.

이동통신 시스템에서는 전력증폭기의 선형성을 표시하는 지수로서 인접채널제거비(ACPR, Adjacent Channel Power Rejection)가 사용되며, CDMA 단말기에서는 협대역 방식에 대해 규격(IS-95)을 두게 되었다. 전력증폭기에 대한 ACPR 요구성능은 송신시스템 전체에서 전력증폭기에 할당된 값을 설정한다. 전력증폭기의 효율을 높이기 위한 방식으로 Snider^[3]가 제안한 F급 동작이론으로부터 전력증폭기의 선형성을 개선하기 위해 Staudinger^[2]은 고조파들의 임피던스 크기와 위상을 변화시키면서 전력증폭기의 선형성에 미치는 영향을 측정을 통해 조사한 결과, F급 동작에 따라 고조파들의 임피던스를 제어하여 선형성이 약 6dB 이상 개선되었으며, 제2, 제3고조파의 제어가 중요함을 입증하였다. 따라서 이 이론을 CDMA 신호를 증폭하는 power FET에 적용하여 선형성이 개선되고, 제안구조가 타당함을 모의 실험을 통해 확인해 본다. 이 실험은 대신호 능가회로가 알려진 OKI사의 power FET을 이용하여 간접적으로 실현하며 Ansoft사의 상용 소프트웨어가 이용되었다. 그림 2에서 보듯이 제안된 구조의 각 구성블록에 대해 통해 기존의 듀플렉서^[4]와 전력증폭기^[5]의 성능을 참고하여 성능변수를 설정한다.

블록도의 CDMA 입력신호는 1.2288Mbit의 데이터를 4/chip 샘플링을 한 후 I/Q 변조기에서 변조하여 형성된다. 구동증폭기의 1dB 이득 압축점(P_{1dB})과 종단 전력증폭기의 이득을 고려할 때 구동증폭기는 선형영역에 있고 선형성을 왜곡시키는 요인이 되지 않는다. 전력증폭기는 power FET과 임의의 임피던스를 실현해주는 임 출력단의 튜너로서 구성된다. 출력단에 나타난 신호(V_{out})의 ACPR을 측정하기 위해 S/W로 구성된 측정블록이 사용된다. power FET에 공급되는 직류 바이어스는 B급 동작이 될 수 있도록 게이트 전압(V_{gg})값을 설정한다.

그림 3에는 모의실험 결과를 보여준다. 그림 3(a)은 power FET의 부하로서 기본파에 대한 최적 임피던스(Z_{s,opt}/Z_{L,opt})로 하여 측정된 결과이고 그림

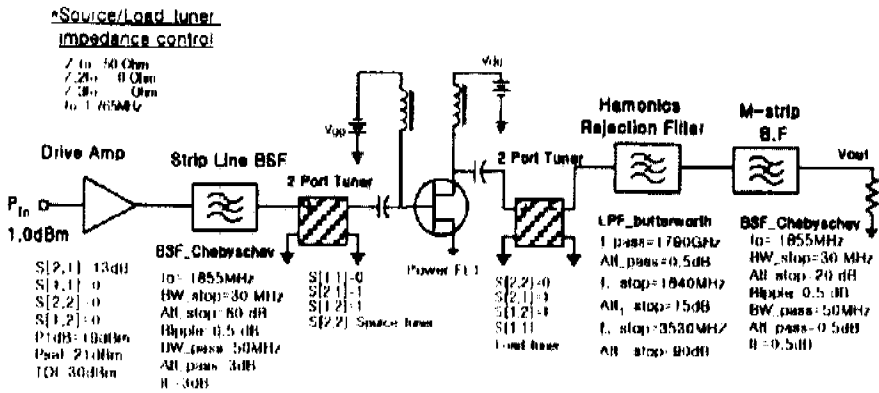


그림 2. 제안된 구조의 성능평가를 위한 구성도

3(b)은 기본과 뿐만 아니라 F급 동작이론에 따라 짝수 고조파 중 가장 큰 제2고조파를 단락상태로, 홀수고조파 중 가장 큰 제3고조파를 개방상태로 임피던스를 제어한 결과이다. IS-95 규격에서 제시하는 900KHz 떨어진 지점과 1.98MHz 지점에서 그림 3(b)은 그림 3(a)보다 자기 약 4.5dB 정도 개선되었음을 보여주고 있다. 따라서 B급 동작상태에서도 ACPR 성능이 개선됨을 입증할 수 있다. 또한 두 경우 모두 출력이 24dBm으로 power FET이후에서 신호의 감쇠가 적었음을 나타내고 있다.

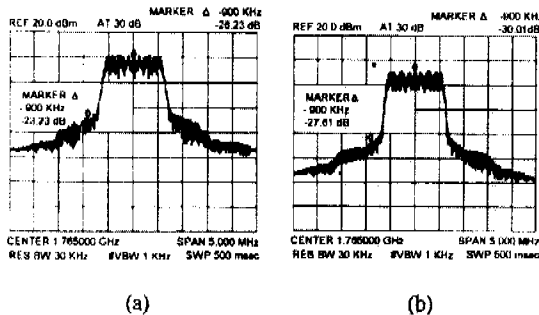


그림 3. 고조파 임피던스제어를 평가하기 위한 ACPR성능
 (a) 기본과 임피던스 정합,
 (b) 고조파 임피던스 정합

기존의 듀플렉서의 일부였던 대역저지 여파기의 삽입손실이 구동증폭기의 이득으로 흡수되었고 고조파 제거여파기(Harmonic Rejection Filter)에서는 제2, 제3고조파 신호들을 억제하기만 하면 되고, 분기여파기도 마찬가지로 송수신 신호의 분리만이 필요하기 때문에 원하는 신호의 감쇠가 적었고 여파기들의 통과대역 edge에서 균 지원 특성에 의한

CDMA신호 스펙트럼의 확산이 적었다. 이상으로부터 제안된 구조는 기존보다 출력이 약 2dBm 정도 줄어도 안테나 출력은 동일하게 할 수 있음을 알 수 있다.

한편 FET의 동작회로에서 선형성에 가장 영향을 주는 요소는 트랜스 컨덕턴스(trans-conductance, g_m)이다. 게이트-소스 전압이 핀치오프(pinch off) 전압 근처에서 형성되고 드레인-소스 전류(I_{ds})가 매우 작은 B급 동작에서 선형성을 확보하기 위해서는 넓은 게이트 전압 범위에서 평탄한 트랜스 컨덕턴스(g_m)를 갖고 있어야 대신호의 동작에서도 g_m 의 고차성분이 영의 값에 근접하여 왜곡을 최소화 할 수 있다. 본 논문에서는 모의 실험에 사용된 반도체보다 넓은 게이트 전압 범위에서 평탄한 트랜스 컨덕턴스(g_m)를 갖는 전용 반도체를 사용하므로 그림 3(b)보다 ACPR 성능이 개선될 것이다.

III. 결합 모듈의 설계

듀플렉서와 전력증폭기가 다중기판 상에 하나의 모듈로 구현되므로 듀플렉서를 대신하는 평면형 여파기들은 좁은 공간에서 최대의 차단특성을 얻을 수 있는 구조로 설계한다. 따라서 설계하고자 하는 송신용 대역저지 여파기와 수신용 대역통과 여파기는 앞장의 모의실험결과와 기존의 듀플렉서^[4]의 성능을 참고하고 설계 여유도(margin)를 추가하여 표 1 과 같은 목표 설계치를 정한다.

송신용 대역저지 여파기는 최소한의 크기와 협대역 특성을 얻기 위해 주 선로에 $\lambda/4$ 공진기가 션트(shunt)로 연결된 구조를 이용한다. 표1의 목표

설계치 들로 볼 때 4%대역에서 25dB 이상의 감쇠가 필요하므로 4개의 션트(shunt) 공진기에 0.5 dB 리플(ripple)을 갖는 체비셰프(Tchebyscheff) 형태의 여파기를 설계한다. 주선로와 션트 공진기 사이의 간극 캐패시터(C_m)는 집중소자 형태로 다층기판의 중간층에 삽입될 수 없으므로 상호결합형 캐패시터(Interdigital capacitor)를 사용한다^[6]. 설계된 여파기는 공진기와 전송선로의 손실 및 상호결합형 캐패시터의 기생성분들을 고려하지 않았기 때문에 Ansoft사의 상용 소프트웨어를 이용하여 최적화 한다. 그림 4에서 점선은 이론적인 특성을, 실선은 최적화 한 특성을 나타내고 각기 전송 (dB[S₂₁])과 반사특성(dB[S₁₁])을 보여준다. 송신대역 내에서 1.5dB 이내의 삽입손실과 차단대역인 1840~1870MHz에서 50dB 이상의 감쇠를 얻었다.

표 1. 평면형 대역저지 여파기(BSF) 와 대역통과 여파기(BPF)의 목표 설계치

항 목	주파수대역(MHz)	목표설계치
차단 특성	BSF 1840~1870	50 dBmin
	BPF 1750~1780	50 dBmin
통과대역 Insertion Loss	BSF 1750~1780	2 dBmax
	BPF 1840~1870	3 dBmax
통과대역 Return Loss	BSF 1750~1780	15 dBmin
	BPF 1840~1870	15 dBmin

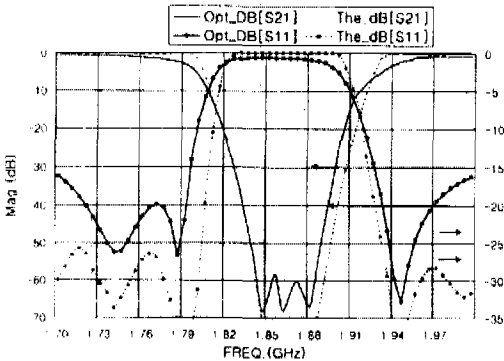


그림 4. 설계된 대역저지 여파기의 특성 (실선 : 이론치, 점선 : 최적치)

대역통과 여파기는 공간을 적게 차지하면서 협대역 특성을 보여주는 헤어핀(hair pin) 여파기 형태이다. 표 1에 있는 설계치를 만족하기 위해서 7개의 반파장 공진회로(N=7)의 리플(ripple)이 0.5dB 인 체비셰프(Tchebyscheff) 여파기가 설계된다. 통과 대

역폭의 하한 주파수 1836MHz로부터 차단주파수 방향으로 56MHz 떨어진 지점에서 60dB 이상 손실을 제공한다. 이를 토대로 결합선로간의 캐패시턴스 값들을 구하고 결합 선로간의 간격(S_{ij})과 선로폭(w)을 구한다^[7]. 그림 5에는 설계된 헤어핀 대역통과 여파기의 특성곡선을 보여 준다. 점선의 전송특성(dB[S₂₁])은 설계된 특성을 보여주주고 최적화 한 결과는 실선으로 보여준다. 이론치 보다 성능이 악화되었으나 표 1에서의 목표 설계치를 만족한다.

분기 회로(Branch circuit)는 듀플렉서 내에서 안테나와 연결되어 송신 측 신호와 수신 측 신호를 분리해주는 역할을 하며 송신용 대역저지 여파기 다음에 위치하여 안테나와 정합시키는 역할도 한다. 따라서 분기회로는 일종의 대역저지 여파기 특성을 보여줘야 한다. 분기회로의 설계는 대역저지 여파기와 동일한 설계방법에 따른다.

구동증폭기는 선형영역에서 동작하므로 주어진 산란계수를 이용하여 설계한다. 반면에 power FET을 사용하는 종단증폭기 설계는 Load/Source pull 방식에 따른다. 이때 IS-95규격에 따른 CDMA 신호를 인가하고 power FET 역시 B급(V_{dsQ}=3.6V, I_{dsQ}=52mA)으로 설정한다. 선정된 power FET에 대해 최적 임피던스를 찾는 과정은 참고문헌^[8]에 따른다. 출력 24Bm에서의 최적 입출력 임피던스들과 측정된 전기적인 특성들이 표 2에 요약되었고 ACPR 성능은 IS-95에서 요구하는 성능과 비교해 여유가 없으나 고조파 임피던스 제어에 의해 개선될 수 있다.

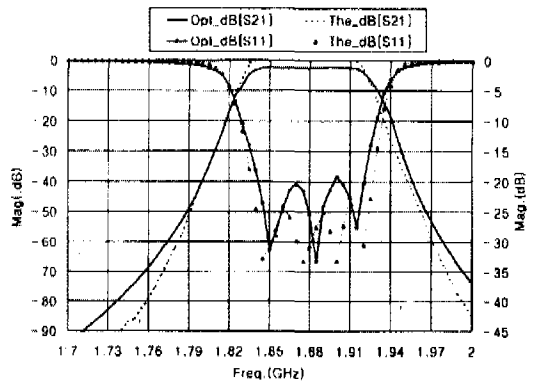


그림 5. 설계된 대역통과 여파기의 특성 (실선 : 이론치, 점선 : 최적치)

그림 6은 종단 전력증폭기의 출력단 개략도로서 최적 출력 임피던스(Z_{out})들에 대한 정합회로가 구현되었다. 출력 임피던스(Z_{out})는 기본파에 대해서는 표

2에서 주어지는 최적 임피던스이며 F급 동작이론에 따른 임피던스를 갖는다. 그리고 고조파 신호들을 억제해야 하므로 이들 중 상대적으로 신호크기가 큰 제2, 제3고조파를 선트 공진 회로를 통해 제거하며 동시에 제2고조파의 zero 임피던스를 실현한다. 인덕터 처럼 작용하는 전송선로(L1, L2, L3)와 직렬로 연결된 캐패시터 C1, C2, C3 등이 제2, 제3 고조파에서 직렬공진 한다.

표 2. 최적 입출력 임피던스 및 전기적 특성

Test items	Measured results
Optimum impedances	$Z_{s,opt}$ 0.616 \angle 140° $Z_{L,opt}$ 0.462 \angle -165°
Gain	12dB
ACPR	-28dBc @900KHz -41dBc @1.98MHz
드레인 효율(η)	38 %

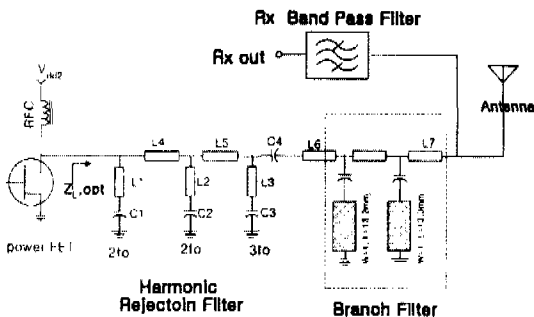


그림 6. power FET의 출력단 정합회로

한편 최적 임피던스에 대한 정합은 저역통과 여파기와 캐패시터 C4 그리고 전송선로 L6을 통해 이루어진다. 그림 6에 있는 분기회로에서 캐패시터 C4와 전송선로 L6은 주로 정합을 위해 이용되고 L7을 조정하여 송수신을 분리한다.

그림 7은 종단 power FET 드레인 단자와 분기 여파기 출력단자 그리고 대역통과 여파기의 출력단자를 3단자 회로망으로 한 모의실험 결과를 보여준다. 실선은 송신계통에 대한 전송 특성(DB[S21])으로써 송신대역(1750~1780MHz)에서는 손실이 거의 없고 수신대역에서는 분기 여파기의 특성에 의해 약 20dB 정도(M1)의 손실로서 안테나로부터 수신된 신호가 송신경로로 변환되지 않도록 억제되고 있다. 또한 제2고조파 주파수에서 90dB 감쇠(M2)를 주고있

다. 점선은 대역통과 여파기의 특성을 보여주며 표 1에서 요구하는 사양을 만족하고 있다.

IV. 실험 및 결과 고찰

측정시스템은 Load pull 측정방식과 유사하다. CDMA 신호원이 피 측정물에 인가되고 그 출력 신호의 스펙트럼 특성을 스펙트럼 분석기로 측정한 결과가 ACPR 값이다. 이때 측정 편의상 약간의 오차를 감수하고 중심주파수와 측정지점사이를 측정한다. 그림 8에 조립된 모듈의 정면도와 각 층의 회로도면을 보여준다. 다층기판의 재질은 세라믹 계열이다.

최상위층(그림 8(b))에는 두개의 GaAs FET를 비롯하여 집중소자 형태인 캐패시터와 저항이 위치한다. 최종 단의 GaAs FET는 CDMA 전용으로 개발된 부품이다. 또한 분기 회로가 마이크로 스트립선로 형태로 구현되어 있다. 세 번째 층(그림 8(c))은 스트립선로로 구현된 대역저지 여파기가 위치하고 다섯 번째 층(그림 8(d))은 대역통과 여파기가 위치하고 있다. 전체크기는 위 덮개의 높이를 포함하여 1.08CC (24×15×3mm³)의 부피를 가진다. 드레인-소스에 흐르는 동작점(IDSQ)의 전류는 구동 증폭기용 FET가 40mA이고 power FET는 52mA이다. 따라서 구동증폭기는 거의 A급 바이어스 상태에 있고 power FET은 Idss가 2.5A 인 점을 감안할 때 B급으로 간주한다.

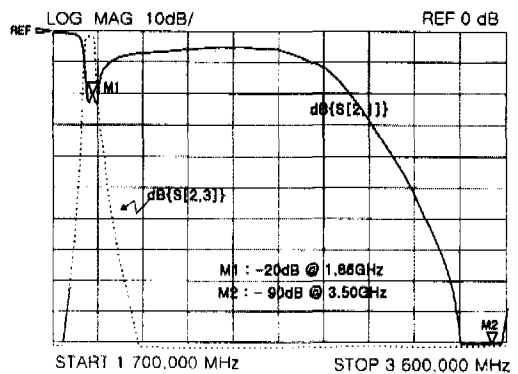


그림 7. 종단 전력증폭기의 출력단 회로의 모의실험 결과

선형영역에서의 송신경로의 전송특성은 회로망 분석기로 측정한다. 그림 9에서 마커(marker) 1은 기존의 800MHz 대역 시스템과의 간섭을 측정하는 것으로서 -34dB 이상의 분리도를 보여준다. 마커 2는 송신대역의 오른 쪽 가장자리 주파수로서 이 지점에서

21.5dB의 이득을 가지고 있음을 알 수 있다. 또한 마커 3은 대역저지 여파기의 수신대역에 대한 감쇠량을 나타낸다. 그림 9의 마커 3의 감쇠량은 -27dB에 지나지 않으나 송신대역에 대한 이득이 약 22dB 인 점을 감안하면 전체적으로 약 49dB 가량 수신대역을 감쇠 시키고 있다고 볼 수 있다. 마커 4에는 제2고조파의 억제를 위해 설계된 전력증폭기 출력단의 고조파 제거 여파기의 특성을 나타내주고 있는 부분이다. 그림 10은 결합모듈의 출력단에서 측정된 ACPR 성능이다. 중심주파수에서 900KHz 떨어진 지점에서 -29.2 dBc이고, 1.98MHz 지점에서는 -45dBc 이다.

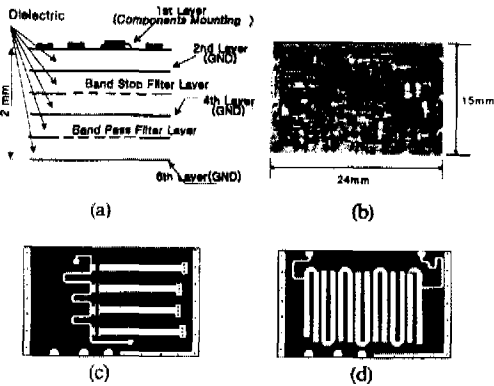


그림 8. 완성된 모듈의 단면도, 사진 및 Layout

(a) 다층기판의 단면도, (b) 사진과 크기
(c) 대역저지여파기, (d) 대역통과여파기

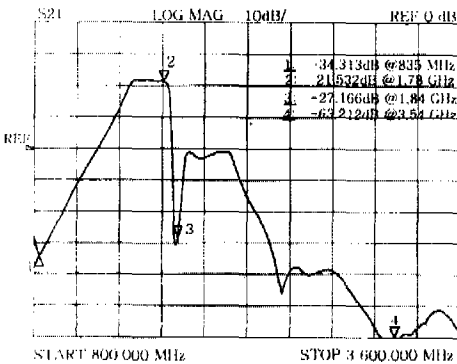


그림 9. 선형영역에서 송신경로에 대한 전송특성

이들 값들은 최적 임피던스 부하로 측정된 표 2의 결과보다 900KHz 지점에서 2dB, 1.98 MHz 지점에서 4dB가 개선되었으며 이러한 성능개선은 그림 2의 시스템 모의실험 결과에서 예상된 결과이다. 이상의 실험결과를 표 3에 요약 정리하였다. 세 번째 칸에는 표 1의 목표 설계 치와 기존의 상용제품^[4]들의

Data에 약간의 여유를 덧붙인 값들로 결합된 모듈이 PCS 단말기의 전력증폭기와 듀플렉서로서 동작하기 위해 필요한 사양(spec.)들이다.

결합모듈의 듀플렉서로서의 성능을 살펴보면 표 3에서처럼 대역저지 여파기는 spec. 대비 7dB 의 여유를 가지고 있으며, 대역통과 여파기의 송신대역에 대한 감쇠성능도 역시 목표 설계치 대비 2dB의 여유가 있다.

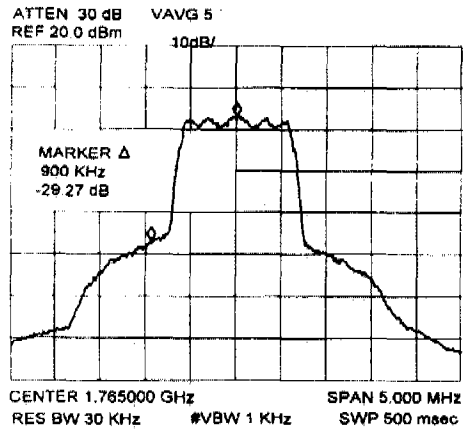


그림 10. 결합모듈의 CDMA 신호에 대한 ACPR 성능

표 3. 측정결과 요약

항 목(Units)	실험 조건	Specs	결과	
ACPR(dBc)	P _{out} = 24dBm	@900KHz	-28 -30	
		@1.98MHz	-42 -45	
Gain(dB)	Liner Gain	21	22	
Harmonic rejection(dBc) (f ₀ =1765MHz)	P _{out} = 24dBm	@ 2f ₀	-60 -70	
		@ 3f ₀	-70 -65	
총소모전류 (I _{ds,tot} mA)	P _{out} =5dBm	110	95	
Attenuation (dB)	Rx:1840~1870MHz	40 _{min}	49	
	Tx band (MHz)	1750~1780	50 _{min}	52
		824~985	55 _{min}	56
Isolation(dB)	Tx:1750~1780MHz	45 _{min}	47	
Eff(η, %)	P _{out} = 24dBm	35	33	

* DC Bias Condition : Vdd=3.6V, Vgg=-3.5V
I_{DQ1}=40mA, I_{DQ2}=52mA

특히 기존의 800MHz 대역의 이동통신시스템과의 간섭사양도 만족하고 있다. 이 결과로부터 결합모듈은 기존 듀플렉서의 성능을 충족시키고 있다. 출력인 24 dBm에서의 ACPR 성능은 동작점이 B급 상황에서도 IS-95 요구사양을 만족하고 있다. 고조파 억제 성능에서 제2 고조파는 목표성능에 비해 4dB의

여유가 있으나 제3고조파에 대해서는 미달하여 향후 power FET의 입력 또는 출력단에 제3고조파 제거 여파기를 추가할 계획이다. 한편, 최대출력에서 전력 부가 효율(Eff(η))은 본 연구가 5%정도 적으나 단말기의 전체 사용시간을 고려해보면 최대 출력에서 사용하는 시간이 작기 때문에 큰 의미는 없다. 반면에 기존에 비해 줄어든 2dBm의 출력을 전류로 계산할 때 약 30mA에 해당되는 전류를 절약하였으며, 중요한 것은 CDMA 방식의 단말기가 가장 많이 사용하는 선형 영역에 있는 출력레벨 중 하나로 선정된 5dBm에서 단지 95mA의 전류만이 소모되는 있는 점이다. 이는 기존의 상용제품^[5]보다 50mA 정도 적다. 결론적으로 결합모듈은 최대출력 동작 시에 30mA, 선형 영역에서 동작할 때 50mA의 전류를 기존의 전력증폭기에 비해 절약할 수 있다. 이는 제안된 구조의 타당성을 확인시켜주고 있다.

V. 결론

본 연구에서는 CDMA 단말기의 전력효율을 개선하고 소형화를 추구하고자 듀플렉서와 전력증폭기를 결합하였고 이를 다층기판 상에 구현하였다.

측정결과 Data들로부터 결합 모듈은 우선 전력증폭기로서 그리고 듀플렉서로서 각자 요구되는 중요한 성능을 만족하고 있음을 보여주었다. 결합모듈의 성능은 전력효율의 향상, 회로의 소형화 그리고 기타 회로구현 및 경제적 측면 등에서 개선되었다. 먼저 듀플렉서를 평면형으로 구현하여 전력증폭기와의 재배치를 통해 출력이 기존방식보다 약 2dBm 적은 최대출력을 얻게되어 약 30mA의 전류소모를 줄일 수 있었다. 또한 CDMA 단말기가 많이 사용되는 전력레벨을 고려하여 동작점을 B급으로 설정한 결과 실제 동작하는 환경에서 50mA이상의 전류가 절약되었다. 또한 6층의 다층 기판 상에 회로를 구현하여 전체모듈의 부피가 1.08CC가 되었다. 이것은 최소크기로 알려진 전력증폭기^[5]와 모노 블록 듀플렉서의 합보다 작다.

향후 평면형 여파기의 삽입손실 및 성능조정 등을 개선하기 위한 연구가 추진중이다.

참고 문헌

[1] S. Makioka, N.Yoshikawa, "High efficiency GaAs MCM power amplifier for 1.9GHz digital cordless telephones", *IEEE Trans.*,

VOL.MTT-44, No.5, pp.717-722, May 1995.

[2] J.Staudinger and G.Norris, "The effect of harmonic load terminations on RF power amplifier linearity for Sinusoidal and $\pi/4$ DQPSK stimuli," *IEEE MTT-S International Topical Symp.* Vancouver, BC, Canada, 1997.

[3] D.M.Snider, "A theoretical analysis and experimental confirmation of the optimally loaded and overdriven RF Power Amp," *IEEE Trans. Electron Dev.*, pp851-857, Dec. 1967.

[4] Murata Co., Ltd, Part Number DFY21R76 CIR85BHC Duplexer Data Sheet, 1994.

[5] Rockwell Semi. Systems, P/N. RI21006 Power Amp. Data sheet, Feb. 1996.

[6] G.D. Alley, "Interdigital Capacitors and Their Application to Lumped Element Microwave Integrated Circuits," *IEEE TRANS.*, Vol.MTT-18, No.12, Dec. 1970.

[7] E.G. Cristal and S. Frankel, "Hairpin_line and Hybrid Hairpin/Half Wave Parallel-Coupled Line Filters," *IEEE TRANS.*, Vol. MTT-20, NO.11, pp.719-728, Nov. 1972.

[8] G.H. Yun and H.K. Park, "High Eff. Power Amp Module Combined with Duplexer for CDMA based PCS Phone," *IEE Proc. Part H.*, Vol.45, No.6, pp.486-490, Dec. 1998

윤 기 호(Gi-Ho Yun) 정회원

1984년 2월 : 연세대학교 전자공학과 졸업

1999년 2월 : 연세대학교 전자공학과 박사

1986년 1월~1997년 2월 : 삼성종합기술원, 삼성전 기 근무

1997년 3월~현재 : 호남대학교 전파공학과 조교수

<주관심 분야> RF & 마이크로파 회로, 이동통신부품

박 한 규(Han-Kyu Park) 정회원

1964년 2월 : 연세대학교 전기공학과 졸업

1973년 : 프랑스 파리(소르본)대학교 박사과정 수료(DEA)

1975년 : 프랑스 파리 6대학(Ph.D.)

1976년~현재 : 연세대학교 교수

<주관심 분야> 이동통신, 안테나, 마이크로파 통신 및 전파전파