

무선 원격 수신기 설계에 관한 연구

정회원 박종화*, 이우상**

A study on the Design of Wireless Telemetry Receiver

Jong-Hwa Park*, Woo-Sang Lee** *Regular Members*

요 약

무선 원격제어에 사용되어온 디지털 통신 방법은 직접 디지털 제어방식과 간접 디지털 제어방식으로 크게 분류할 수 있는데, 직접 디지털 제어방식은 변복조 회로가 비교적 간단한 반면에 간접방식은 대역폭이 적어지는 장점을 갖는다.

본 논문에서는 간접 디지털 제어방식을 사용하여 무선원격 수신기를 설계함에 있어, 수신기의 신뢰도와 성능을 고품질로 유지시키기 위하여 슈퍼헤테로다인 방식인 이중혼합방식을 채택하였으며, 최종단 혼합기의 출력중간주파수는 455[kHz]의 저주파로 변환하였다.

그리고 PLL을 이용한 BPSK 복조기에서는 FM 복조기의 변별기 출력을 입력으로 사용함으로써, PLL 자체의 위상 보정값인 DC출력이 제어신호의 복조를 이룰 수 있음을 확인할 수 있었다.

ABSTRACT

Digital communication method which has been used to remote radio control can be largely classified as direct digital control method and indirect digital control method. Each method has the advantages that relatively simple modulation/demodulation circuit in the direct digital control method and narrow bandwidth in the indirect one.

In this thesis, as remote radio RECEIVER using the indirect digital control method is designed, in the receiver more improved method receiving the control signal by double mixing method is presented. Especially, in order to keep up receiver's reliability and performance with high quality, super-heterodyne method(double mixing method) is adapted, intermediate frequency of end stage mixer is been lower to 455[kHz]. In BPSK demodulator using PLL which the input of BPSK demodulator is used for the discriminator output of the FM demodulator, it is verified that DC output which is a phase-corrected value of PLL itself can be the demodulation of control signal.

I. 서론

무선통신 제어방식은 디지털 변복조 기술과 더불어 발전해 나가고는데, 최근 디지털 변복조 기술의 급격한 발달에 근거해 다양한 디지털 원격 제어방식이 출현하고 있다. 디지털 FM 변조방식에 간접 FM 변조방식을 혼용하면 협대역 특성을 갖고 또한

작은 하드웨어로 고능률의 변복조기를 설계할 수 있는 장점이 있다. BPSK(binary phase shift keying) 방식은 2개의 180° 위상 반전된 신호에 의해 디지털 신호의 "1 과 0"을 대신하는 방식으로, 현재에는 디지털 위성 통신이나 장거리 통신의 수단으로 널리 이용되는 디지털 변조방식이다.^[1] 이 방식의 장점은 변조시의 출력대역폭이 좁아지는 경우를 들 수 있으므로, 단일 주파수 통신시 협대역화를 가

* 광운대학교 전자공학부(oppjh@hanimail.com)

** 동서울대학 전자통신과(wslee@haksan.dsc.ac.kr)

논문번호 : 99041-1002

접수일자 : 1999년 10월 2일

능하게 할 수 있다.^[2]

또한 수신기측의 복조시에도 PLL(phase locked loop)방식에 의해 BPSK 위상 반전상태를 감지할 수 있으므로, 적은 하드웨어로도 복조가 가능한 수신기를 설계할 수 있다. 따라서 본 논문에서는 BPSK 복조기 및 FM 복조기를 설계하여 실험을 통해 입증하려고 한다.

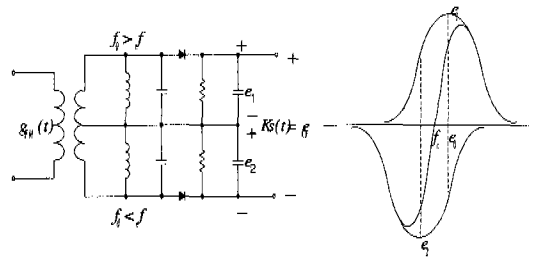
실제 BPSK 변복조기의 단점은 위상의 불일치에 의한 수신기 측의 위상혼란을 들 수 있다.^[3] 송신시에는 디지털 통신에 있어 하드웨어적으로 상당히 유리한 입장에 있다고 할 수 있으나, 수신측에서는 디지털 신호를 복조하는 경우에 위상의 불일치에 의한 혼란이 발생할 수 있다. 이러한 문제는 송수신기 모두 특정한 하드웨어적인 일치성을 보여야 해결될 수 있으므로 본 논문에서는 송신기 측에서는 BPSK 위상의 시차를 고정하지 않고, 디지털 신호에 동기 신호를 삽입하는 방법을 채택하였고, 수신기에서는 송신기에서 보낸 동기신호를 기준으로 삼아 수신기 측의 위상을 고정하여, 수신된 데이터는 위상의 모호함을 해결할 수 있다.

그리고 송수신기 모두 주파수의 안정상태를 위해 기준 크리스털을 발진해 분주해낸 특정주파수와 LC로 구성시킨 VCO(voltage controlled oscillator) 발진기 출력을 분주한 특정주파수의 위상을 비교해 2개의 주파수의 위상이 일치할 때까지 루프를 돌며 비교하는 PLL 방식을 채택하였고, 종래의 크리스털로 발진해 다단 체배한 방식의 단점인 중심주파수 이하의 스퓨리어스와 고조파의 발생을 줄였고, 수정주파수 발진의 발진주파수 한계를 극복할 수 있고, LC 발진 방식의 단점인 주파수의 안정성 문제를 수정 발진 상태만큼 이룰 수 있다.^[4]

II. 복조 및 수신회로

FM복조는 주파수변조된 신호원을 원신호로 변화시키는 과정이다. 원 신호를 주파수 변조하기 위해서는 적분을 한 형태이므로 이를 원신호 성분으로 복조하기 위해서는 미분을 하여야 한다.

그림 2.1은 원신호를 미분한 형태에서 포락선 검파방식을 사용하여 원 신호를 재생하는 경우를 나타낸다. 그러나 이 방식은 고조파의 존재로 인해 왜곡이 생기므로, 평형 변별기를 사용한 평형 경사 검파기를 그림 2.2에 예를 든다. 그림 2.2에 보는 바와 같이 f_c 보다 높은 곳에 공진 시킨 것과 낮은 곳에 시킨 것 2개의 공진회로를 사용하여 보다 직진성이 좋은 변별기를 설계 할 수 있다. 일반적으로 협대역에서는 포락선 검파방식을 쓰고 광대역에서는 평형 검파 방식을 사용한다.



- f_c : 중심 주파수
- f_0 : 입력 주파수
- e_0 : FM복조된 출력전압

그림 2.2 평형 검파

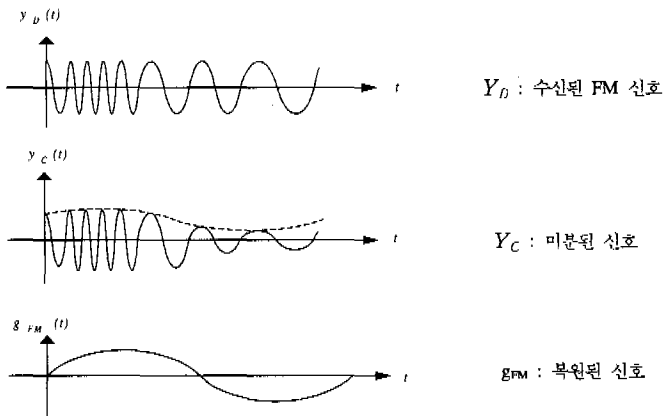


그림 2.1. 포락선 검파

BPSK 수신단에서는 FM변별기 출력 즉 원신호의 BPSK 출력변조파형과 동일하다. 그러므로 BPSK의 입력신호는 디지털신호이므로 2400[Hz] 주파수를 가진 파형을 발진시켜 입력신호와 위상을 비교하여 보면, 위상차가 생기는 부분이 바로 디지털신호의 신호레벨이 변하는 부분이다. 즉 BPSK 복조기는 2개의 위상을 비교할 수 있는 기능을 가진 PLL 위상비교기가 다른 복조기보다 우수할 것이다. 그림 2.3은 아날로그 PLL의 블록도이다.

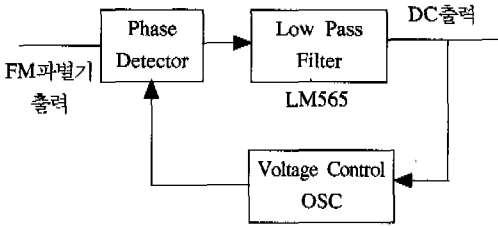


그림 2.3 PLL 의 구성도

PLL 출력 $v(t)$ 는 위상 변화분만 DC값으로 출력함으로 디지털 신호의 시작이 "1"인지 "0"인지를 구분할 수 없고, 동기신호 주파수를 인식하는 형태가 아닌 단지 2400[Hz]의 내부발진 주파수의 위상과 외부 FM 변별기 출력주파수의 위상을 비교만 하므로, 시작과 정지의 동기신호를 변조단에서 미리 삽입하여 BPSK 복조시 PLL출력을 TTL레벨로 변환 후 디지털적으로 동기신호를 인식하여 위상의 모호함을 해결할 수 있다

그림 2.4는 수신기 전체의 계통도이다. 수신기 및 RF단의 계통을 보이는데 안테나를 통해 들어온 신호는 저역통과 필터 및 임피던스 정합 과정을 거쳐 LNA(low noise amplifier)에 입력된다. LNA의 콜

렉터측 탱크회로는 448.10[MHz]에 공진되도록 소자값을 설계하여 다음 단의 혼합기로 입력된다. 혼합기는 RF와 LO를 혼합해 중간주파수를 만들어낸다. 혼합기는 RF와 LO의 곱한 결과를 변환해 RF와 LO를 더한 값, 그리고 RF와 LO를 뺀 값, 그리고 RF와 LO를 만들어내므로 이론적으로는 4개의 주파수가 만들어진다. 그러나 LO 주파수가 수정발진기로 발진시켜 채택한 경우 고차의 고조파가 혼합되므로, 혼합기의 출력주파수는 중간주파수의 근처 대역에서도 생길 수가 있다. 그러므로 LO출력은 수정발진방식 보다는 PLL에 의한 VCO 발진방식이 고조파 발생 및 스퓨리어스 발생면에서 유리하다.

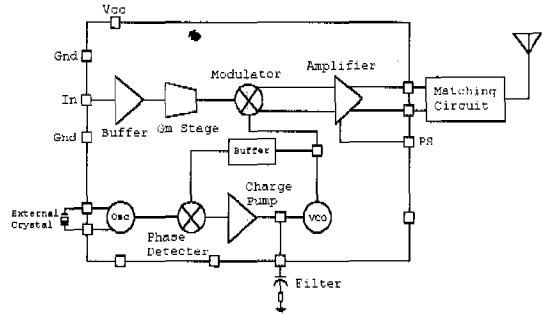


그림 2.5 7106 IC 구조도

그림 2.5는 7106 IC 내부계통도를 나타낸다. 국부발진기로 7106 IC를 사용하였고, 7106 IC 자체에 위상비교기와 VCO를 포함하였으므로, 외부의 수정발진기를 사용해 분주비를 결정하면 발진주파수가 결정된다

$$\text{발진주파수} / 64 = \text{Crystal 주파수} \quad (5.1)$$

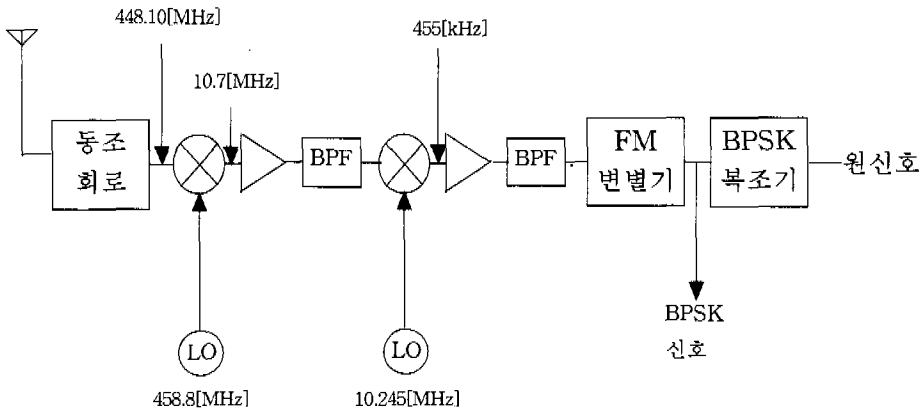


그림 2.4 수신기 전체 계통도

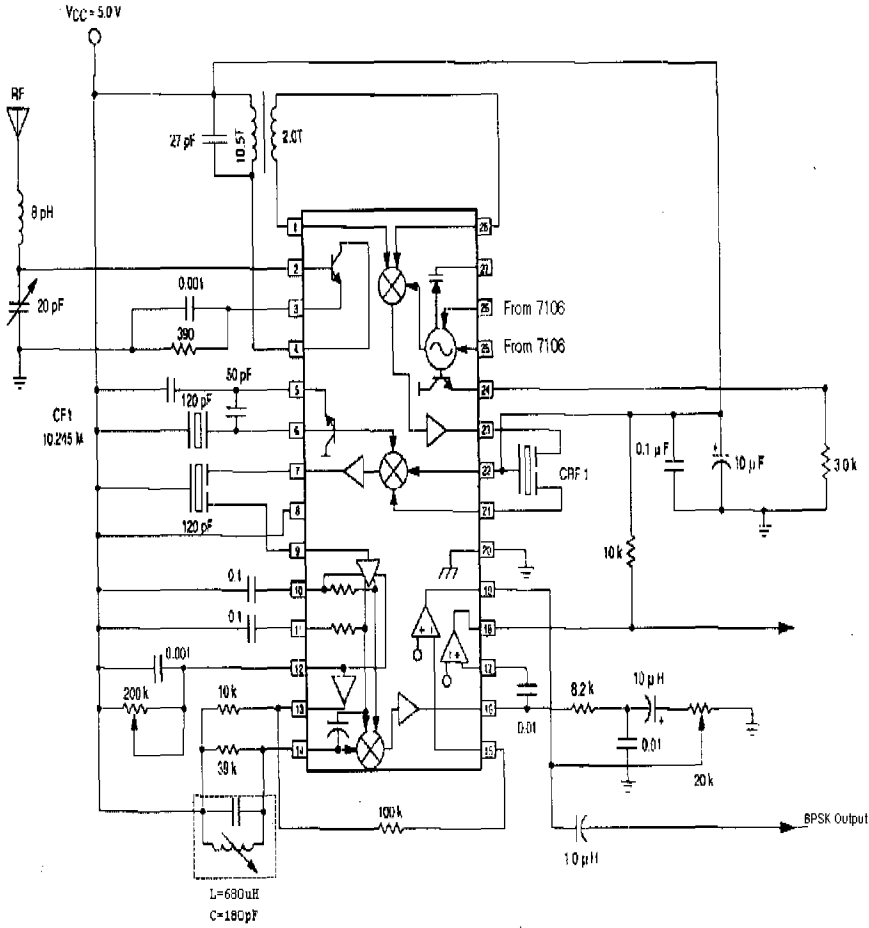


그림 2.6 MC3363 회로

FM복조기는 모토로라에서 시판하는 MC3363으로 그림 2.6은 이의 내부구조 및 회로를 보여준다. MC3363은 내부 믹서를 이용하는 방법과 외부에 믹서를 설계하는 방법이 있으나, 내부의 발진기는 제어가 힘들므로 외부에서 만들어진 혼합신호가 CRF1(대역통과여파기)으로 입력되어 여러가지 주파수 중 10.7[MHz]만 여파시킨다. 이 CRF1은 10.7 [MHz] 대역통과여파기로 입출력 임피던스가 약 300[Ω] 정도이다. 다음으로는 CRF(대역통과여파기) 출력은 그중 다음단인 혼합기의 입력이 되고, 10.245[MHz]를 발진시킨 주파수와 혼합되어 최종 출력 455[kHz]와 여러 주파수를 만들어낸다. 이는 455[kHz] 대역통과여파기의 입력이 되고, 종단을 455[kHz]의 FM변조된 신호원으로 변환된 주파수 변별기입력으로 된다. 즉 주파수 변별기출력은 BPSK 복조기의 입력이 된다.

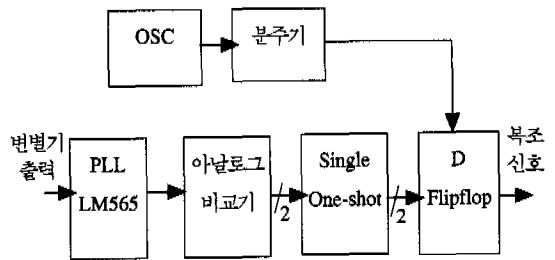


그림 2.7 BPSK 복조기 계통도

그림 2.7은 BPSK복조기 계통도이다. LM565는 PLL IC로 FM 변별기 출력이 C1을 거쳐 DC성분은 제거되어 입력된다. PLL 출력단자로 위상차에 의한 DC값을 얻을 수 있는데, 이는 입력신호 em(t)와 VCO출력의 곱인 Vc(t)를 저역통과 필터로 고주파 성분을 제거한 출력인 DC전압 Va(t)고, 그출력

은 VCO의 입력으로 간다. 그림 2.3의 루프는 연속적으로 위상을 비교하여 DC값을 출력한다. 그림 2.8에서처럼 입력 신호 위상의 천이에 따른 LM565 DC출력값의 변화를 LM319 출력과 이 출력을 이용한 복조 파형이다.

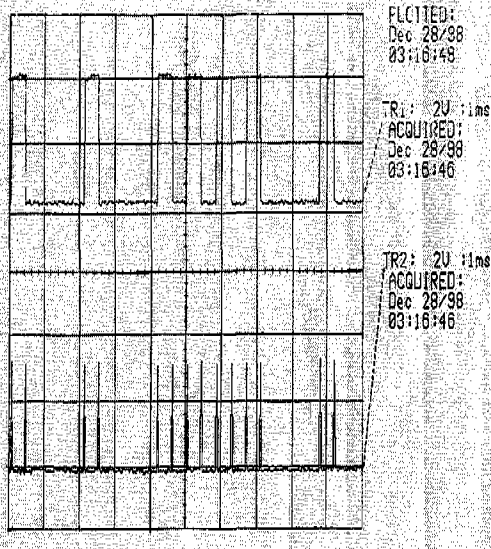


그림 2.8 LM565 DC 출력과 복조파형

$$V_c(t) = K_m \cos \left[\theta_n + 2\pi K_v \int v(t) dt \right] \quad (2.1)$$

$$V_d(t) = \int V_c(\tau) h(t-\tau) d\tau \quad (2.2)$$

식 2.1 $V_c(t)$ 는 VCO와 입력 신호의 곱인 식 2.2 출력 $V_d(t)$ 이고, 위상차에 의한 LPF의 DC값 출력을 나타낸다.

PLL출력은 위상이 변하는 부분에서, 특히 BPSK 변조는 180° 위상 천이가 되므로 DC출력의 편차가 매우 크게 생긴다. 이 출력으로 아날로그 비교기 LM319를 사용하여 TTL 레벨로 변환한다. TTL레벨 변환은 일련의 채널 잡음이나 위상 왜곡 등을 제거하기 위해 그림 2.7의 74LS123(단안정 펄스 발생기)을 사용한다. PLL출력의 특징은 위상이 변화하는 부분에서 DC출력이 변동하므로, BPSK 동기 시작신호가 High가 1bit이므로 동기 프레임 시작에서도 DC값이 변하고 또 동기의 마지막에서도 DC값이 변동한다. 시작신호 1bit에 2개의 DC값이 변하므로 프레임의 시작과 끝이 어디에서도 동기의 시작으로 볼 수 있다. 그러므로 단안정 펄스 발생기

를 사용해 2개의 DC값이 변해도 즉 2번의 입력에 하나의 펄스폭으로 변하는 방법을 사용한다. 이는 끝 신호에 영향을 미치게 되므로 정지 비트는 최악의 경우를 고려해 2개의 bit를 0으로 확정지었다.

그리고 발진기와 동기 신호는 위상이 일치되어야 하므로 그림 2-7의 74LS74 D-플립플롭을 사용해 비동기 카운터 74LS393의 출력을 클리어시켜 위상을 일치시킨다. 1개의 동기신호 프레임마다 특정지점(시작 신호, 정지 신호)에서 74LS74 클리어 단자나 프리세트단자에 펄스를 주어야 하고, 이는 동기신호 프레임의 시작점과 끝점을 알 수 있기 때문이다. 이 과정은 BPSK 위상천이점의 DC출력값이 두개로 인해서 생기는 복조신호 위상의 모호함을 D 플립플롭으로 해결한다. 그림 2.8은 원 디지털신호로 변조한 신호를 다시 복조해 동기신호의 기준위상을 일치할 수 있는 완벽한 복조를 이룰 수 있다.

III. 실험 및 결과 고찰

수신기의 설계사양은 표 1에 제시하였다.

표 1. 수신기 사양

제작된 수신기의 사양	
사용 주파수	448.10 [MHz]
발진 방식	PLL SYNTHESIZER
주파수 안정도	± 10 [PPM]
주파수 대역폭	75 [kHz] 이하
수신 방식	이중 헤테로다인방식
수신 감도	10 [μV] 정도
스퓨리어스 응답	85 [dB] 이상
왜율	1 % 이하
안테나 입력 임피던스	50 [Ω]
전원	12 [V]

실제 송수신 실험의 대상이 된 지역은 대전 표준 연구소와 금강대교간의 직선거리 약 8[Km]정도 떨어진 곳으로, 시계는 트이지 않고 송수신용 안테나 (448.10 [MHz], 6 [dB])의 위치가 지면과 근접한 곳에 설치해 수신시 복조에 실패했으나, 약 지표면 20 [m]인 곳에 안테나를 설치해 수신시 15 [μV] 이상의 전계강도를 측정할 수 있어 수신데이터를 복원할 수 있었고, 양질의 송수신이 가능했다.

또한 현대역 FM신호 복조시 BPSK 파형을 복원 가능했고 그림 2.8의 PLL위상차를 이용해 상단의

출력을 얻을수 있고 이 DC출력을 비교기에 입력해 하단의 펄스를 얻을수 있었다. 부록의 회로에서 그림 2.8의 상단 파형은 송신시의 원신호를 복원한 것을 나타낸다.

수 있다.

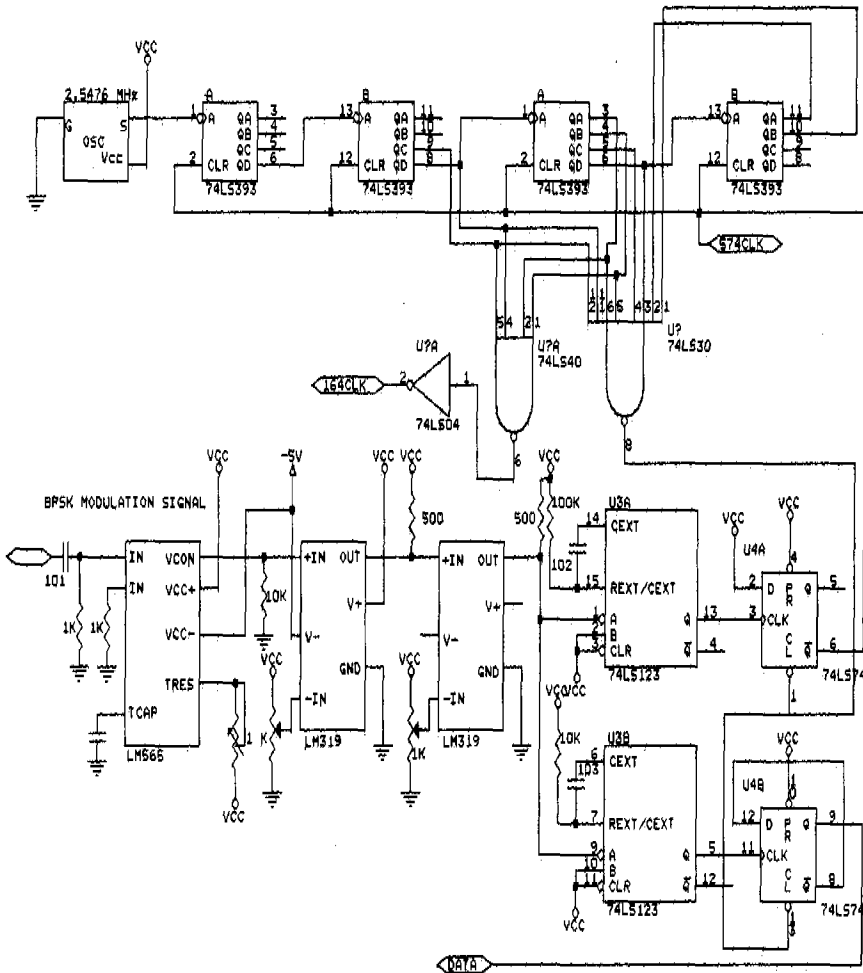
또한 FM수신단에서 이중 혼합기의 사용으로 S/N 비의 향상을 들수 있으므로 PLL단의 왜곡방지에 기여할수 있다.

IV. 결론

참고 문헌

본 논문은 협대역 수신기 제작 및 실험에 관한 새로운 방식을 제안하고, 그것을 실험을 통하여 증명하였다. BPSK 복조기는 송수신기 모두 하드웨어적인 일치를 보여야 한다. 특히 수신기는 PLL을 사용하여 위상을 검출하는 방식으로 FM수신단의 왜곡신호레벨이 진폭만 변할시 비교기 기준 DC전압을 조절하면 원하는 비교기 출력을 얻을수 있으므로 용이하게 위상변화시의 비교기 출력을 얻어낼

- [1] Simon Haykin, "Communication System" John Wiley & Sons INC,1994
- [2] A.J.Viterbi, "Principles of Coherent Communication", McGraw-Hill ,1966
- [3] A.J.Viterbi "Optimum coherent demodulation for continuous modulation system", Proc.Nat. Electron Con.,Vol 18,P.498,Oct,1972
- [4] G.S.Moschytz, *Miniaturized RC Filters Using*



부록 1. BPSK 복조기 회로

Phase Locked Loop, B.S.T.,1966

- [5] T. Edward, "Foundations for Microstrip Circuit Design", John Willey & Sons, pp.267-276, 1992
- [6] R.R. Cordel, W.G.Garrett "A high stable VCO for application in Monolithic phase locked loop", IEEE Journal of Solid State Circuit, Vol.1. SC-10,No.6,DEC. 1975
- [7] S.C. Gupta, "Phase-Locked Loop", Proc.IEEE. VOL.63,NO.2,P.291,1975
- [8] Motorola Inc, *Phase locked Loop Systems*, Motorola Inc,1973
- [9] B. Walker, "High Power GaAs FET Amplifier", Artech House, pp.128-1 34,1993

박 증 화(Jong-Hwa Park)

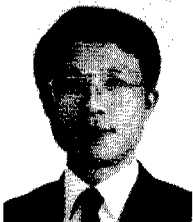
정회원



1985년 2월 : 서울산업대학교
전자공학과 졸업(공학사)
1988년 2월 : 광운대학교 산업
대학원 졸업(공학석사)
1999년 2월 : 광운대학교 대학원
졸업(공학박사)
1999년 3월 : 광운대학교
전자공학부 겸임교수

이 우 상(Woo-Sang Lee)

정회원



1983년 2월 : 광운대학교 전자
공학과 졸업(공학사)
1985년 2월 : 광운대학교 대학원
전자공학과 졸업
(공학석사)
1991년 2월 : 광운대학교 대학원
전자공학과 졸업

(공학박사)

1991년 3월 ~ 현재 : 동서울대학 전자통신과 조교수