

전자회로의 부품 검사의 속도 개선에 관한 연구

정희원 김 계국*, 서창옥**, 신강호**

A study on the improvement test velocity of electric circuit element

Kye-Kook Kim*, Chang-Ok Seo**, Kang-Ho Shin** *Regular Members*

요 약

본 논문에서는 전자회로 소자의 불량여부를 판별하기 위해 기준표를 이용하여 속도를 개선하였다. 일반적으로 가당점은 회로내의 모든 절점의 전위를 합산하여 그 평균치 이상으로 지정하고(AAG) 있으나 본 연구에서는 측정 소자 주변의 절점 번호를 기준표에 기록하고 이를 기준으로 가당점을 설정하였다(LAG). 실험한 결과 실장된 300개의 PCB를 대상으로 불량여부를 검사한 결과, AAG 보다 80% 이상의 시간 단축 효과를 얻었다.

ABSTRACT

In this paper, was improved velocity of discrimination whether inferiority or not in the electric circuit element. In general, Guarding points were designated above the average value in voltage of nodes(AAG). but in this paper, we created guarding points on the basis of Look-Up Table stored of node numbers in and around a measuring element(LAG). We made an experiment on 300 PCBs(assembly board) in this method. In view of the result so far achieved, it is confirmed that the velocity of LAG is faster about 80% than that of AAG

1. 서 론

오늘날 과학기술문명이 발전함에 따라 생산현장에도 완전 자동화 시스템을 갖추게 되었다. 이로 인하여 많은 노동력이 동원되었던 공장에는 기계가 그 일을 대신하고 있다. 따라서 자동화 시스템도 이에 발맞추어 계속 증가 하는 추세에 있다. 본 논문에서는 자동화 시스템 중에 PCB내의 부품의 불량여부를 자동으로 검사할수 있는 시스템에 대해연구 하였다. 이 PCB회로에 부착된 소자의 불량여부를 검사하는 방법들은 오래전부터 연구되어 왔다. 그 중에서도 ATE(Automatic Test equipment)는 평선 검사기(Function Tester), 베어 보드 검사기(Bare Board Tester), 인서킷 검사기(In-Circuit Tester) 등이 있다.

평선 검사기는 PCB에 부품을 삽입한 후 전원을 공급하여 회로가 제 기능을 발휘하고 있는지를 검사하는 장치이다. 검사를 위해 가당법을 사용하고 있는데 가당법이란 폐회로내의 미지의 소자를 측정하기 위해 다른 소자들이 실장 되지 않은 것처럼 주변 소자들을 등전위로 하여 불량여부를 판단하는 것을 말한다.

베어보드 검사기는 PCB 패턴의 불량여부를 자동적으로 판정하는 장치이며 인서킷 검사기는 PCB에 부품(소자)을 삽입한 상태에서 각 부품의 불량여부를 검사하는 장치인데 접지법(Ground guarding method)을 사용하고 있어서 정확하지 않은 단점이 있다.

절점전위법(Node guarding method)은 가장 많이 사용하는 이론으로써 정확한 계측을 할 수 있는 장점이 있으나 측정에 필요한 장치들이 많게 되어 제

* 원주대학 전자통신과(kkkkim@sky.wonju.ac.kr)

** 건국대학교 대학원 전자공학과(scjum@hitel.net)

논문번호 : 99046-1004

접수일자 : 1999년 10월 4일

작비용이 접지법 보다 많이 든다. 본 논문에서는 절점전위법을 사용하였으며^[1] 또한 불량여부의 검출 속도를 향상시키기 위하여 LAG(Look up table average guarding method: 이하LAG라 한다)알고리즘을 제안하였다.

II. 자동 평균 가딩법

자동 평균 가딩법(Auto average guarding: 이하 AAG라 한다)은 절점전위를 평균하므로 처리속도가 느린 단점을 가지고 있다. 그림 1과 같은 폐회로에서 Rx를 측정하기 위해서는 Rx의 2개의 절점 중에 최소한 1개의 절점은 단선을 해야 정확한 측정을 할 수 있다. 차단 하지 않은 상태에서 측정하게 되면 Rx, R1, R2, R3, R4, R5, R6, R7에 관한 합성 임피던스가 측정되어 Rx만의 저항 값을 정확히 측정할 수 없다. 따라서 주변회로를 차단하기 위해 가딩을 해주어야 한다.

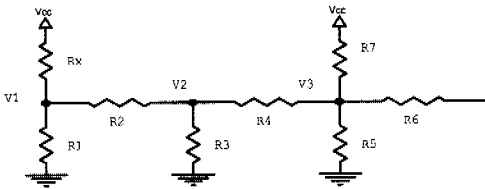


그림 1. 절점 표시

가딩법에는 접지법과 절점전위법이 있다. 이중 접지법에 의해 가딩을 할 경우에는 절점 V1, V2, V3 중에서 Rx의 주변 소자를 제거시키기 위해서 절점 V1과 V3를 접지로 연결시키면 R1, R2, R3, R4, R5, R6는 Rx의 임피던스에 영향을 주지 않는다. 이렇게 하면 Rx는 R7와의 합성 임피던스에 의해서만 결정된다.(그림 2)

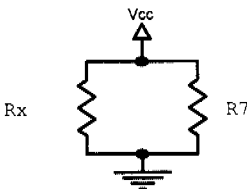


그림 2. 병렬회로

Vcc와 GND 사이의 합성 임피던스 Z가 Rx가 되기 위해서는 R7의 저항 값이 ∞에 가까워야 Rx의 계측값이 정확하게 된다.

$$Z = \lim_{R7 \rightarrow \infty} (Rx // R7) = \lim_{R7 \rightarrow \infty} \left(\frac{Rx \times R7}{Rx + R7} \right) \approx Rx \quad (1)$$

그러나 폐회로에서 R7이 ∞의 값을 가질 수 있는 경우는 거의 없으므로 이 접지법은 그다지 정확도를 요구하지 않는 부분에서만 사용되고 있다.

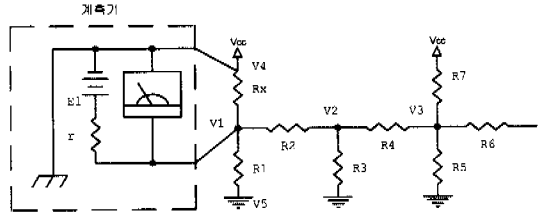


그림 3. 미지의 저항 측정

또한 절점전위법을 이용해서 가딩을 할 경우에는 그림 3에서와 같이 미지저항 Rx를 측정하기 위해서 전압계(V)와 전원(E)를 Rx양단에 연결할 경우 R1, R2, R3...에 의해 합성 임피던스가 계측이 된다. 이때 절점 V1에 인가되는 전위를 절점 V2에도 인가하면 V1과 V2는 등전위가 되어 저항 R2에는 전류가 흐르지 않게 되므로 Rx에 의해 R2는 단선상태가 된다. 같은 방법으로 R5를 단선상태로 하기 위해서는 절점 V5의 전위를 계측하여 절점 V3에도 등전위로 만들어 주어야 한다. 이렇게 하면 Rx는 주변의 모든 소자에 대해 개방상태가 되어 정확한 계측을 할 수 있게 된다. 위와 같은 방법을 3 절점법(3 Point node guarding)이라 하며 회로에 따라서는 6 절점, 7 절점을 사용하기도 한다. 이 절점법의 기본회로는 그림 4와 같다. 여기서 주의해야 할 사항은 절점장치 1과 절점장치 2의 전위(E)를 보면 계측기 전원과 다른 전원(E1, E2, E3)을 사용하고 있다. 같은 전원을 사용할 경우에는 계측기와 등전위 부분인 V1, V2, V3, 연산 증폭기 내부회로 간의 폐회로가 구성되어 정확한 계측을 할 수 없게 된다. 즉 공통접지에 독립된 전원을 사용해야 한다. 폐회로에서 계측하고자 하는 부분을 격리시키기 위해서는 폐회로가 구성되는 만큼의 등전위 절점이 필요하게 된다. 계측기의 프로브(Probe)에서 나오는 전압을 V1 이라 하고, 절점의 수를 N, 절점의 전위를 V라 할 때 평균절점전위값은 다음과 같이 표현할 수 있다. (식2)

$$V_{avr} = \frac{\sum_{N=1}^N V_N}{N} \quad (2)$$

[V_{avr} : 절점전위의 평균값]

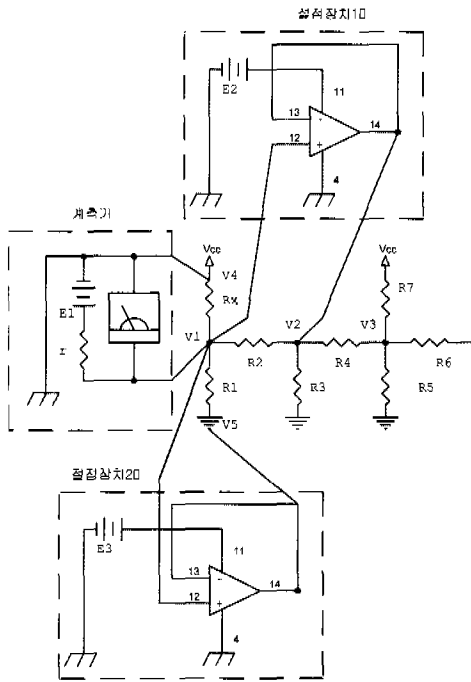


그림 4. 절점 장치

이 평균절점전압값 V_{avr} 은 가딩을 할경우에 가딩 절점의 수를 결정하는 매우 중요한 값이 된다. 그림 5와 같이 각 절점 마다 핀(N1..Nn)을 세우고 그 핀들을 모두 계측기에 연결시킨다. 측정하고자 하는 소자가 절점 N1과 N2에 위치하고 있을 때 가딩점은 N3부터 Nn까지의 절점이 된다.

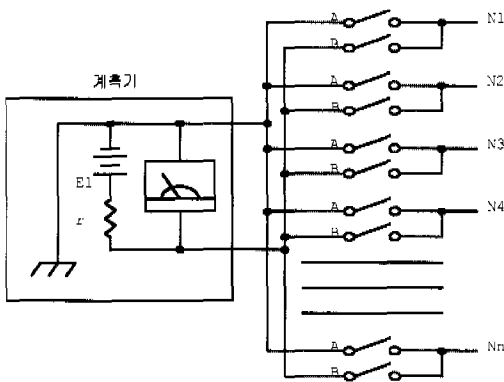


그림 5. 미지소자 측정 절점

이렇게 N1과 N2에 위치한 소자를 측정하기 위해 소자 주위에 가딩점을 자동으로 만들 위해서는 우선 A영역의 릴레이를 고정시키고, B영역의 릴레이만 N3부터 Nn까지의 전위를 계측해야 한다. 이 때

Nn까지의 절점에 대한 가상 절점 총수 N_c 는 $N_c = N_n - 2$ 이다. 이 절점에서 측정된 전위를 모두 배열에 넣어둔 다음 식3과 같이 평균값을 구한다. 평균값이 결정되면 평균값 이상의 절점을 나열하고, 그 미만의 절점은 제거한다. 이렇게 하면 가딩 절점의 위치를 알 수 있으며 이 위치에 해당하는 절점 전위를 공급하면 측정하고자 하는 위치의 소자 값을 정확히 계측할 수 있다. 한 소자에 대한 모든 가딩하고자하는 절점의 전위를 계측하여 $V_n[N]$ 배열에 넣는다. 여기서 N은 절점번호이다. [그림6]

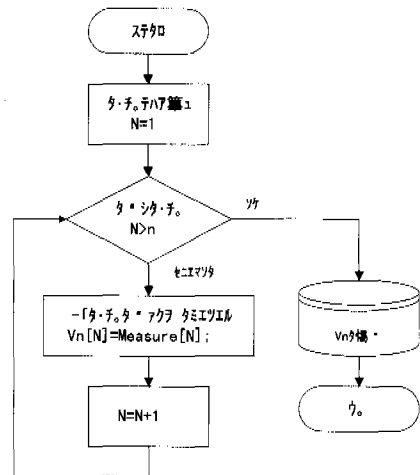


그림 6. 절점전위 저장

이렇게 배열에 저장된 절점전위의 평균전압을 구해보면 아래와 같은 관계식이 만들어진다.^[1]

$$V_{avr} = \frac{\sum_{N=1}^{N_n} V_n[N]}{k \times N_c} \quad (3)$$

식3을 평균절점전위이라하며 배열에 저장된 절점 전위 중에 가딩점을 알아내는데 사용된다.

평균절점전위가 V_{avr} 이라하면 V_{avr} 보다 큰 전위 즉 $V_{avr} \leq V_n \leq E_1$ 를 가지는 값만 가딩점으로 정의할 수 있다. 그리고 가딩상수 k는 정밀계측일수록 1에 가까워지고 그렇지 않을 때는 1보다 커진다. 이렇게 하여 정리된 절점전위 값들을 배열 Node[c], Node_Voltage[c]에 저장하여 소자를 검사할 때 가딩점과 가딩전압의 참고데이터가 된다.[그림7]

이 참고데이터 Node[c], Node_Voltage[c]는 UUT (Un-it Under Test: 검사대상물, 실장PCB)의 미지소자 주위에 절점장치에 의해 가딩점을 만들어주게 된다.

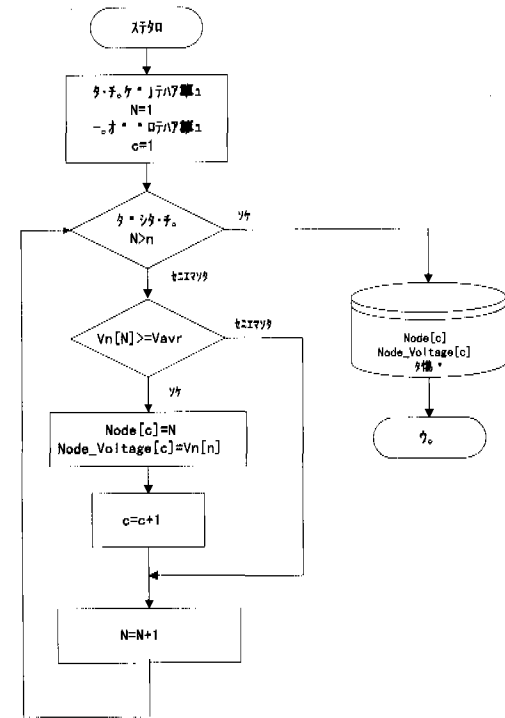


그림 7. 가당 데이터 저장

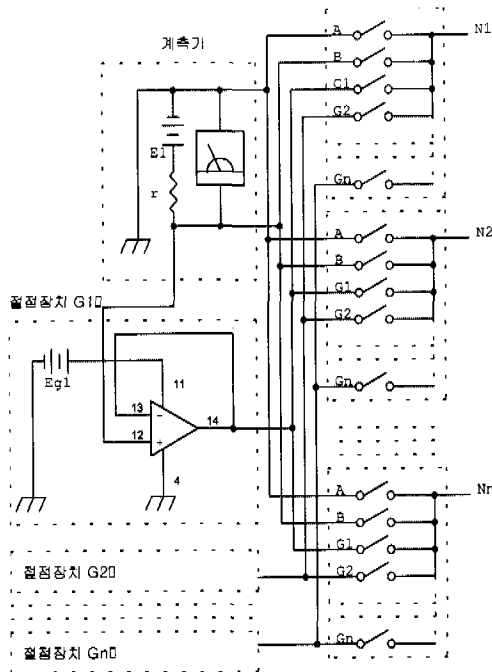


그림 8. 가당 시스템

한 개의 가당점에 대해 한 개의 절점장치가 필요하게 되며, 가당점이 n개라면 n개의 절점장치가 필

요하게 된다. 그림 8에서 N1부터 Nn까지에 연결된 릴레이를 보면 각각의 계측기와 가당에 필요한 절점장치들이 각각 연결되어 있다. 이렇게 연결함으로써 어떤 절점이던지 각각의 서로 다른 가당전위를 공급할 수 있게 된다. UUT내의 미지소자가 절점 N1과 N2에 연결되어 있을 경우 N2, N3,.....Nn에 위와 같은 알고리즘에 의해 각 절점에 가당을 위치시키고 계측기를 통하여 측정하면 정확한 미지소자를 측정할 수 있게 된다.

III. LAG 알고리즘 설정

지금까지 설명한 것은 자동평균가당법(AAG)이었는데, 본 연구에서는 처리속도를 개선하여 가당점을 보다 빠르게 설정할 수 있는 LAG 알고리즘을 제안하였다. 이를 위해 기준표(Look-up table: 이하 LUT라 한다)를 사용하였다.

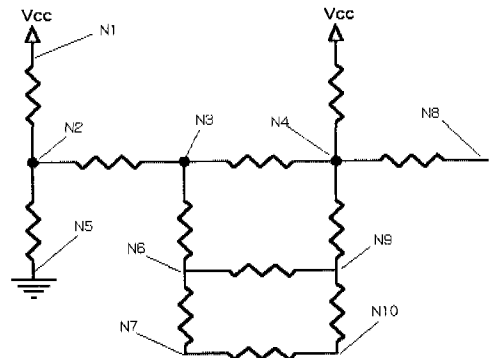


그림 9. LAG 절점

그림 9에서 각 절점의 번호를 N1, N2, N3, N4, N5, N6, N7, N8, 등으로 표기할 수 있다.

이들 절점은 표1과 같이 서로 인접한 순서대로 LUT에 저장하였다.

그리고 측정하고자 하는 절점이 결정되면 LUT를 참고해서 가당점을 결정하면 된다. 절점 N3과 N4 사이의 저항의 불량여부를 측정하고자 한다면 N3과 N4에 관련된 연결절점에만 가당전압을 공급하면 된다.

즉 가당전압은 N3를 기준으로 하여 등전위를 N2, N6에 공급하면 N2와 N3사이의 저항과, N3와 N6 사이의 저항이 단선되는 효과가 일어나서 N3와 N4 사이의 저항을 외부회로와 격리시킬 수 있다. 그리하여 N3와 N4 사이의 저항을 정확히 측정할 수 있게 된다.

프로그램 알고리즘은 우선 계측기의 내부전압이 공급되는 절점을 기준절점이라 하고 이를 기준으로 하여 그 주위의 절점에만 가당전압을 공급하면 된다.

표 1. 기준표

기준절점	연결절점 (Link Node)			
N1	N2			
N2	N1	N5	N3	
N3	N2	N6	N4	
N4	N1	N3	N8	N9
N5	N2			
N6	N3	N7	N9	
N7	N6	N10		
N8	N4			
N9	N4	N6	N10	
.....

표1과 같이 기준표가 만들어질 경우 N3와 N4 사이의 저항을 검사하기 위해 계측기를 N3와 N4에 연결하면 N3가 기준 절점이 되어 N2와 N6에만 가당전압을 공급하면 된다. 그리고 N4는 측정하고자 하는 절점이므로 가당점에서는 제외시킨다. 따라서 AAG^[1]에서는 전체 절점을 평균가당전압까지 검색하여 그곳에 가당전압을 공급하였으나 본 논문에서 제안한 LAG는 기준표를 사용하여 가당점을 결정할 수 있게 하였다. 이렇게 하므로써 한 개의 소자를 검사하기 위해 모든 절점을 검색하지 않아도 가당점을 알 수 있기 때문에 자동가당설정시간이 매우 빨라지게 된다.

IV. 시스템 구성 및 실험

그림 11의 가당전압 Eg1은 직류전압과 계측기 전압 E1을 그림10과 같이 연결한다. 신호발생기(E1)는 직류전압과 sin파 발생기로 되어 있으며 sin파 발생기는 주파수를 가변할 수 있게 되어 있다.

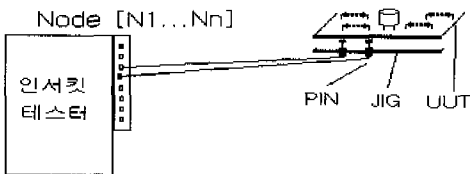


그림 10. JIG와 인서트 검사기 연결

각각의 전압원인 신호발생기는 계측기용과 가당용이 서로 독립적으로 사용되어야 한다. 그리고 검사대상물보드를 UUT(Unit under test)라 하며 본문에서는 일반적인 아날로그 PCB를 사용하였으며, 고정틀(Fixture)은 공기압축형을 사용하였다. 인서트 검사기와 UUT간의 접속은 JIG-PIN을 사용하였다. UUT의 각 절점마다 핀을 세우고 그 핀을 통하여 각각의 소자들의 절점을 시스템의 N1,N2,...에 연결된다.(그림 10)

기준표에 각 절점들의 연결상태를 기록하고 JIG에 UUT를 장착한 후 LAG알고리즘을 실행시켜 가당점과 부품값을 읽어 들인다. 그리고 같은 종류의 다른 실장보드(UUT)를 시스템에 장착하고 LAG알고리즘을 실행시킨다.[그림12]

이런 방법으로 10개의 실장보드를 연결하여 각각의 데이터들을 평균한 후 이를 기준 데이터로 설정하였다. 이렇게 하여 검사하고자 하는 같은 종류의 검사대상물 보드를 연결한 후 기준 데이터와 비교하여 불량여부를 검사하였다.

V. 실험 결과 고찰

기준 데이터는 검사대상물 보드 10개를 사용하여 만들었다. 이 10개의 검사대상물 보드의 데이터를 평균하여 기준 데이터의 신뢰성을 높였다. 그리고 검사대상물 PCB는 300개를 가지고 실험을 하였다. 기준 데이터를 얻기 위해 검사할 부분의 절점을 200개로 결정하고 이 절점을 기준으로 가당점을 LUT에 의해 구하였다. 실험 결과, 기준 데이터를 얻는데 걸리는 시간은 표2에 비교한 바와 같이 LAG알고리즘을 이용했을 때가 AAG보다 80% 이상 향상되었음을 알 수 있다.(표2)

표 2. AAG와 LAG의 비교

검사절점수	AAG시간(초)	LAG시간(초)
10	2.0	2.0
50	10.3	2.2
100	20.4	2.4
150	25.1	2.6
200	40.4	2.9
250	60.9	3.3
300	90.7	4.0

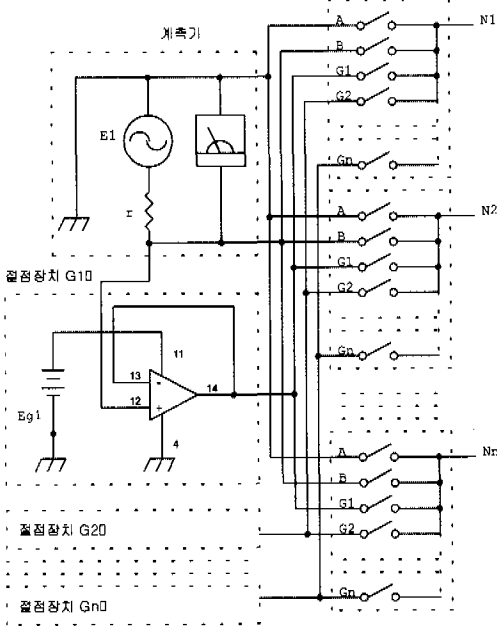


그림 11. 완성된 시스템

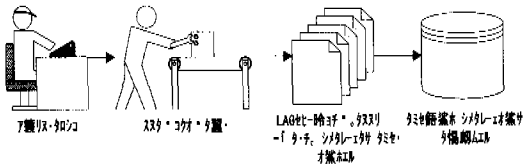


그림 12. 기준 데이터 설정

VI. 결론

PCB 인서트테스터는 전자제품의 생산 물량이 많아질수록 기준 데이터를 빠른 속도로 언어넴과 동시에 정확한 계측을 할 수 있는 시스템이 필요하게 되었다.

그 목적에 의해 본 논문에서는 계측결과에 영향을 주지 않는 범위내에서 기준데이터를 얻는데 걸리는 시간을 단축시켰다.

200 절점에 연결되어 있는 소자들을 검사하기 위해 300개의 검사대상물 PCB를 선택하였으며 200절점에 연결된 가당점을 LUT에 의해 선택되게 하였다. 이렇게 하여 안정된 가당점을 찾을 수 있었으며 가당점을 찾기 위해서 많은 절점들을 평균가당점안까지 적용하지 않아도 되므로 가당 멀티플렉서를 모두 작동시키지 않아도 된다. 고속화를 하기 위해 기준표를 이용하여 가당점을 설정하였으며 그 결과 80% 이상의 시간을 단축시키는 효과를 얻었다. 앞

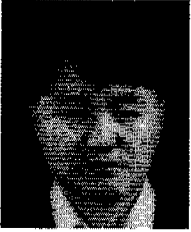
으로 연구과제는 디지털 PCB를 부품이 삽입된 상태에서 검사할 수 있는 시스템을 연구하는데 있다. 이와 더불어 디지털과 아날로그가 결합된 실장보드를 검사할 수 있는 시스템에 대해 연구도 계속되어야 할 것으로 사료된다.

참고 문헌

- [1] 통신 시스템의 전자회로 부품 검사 방법에 관한 연구, 서창욱외3인, 한국통신학회 논문지 '98-11 Vol23No.11T
- [2] HANLON, A.S., "Content-Addressable and Associative Memory Systems-A Survey," IEEE Trans. on Electronic Computers, Vol.EC-15 (August 1966), pp.509-521.
- [3] M. Morris MANO, Computer System Architecture (pp.18-38) 4.Paul.B.Zbar,Gordon Rockmaker, "Basic electricity"(1992) chapter 46
- [4] Jon Turino, "Functional Testing's Place In Electrics Manufacturing", Evaluation Engineering, pp 58-61, September 1984.
- [5] Reynold, "In-Circuit Testers? or the Future of In-Circuit Test", Evaluation Engineering, pp.8-15, February 1987.
- [6] Ed O. Schiotzhauer, "User-Oriented Software for an Automatic Circuit-Board Tester", Hewlett-Packard Journal, pp.22-27, March 1979.
- [7] John J. Arena, "Calculation the Effective Pattern Rate for High-Speed Board test Application", IEEE Trans. Industrial Electronics, Vol. 36, No.2 , pp. 164-174, May 1989.

김 계 국(Kye-Kook Kim) 정회원
한국통신학회 논문지 제23권 11T호 참조
현재 국립원주대학 전자통신과 부교수

서 창 옥(Chang-Ok Seo) 정회원



1990년 2월 서울산업대학교
전자공학과 공학사
1993년 2월 건국대학교
산업대학원 전자공학과
공학 석사
1998년 3월~현재 건국대학교
대학원 전자공학과
박사학위과정

신 강 호(Kang-Ho Shin) 정회원
한국통신학회 논문지 제23권 11T호 참조